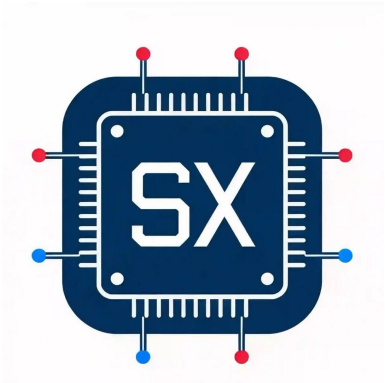


SXA002

12-Bit, 500 MSPS A/D Converter

12 位 500MSPS A/D 转换器

12-bit | 1 channel | 500 MSPS | QFN56 | Parallel LVDS

12位 | 单通道 | 500MSPS | QFN56 | 并行LVDS

对标 / Cross Reference: AD9434 — pin-to-pin compatible alternative

Product Datasheet / 产品数据手册

Shenzhen Shenxin Technology Co., Ltd. · 深圳市深信科技有限公司

felix@shenxinic.com | +852 51367095 | shenxinic.com

SXA002 12-Bit 500MSPS A/D Converter — Product Specification & User Manual

SXA002 型 12 位 500MSPS A/D 转换器产品说明书、使用手册

深信科技 / Shenzhen Shenxin Technology Co., Ltd. 版本 / Revision: V1.20260803 对标 / Cross Reference: AD9434 — pin-to-pin compatible alternative

联系方式 / Contact: Felix (Flip) Lai, CEO ｜ 邮箱 / Email: felix@shenxinic.com ｜ 电话 / Tel: +852 51367095 ｜ 官网 / Website: shenxinic.com

版本修订记录 / Revision History

版本号 / Version	发布日期 / Date	更改章节 / Changed Section	更改说明 / Description	备注 / Note
V1.20260803	20260803	——	首次发布 / Initial release	

1. 产品用途及应用范围 / Applications

- 无线、宽带通信 / Wireless and broadband communications
- 接收器 / Receivers
- 通信测试设备 / Communications test equipment
- 功率放大器的线性化 / Power amplifier linearization

2. 标准 / Standards

- 详细规范及确认号：《半导体集成电路 SXA002 型 12 位 500MSPS A/D 转换器详细规范》 Detailed specification and approval ref.: Semiconductor Integrated Circuit — Detailed Specification for SXA002 12-bit 500MSPS A/D Converter
- 质量等级：企标 / Quality grade: Enterprise standard

3. 产品特点 / Features

- 模拟电源电压：1.80V / Analog supply voltage: 1.80V
- 数字电源电压：1.80V / Digital supply voltage: 1.80V
- 采样率：≤500MSPS / Sample rate: ≤500MSPS
- 信噪比：≥57dBFS / SNR: ≥57dBFS
- 无杂散动态范围：≥63dBFS / Spurious-free dynamic range: ≥63dBFS
- 微分线性误差：±1.50LSB / Differential linearity error: ±1.50LSB
- 功耗：≤900mW / Power dissipation: ≤900mW

- 模拟输入范围：1.18VPP～1.60VPP（通过寄存器配置）/ Analog input range: 1.18VPP–1.60VPP (configurable via registers)
- 电路接口：LVDS 并行接口 / Interface: LVDS parallel interface
- -3dB 带宽：800MHz / -3dB bandwidth: 800MHz
- ESD 等级：1B 级，HBM 模型，500V / ESD rating: Class 1B, HBM 500V
- 重量：0.20g±0.02g / Weight: 0.20g±0.02g
- 湿敏等级（仅塑封）和封装形式：MSL3、QFN56L / Moisture sensitivity (plastic package only) and package: MSL3, QFN56L

4. 产品描述 / Product Description

SXA002 is a 12-bit single-edge-sampling analog-to-digital converter (ADC) optimized for high performance, low power consumption, and ease of use. Its conversion rate reaches 500 MSPS with excellent dynamic performance in broadband applications. All required functions are integrated on-chip, including a sample-and-hold amplifier (SHA) and an on-chip voltage reference, providing a complete signal-conversion solution. The VREF pin can be used to adjust the internal reference voltage or to accept an external reference voltage (external reference mode must be enabled via the SPI port).

SXA002 是一款 12 位单沿采样模数转换器（ADC），专门针对高性能、低功耗以及易于使用等要求进行了优化设计。它的转换速率能达到 500 MSPS，在宽带应用中有很好的动态性能表现。所有需要的功能都集成在片内，其中包括了采样保持放大器（SHA）和片内基准电压源，以提供完整的信号转换解决方案。VREF 引脚可用于改变内部基准电压或接受来自外部的参考电压（外部基准模式需通过 SPI 端口开启）。

This ADC requires a 1.80 V analog supply and a differential clock to maintain excellent overall ADC performance. The digital outputs are LVDS (ANSI-644) compatible, with data formats of twos complement, Gray code, or offset binary. A data output clock is provided to ensure correct timing of the corresponding data outputs.

此款 ADC 需要 1.80 V 的模拟电源供电，以及一个差分时钟来保持出色的 ADC 整体性能。数字输出是兼容 LVDS（ANSI-644）的，数据格式为二进制补码、格雷码或偏移二进制。有数据输出时钟来确保相应的数据输出具有正确的时序。

The device is fabricated in a SiGe BiCMOS process and packaged in a 56-lead plastic package (QFN56L). The functional block diagram is shown in Figure 1.

该产品采用 SiGe BiCMOS 工艺制造，56 引线塑封封装（QFN56L），该产品功能框图如图 1 所示。

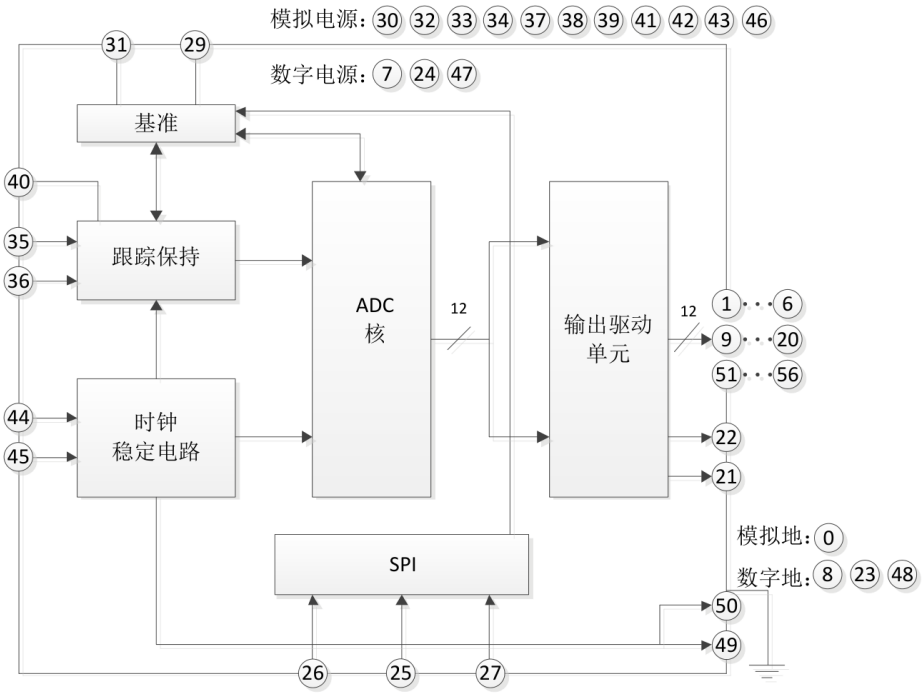


Figure 1: SXA002 功能框图

The operating timing of the device is shown in Figure 2 and Figure 3. There are two operating modes: single-edge mode and dual-edge mode.

该产品工作时序如图 2 和图 3 所示，一共有单沿模式和双沿模式两种工作模式：

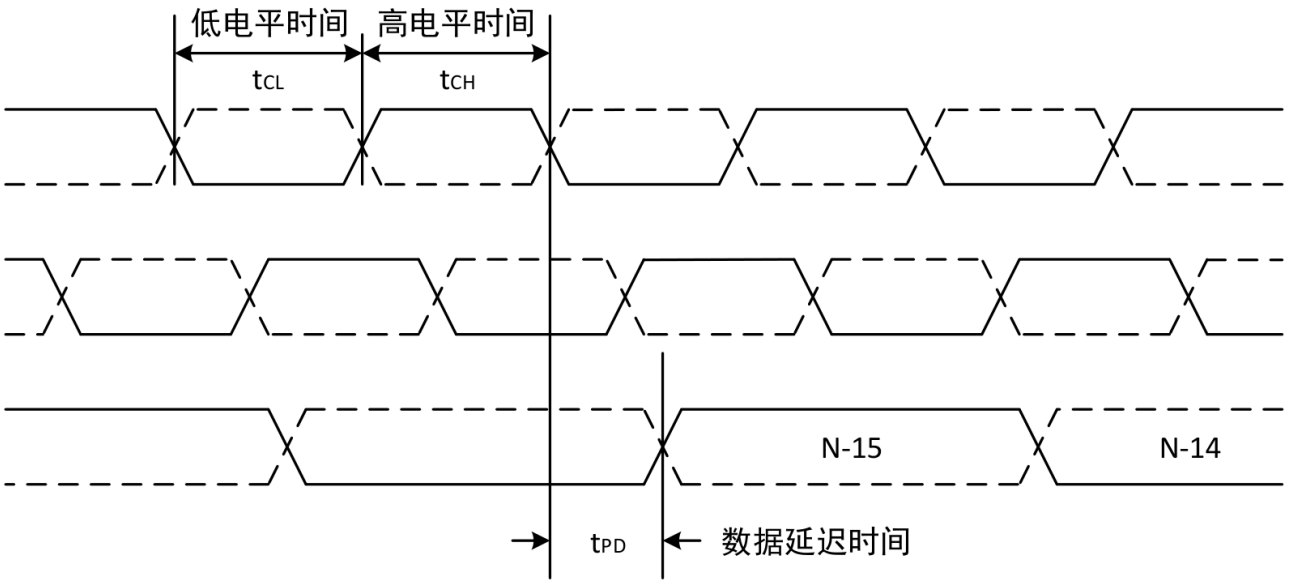


Figure 2: 单沿模式（SDR Mode）时序

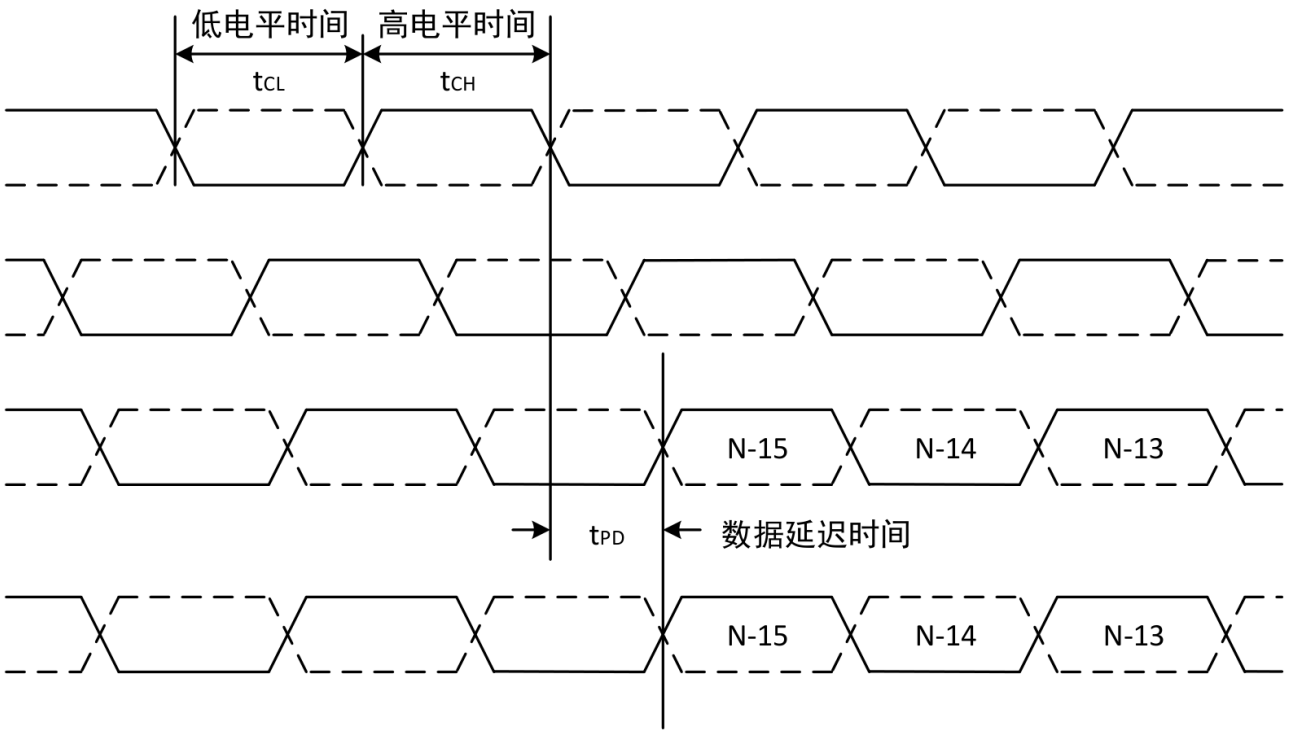


Figure 3: 双沿模式（DDR Mode）时序图

表1 输入时序特性 / Table 1 Input Timing Characteristics

参数 / Parameter	符号 / Symbol	最小值 / Min	典型值 / Typ	最大值 / Max	单位 / Unit
低电平时间 / Low-level time	tCL	0.90	—	11	ns
高电平时间 / High-level time	tCH	0.90	—	11	ns
数据延迟时间-SDR 模式 / Data delay time - SDR mode	tPD	—	—	10	ns
数据延迟时间-DDR 模式 / Data delay time - DDR mode	tPD	—	—	10	ns

5. 产品外形图和实物图片 / Package Outline and Physical Pictures

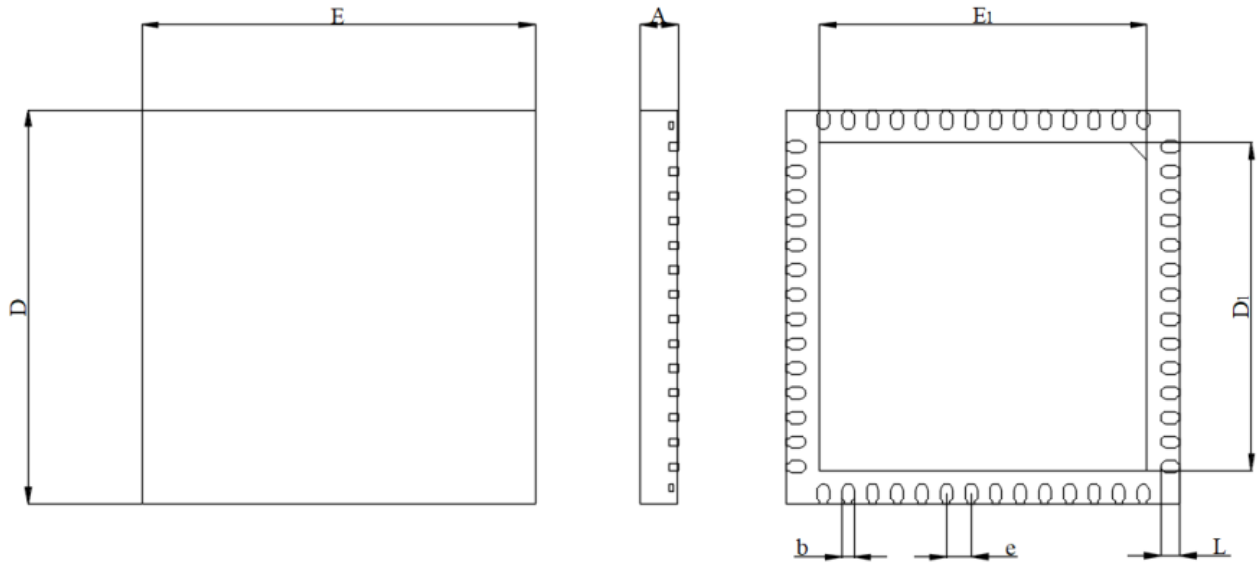


Figure 4: 产品外形尺寸图（单位为毫米）

产品外形尺寸 / Package Dimensions

尺寸符号 / Symbol	数值 / Value			尺寸符号 / Symbol	数值 / Value		
	最小 / Min	公称 / Nom	最大 / Max		最小 / Min	公称 / Nom	最大 / Max
A	0.70	0.75 a	0.80	e	—	0.50	—
D	7.80	8.00 a	8.20	D1	6.55	6.65 a	6.75
E	7.80	8.00 a	8.20	E1	6.55	6.65 a	6.75
b	0.20	0.25 a	0.30	L	0.35	0.40 a	0.45

a 外壳实际公称值，推荐用户参考该尺寸设计使用； a: Actual nominal value of the package; users are recommended to refer to these dimensions for design.

注：推荐焊盘设计详见电装说明。 Note: See the assembly instructions for recommended pad layout.

6. 引出端排列（俯视图）/ Pin Arrangement (Top View)

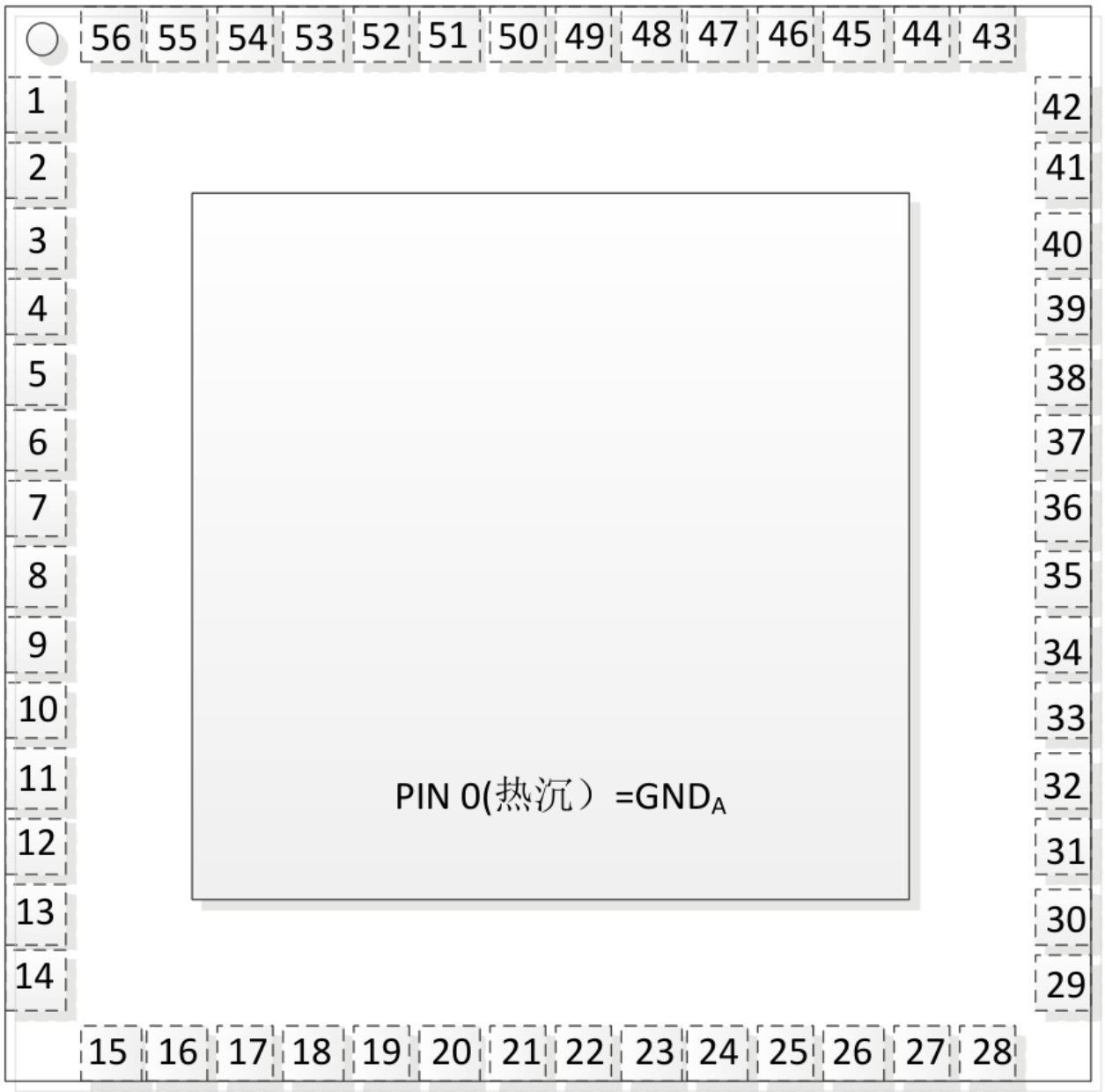


Figure 5: 引出端排列

7. 引出端功能符号表 / Pin Function Table

引出端号 / Pin	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin	符号 / Symbol	名称 / Name	I/O
1	D3-	D3 差分输出，负端 / D3 differential output, negative	O	29	PWDN	关断模式选择 / Power-down mode select	I
2	D3+	D3 差分输出，正端 / D3 differential output, positive	O	30	VCC	1.8V 模拟电源 / 1.8V analog supply	I

引出端号 / Pin	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin	符号 / Symbol	名称 / Name	I/O
3	D4-	D4 差分输出，负端 / D4 differential output, negative	O	31	VREF	基准电压输入/输出 / Reference voltage input/output	O
4	D4+	D4 差分输出，正端 / D4 differential output, positive	O	32	VCC	1.8V 模拟电源 / 1.8V analog supply	I
5	D5-	D5 差分输出，负端 / D5 differential output, negative	O	33	VCC	1.8V 模拟电源 / 1.8V analog supply	I
6	D5+	D5 差分输出，正端 / D5 differential output, positive	O	34	VCC	1.8V 模拟电源 / 1.8V analog supply	I
7	VDD	1.8V 数字电源 / 1.8V digital supply	I	35	VIN+	模拟差分输入正端 / Analog differential input, positive	I
8	GNDD	数字地 / Digital ground	I	36	VIN-	模拟差分输入负端 / Analog differential input, negative	I
9	D6-	D6 差分输出，负端 / D6 differential output, negative	O	37	VCC	1.8V 模拟电源 / 1.8V analog supply	I
10	D6+	D6 差分输出，正端 / D6 differential output, positive	O	38	VCC	1.8V 模拟电源 / 1.8V analog supply	I
11	D7-	D7 差分输出，负端 / D7 differential output, negative	O	39	VCC	1.8V 模拟电源 / 1.8V analog supply	I
12	D7+	D7 差分输出，正端 / D7 differential output, positive	O	40	CML	共模电压偏置输出 / Common-mode voltage bias output	O
13	D8-	D8 差分输出，负端 / D8 differential output, negative	O	41	VCC	1.8V 模拟电源 / 1.8V analog supply	I
14	D8+	D8 差分输出，正端 / D8 differential output, positive	O	42	VCC	1.8V 模拟电源 / 1.8V analog supply	I
15	D9-	D9 差分输出，负端 / D9 differential output, negative	O	43	VCC	1.8V 模拟电源 / 1.8V analog supply	I
16	D9+	D9 差分输出，正端 / D9 differential output, positive	O	44	CLK+	时钟差分输入，正端 / Clock differential input, positive	I
17	D10-	D10 差分输出，负端 / D10 differential output, negative	O	45	CLK-	时钟差分输入，负端 / Clock differential input, negative	I
18	D10+	D10 差分输出，正端 / D10 differential output, positive	O	46	VCC	1.8V 模拟电源 / 1.8V analog supply	I
19	D11-	D11 差分输出，负端 / D11 differential output, negative	O	47	VDD	1.8V 数字电源 / 1.8V digital supply	I
20	D11+	D11 差分输出，正端 / D11 differential output, positive	O	48	GNDD	数字地 / Digital ground	I
21	OR-	溢出判断位，负端 / Over-range bit, negative	O	49	DCO-	数据时钟，负端 / Data clock, negative	O

引出端号 / Pin	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin	符号 / Symbol	名称 / Name	I/O
22	OR+	溢出判断位，正端 / Over-range bit, positive	O	50	DCO+	数据时钟，正端 / Data clock, positive	O
23	GNDD	数字地 / Digital ground	I	51	D0-	D0 差分输出，负端 / D0 differential output, negative	O
24	VDD	1.8V 数字电源 / 1.8V digital supply	I	52	D0+	D0 差分输出，正端 / D0 differential output, positive	O
25	SDIO	SPI 数据输入/输出（串行模式）/ SPI data input/output (serial mode)	I	53	D1-	D1 差分输出，负端 / D1 differential output, negative	O
26	SCLK/DFS	SPI 时钟（串行模式）/输出数据格式选择（外部引脚模式）/ SPI clock (serial mode) / output data format select (external pin mode)	I	54	D1+	D1 差分输出，正端 / D1 differential output, positive	O
27	CSB	SPI 片选（低电平有效）/ SPI chip select (active low)	I	55	D2-	D2 差分输出，负端 / D2 differential output, negative	O
28	NC	空 / No connect	I/O	56	D2+	D2 差分输出，正端 / D2 differential output, positive	O

注：封装底部的热沉焊盘为模拟地端 GNDA。 Note: The thermal pad at the package bottom is analog ground GNDA.

8. 推荐工作条件 / Recommended Operating Conditions

- 工作频率（fCLK）：≤500MHz / Operating frequency (fCLK): ≤500MHz
- 模拟电源电压（VCC）：1.75V~1.90V / Analog supply voltage (VCC): 1.75V–1.90V
- 数字电源电压（VDD）：1.75V~1.90V / Digital supply voltage (VDD): 1.75V–1.90V
- 模拟输入共模电压（VIC）：1.60V~1.80V / Analog input common-mode voltage (VIC): 1.60V–1.80V
- 工作环境温度（TA）：-55°C~85°C / Operating ambient temperature (TA): -55°C to 85°C
- 输入信号幅度范围（峰峰值）：VIN(P-P)≤1.50V / Input signal amplitude range (peak-to-peak): VIN(P-P) ≤ 1.50V

9. 绝对最大额定值 / Absolute Maximum Ratings

- 模拟电压（VCC）：2V / Analog voltage (VCC): 2V
- 数字电压（VDD）：2V / Digital voltage (VDD): 2V
- 贮存温度（Tstg）：-65°C~150°C / Storage temperature (Tstg): -65°C to 150°C
- 结温（TJ）：175°C / Junction temperature (TJ): 175°C

10. 性能指标 / Performance Specifications

除另有规定外，VCC=1.80V，VDD=1.80V，GND=GNDD=0V，VIN(P-P)≤1.50V，-55°C≤TA≤85°C。 Unless otherwise specified, VCC=1.80V, VDD=1.80V, GND=GNDD=0V, VIN(P-P) ≤ 1.50V, -55°C ≤ TA ≤ 85°C.

参数 / Parameter	符号 / Symbol	条件 / Condition	最小值 / Min	典型值 / Typ	最大值 / Max	单位 / Unit
分辨率 / Resolution	RES	—	12	12	12	bits
失调误差 / Offset error	EO	—	-5.00	-1.17	5.00	mV
增益误差 / Gain error	EG	—	-9	1.73	9	%FS
微分线性误差 / Differential linearity error	EDL	—	-1.50	—	1.50	LSB
积分线性误差 / Integral linearity error	EL	—	-4.50	—	4.50	LSB
内部参考电压 / Internal reference voltage	VREF	—	0.70	0.739	0.80	V
电源电流 a / Supply current a	I	—	—	348.18	500	mA
LVDS 差分输出电压 / LVDS differential output voltage	VOD	—	200	286.47	500	mV
LVDS 共模输出电压 / LVDS common-mode output voltage	VOS	—	1.00	1.19	1.45	V
功耗 / Power dissipation	PW	—	—	626.73	900	mW
待机功耗 / Standby power	PSDB	—	—	14.94	60	mW
休眠功耗 / Power-down power	PPDN	—	—	1.32	12	mW
信噪比 / SNR	SNR	fCLK=500MHz, TA=25°C, fIN=30.30MHz	62	65.61	—	dBFS
		fCLK=500MHz, TA=-40°C、85°C, fIN=30.30MHz	57	64.54	—	dBFS
信噪失真比 / SINAD	SINAD	fCLK=500MHz, TA=25°C, fIN=30.30MHz	61	65.41	—	dBFS
		fCLK=500MHz, TA=-40°C、85°C, fIN=30.30MHz	56	64.02	—	dBFS
有效位 / ENOB	ENOB	fCLK=500MHz, TA=25°C, fIN=30.30MHz	9.80	10.49	—	bits
		fCLK=500MHz, TA=-40°C、85°C, fIN=30.30MHz	9.10	10.45	—	bits
无杂散动态范围 / SFDR	SFDR	fCLK=500MHz, TA=25°C, fIN=30.30MHz	70	81.79	—	dBFS
		fCLK=500MHz, TA=-40°C、85°C, fIN=30.30MHz	63	80.75	—	dBFS
数据延迟时间 / Data delay time	tPD	—	—	4.52	10	ns

a 电源电流为模拟电源电流（ICC）和数字电源电流（IDD）的总和。 a: Supply current is the sum of analog supply current (ICC) and digital supply current (IDD).

注：典型值为常温测试数据。 Note: Typical values are room-temperature test data.

11. 主要特性曲线图（电特性测试图）/ Typical Performance Curves (Electrical Test Plots)

1. DNL、INL 测试结果 / DNL and INL test results 测试条件：采样率 fCLK=500MHz；输入信号频率 fin=30.30MHz； Test conditions: sample rate fCLK=500MHz; input signal frequency fin=30.30MHz; 测试结果：DNL：-0.47/+0.66 LSB；INL：-1.80/+1.40 LSB Test results: DNL: -0.47/+0.66 LSB; INL: -1.80/+1.40 LSB

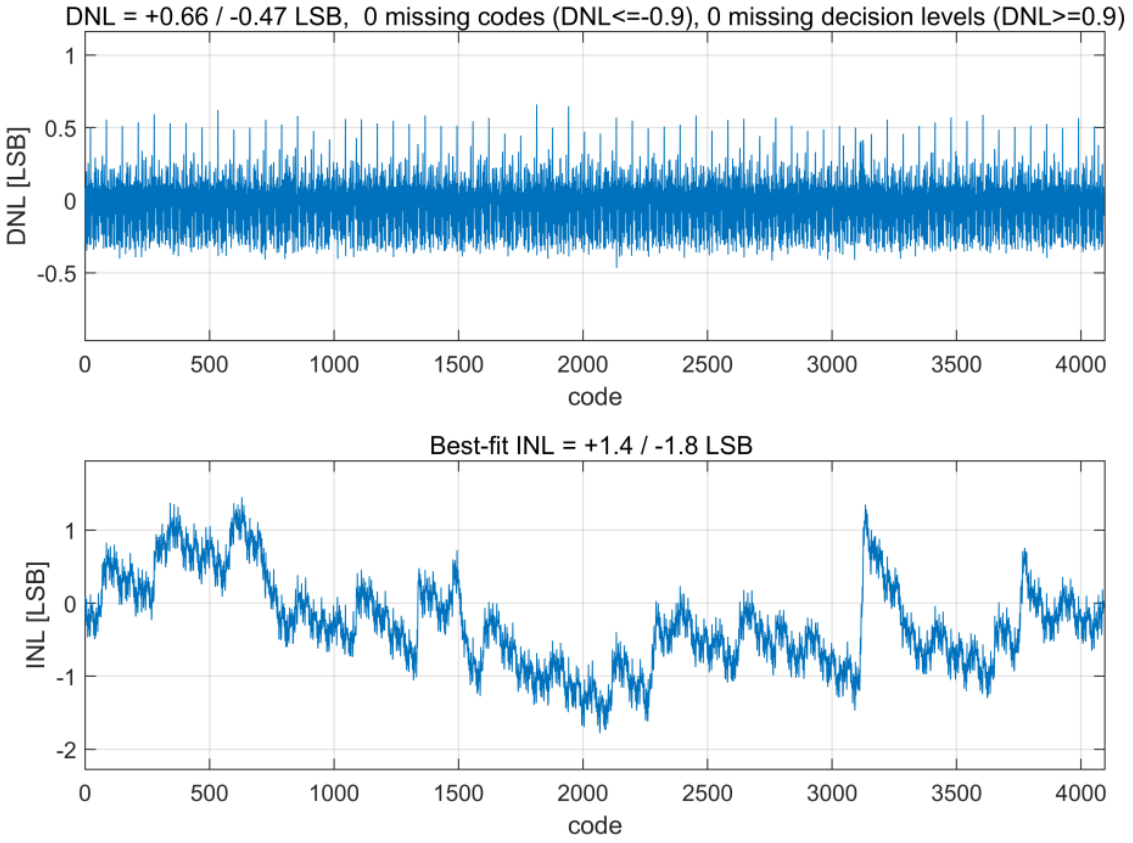


Figure 6: fCLK=500MHz，fin=30.30MHz，TA=25°C DNL、INL 结果

1. 模拟输入 30.30MHz 条件下 FFT 谱线 / FFT spectrum with 30.30MHz analog input

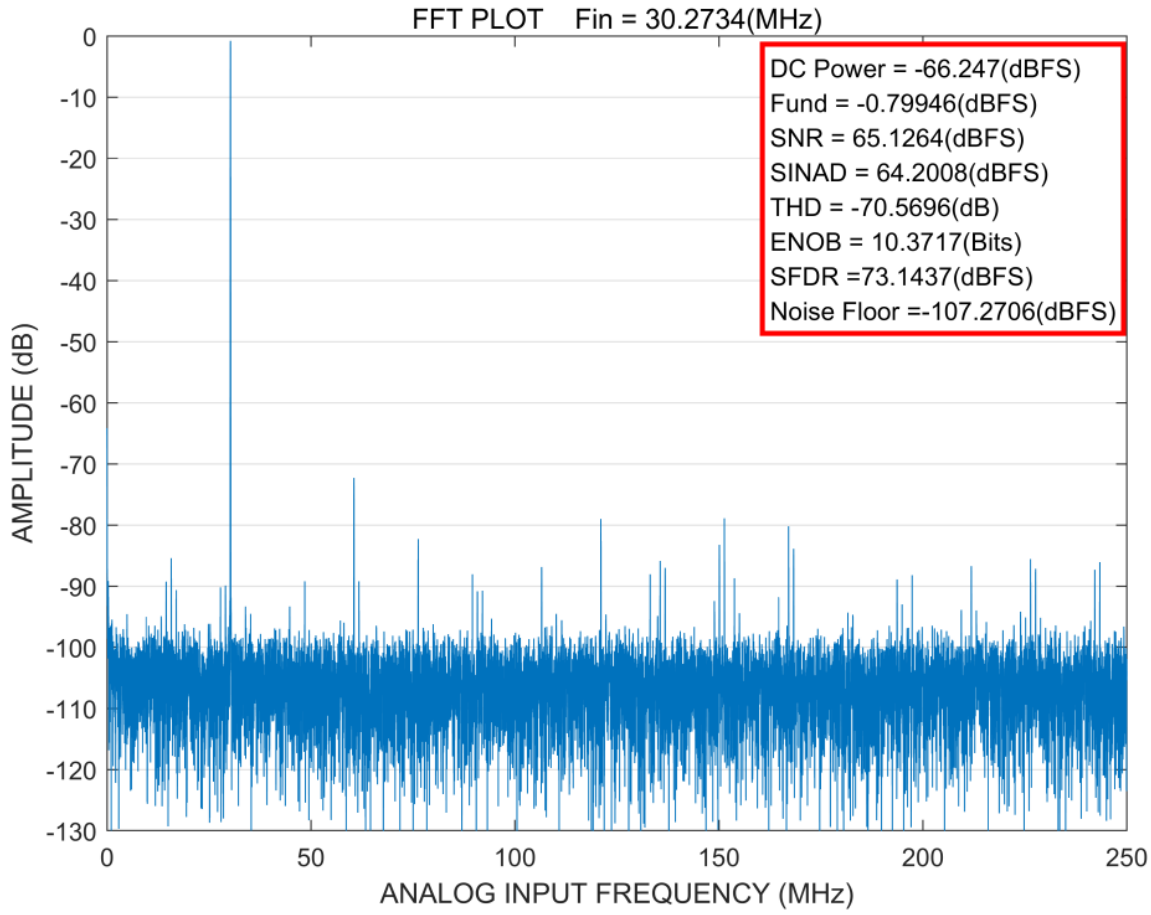


Figure 7: fCLK=500MHz，fin=30.30MHz，TA=25°C FFT 谱线

1. 模拟输入 450.30MHz 条件下 FFT 谱线 / FFT spectrum with 450.30MHz analog input

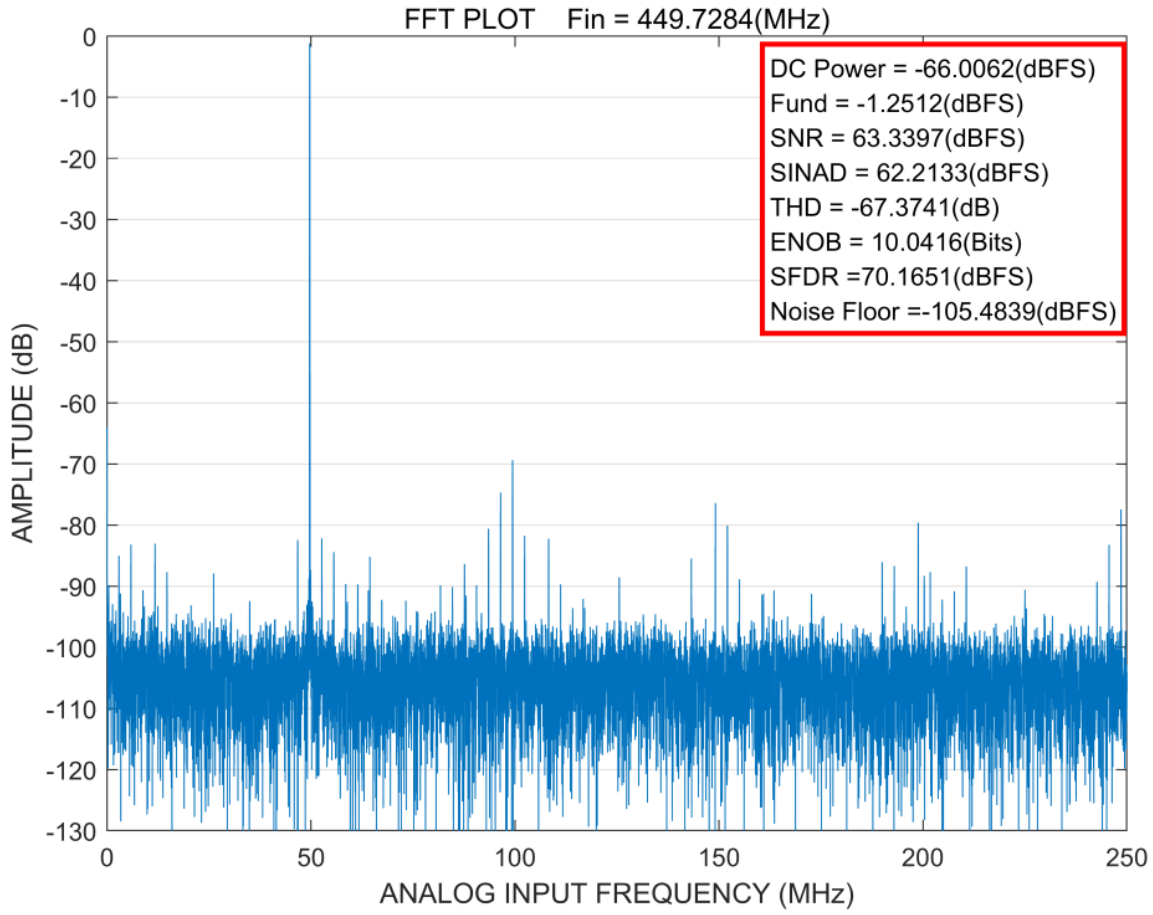


Figure 8: fCLK=500MHz，fin=450.30MHz，TA=25°C FFT 谱线

1. SNR 随输入频率变化测试图 / SNR vs. input frequency

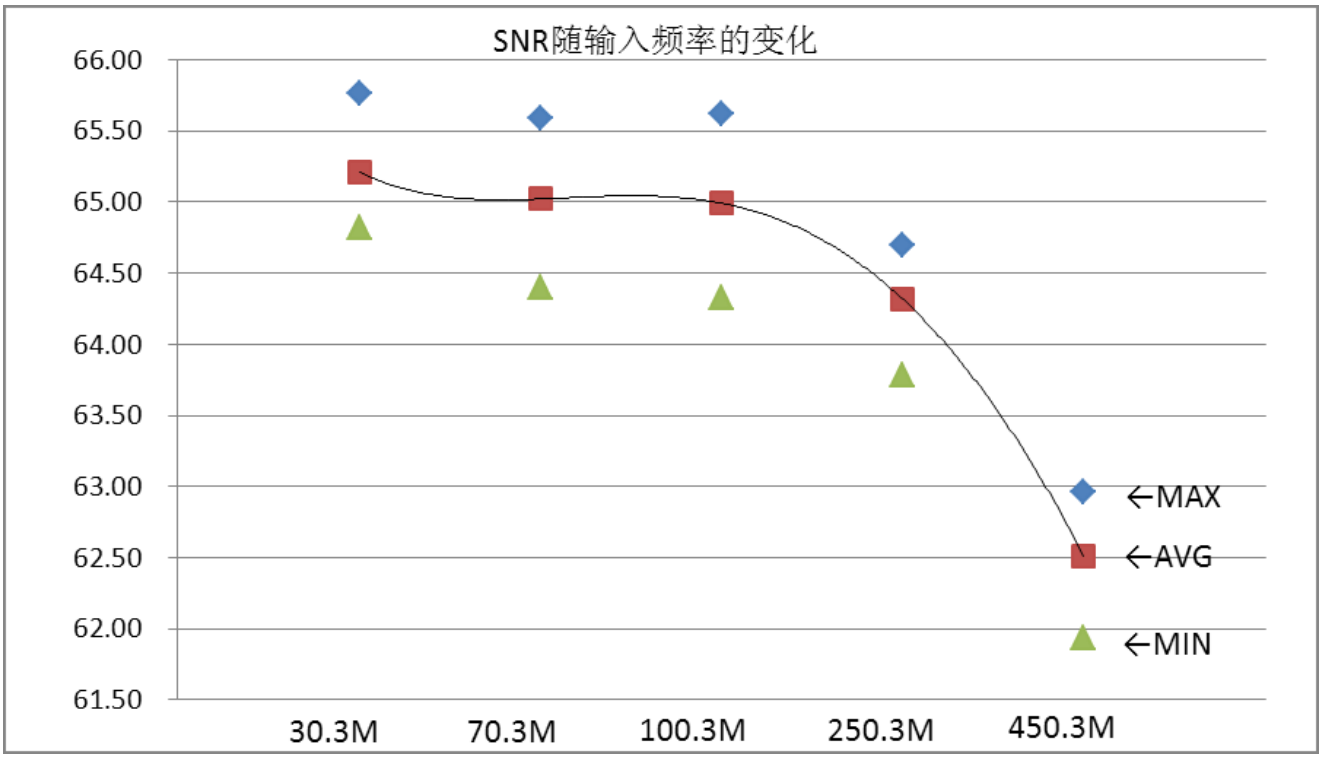


Figure 9: 信噪比（SNR）测试曲线

1. SFDR 随输入频率变化测试图 / SFDR vs. input frequency

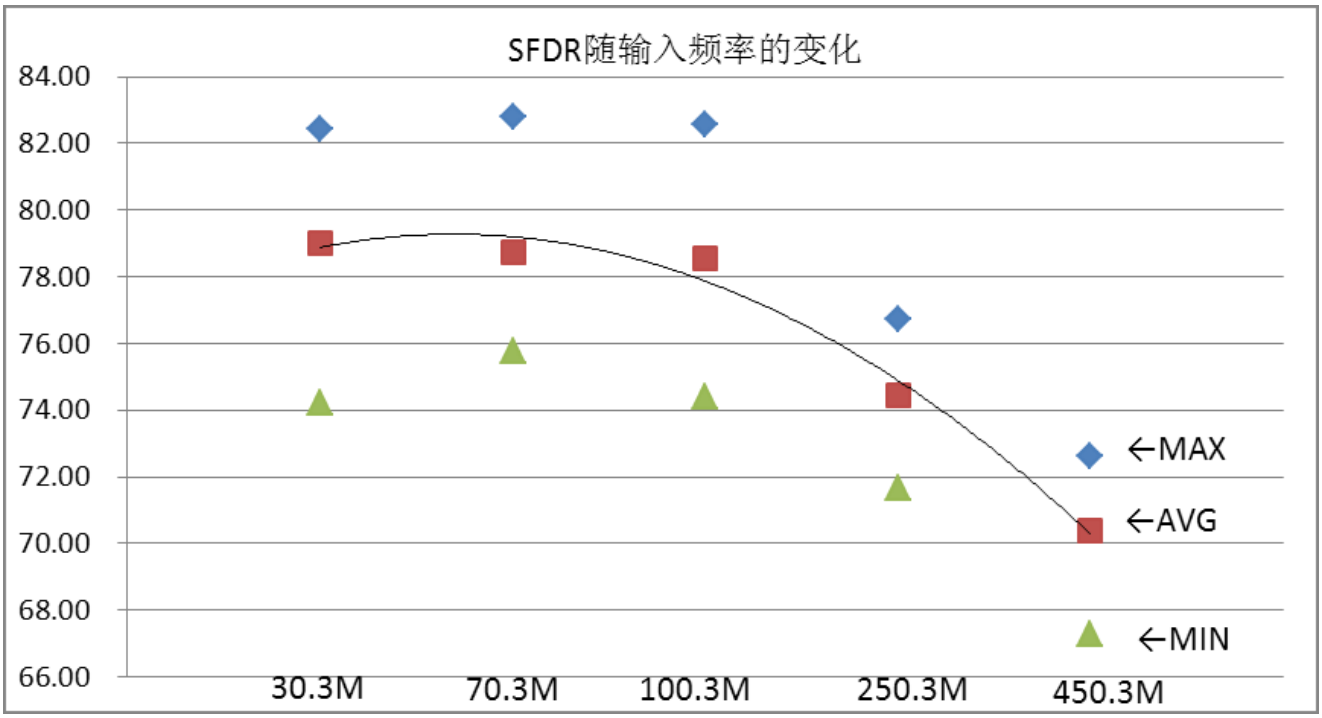


Figure 10: 无杂散动态范围（SFDR）测试曲线

12. 典型应用线路图 / Typical Application Circuits

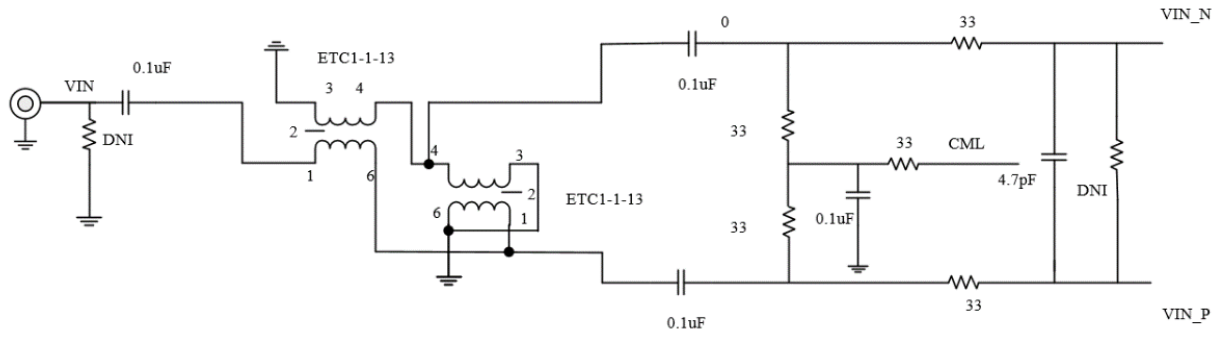


Figure 11: 模拟信号输入典型应用图

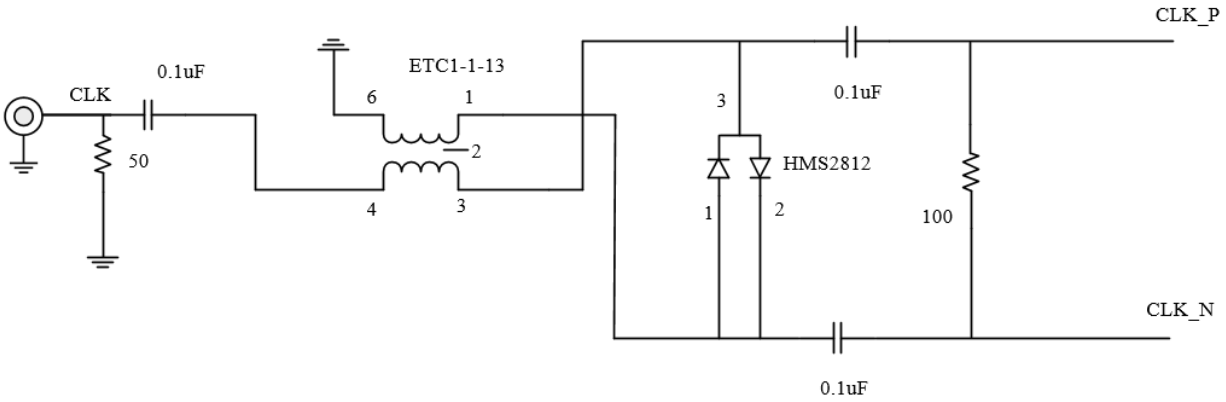


Figure 12: 时钟信号输入典型应用图

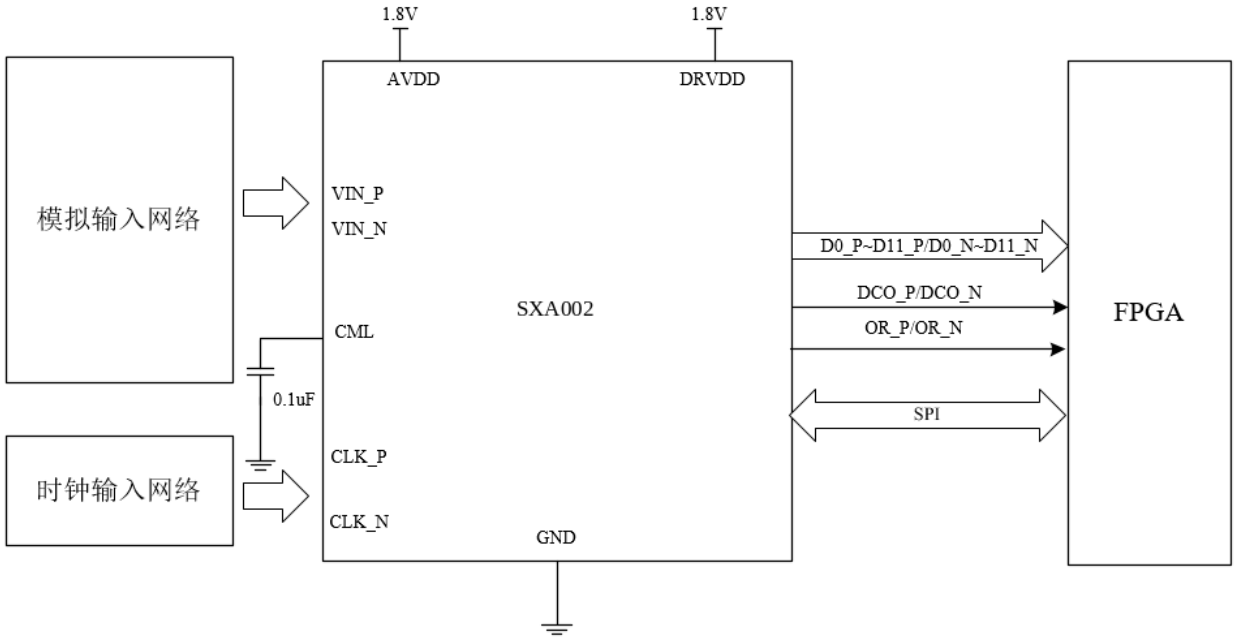


Figure 13: 典型外围电路图

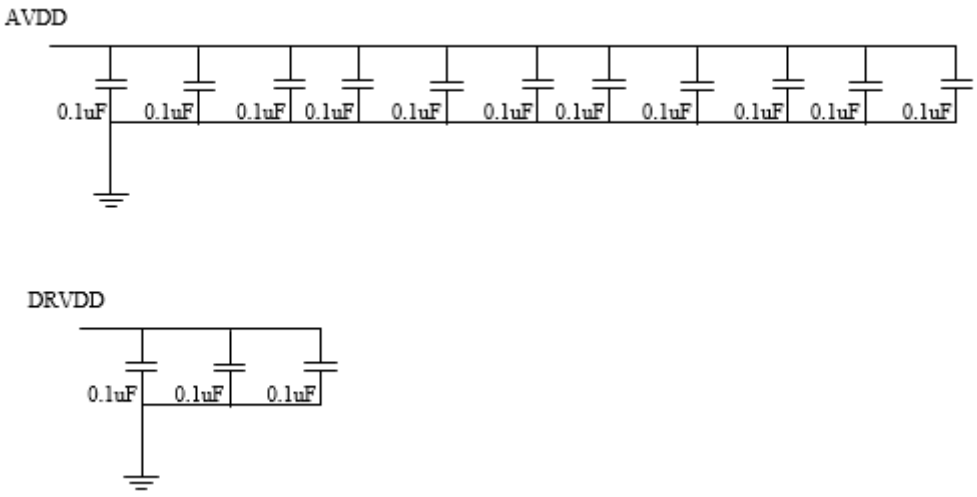


Figure 14: 电源滤波

注 1：典型应用线路图只是电路应用简要示意图，具体网络设计时请参考单元模块设计部分； 注 2：建议原理图设计阶段联系厂家提供详细参考评估板原理图； 注 3：如原理图设计与评估板无法一致时，务必联系厂家进行确认； Note 1: The typical application circuits are simplified schematic illustrations only; refer to the functional block design section for detailed network design. Note 2: It is recommended to contact the manufacturer for a detailed reference evaluation-board schematic during schematic design. Note 3: If the schematic design cannot match the evaluation board, be sure to confirm with the manufacturer.

---

13. 单元模块及工作原理 / Functional Blocks and Theory of Operation

13.1 模拟输入 / Analog Input

SXA002 的模拟输入默认最大范围为 1.50VPP，通过差分输入配置驱动 SXA002 时，可实现芯片的最佳性能。在基带应用中，AD8138 差分驱动器能够为 ADC 提供出色的性能和灵活的接口。AD8138 输出共模电压很容易设置到 VCC/2+0.50 V，且此驱动器可以配置为 Sallen-Key 滤波器拓扑电路结构，从而对输入信号进行带宽限制。

The default maximum analog input range of SXA002 is 1.50VPP. Driving SXA002 with a differential input configuration achieves the best performance of the chip. In baseband applications, the AD8138 differential driver provides excellent performance and a flexible interface for the ADC. The AD8138 output common-mode voltage is easily set to VCC/2+0.50 V, and this driver can be configured in a Sallen-Key filter topology to bandwidth-limit the input signal.

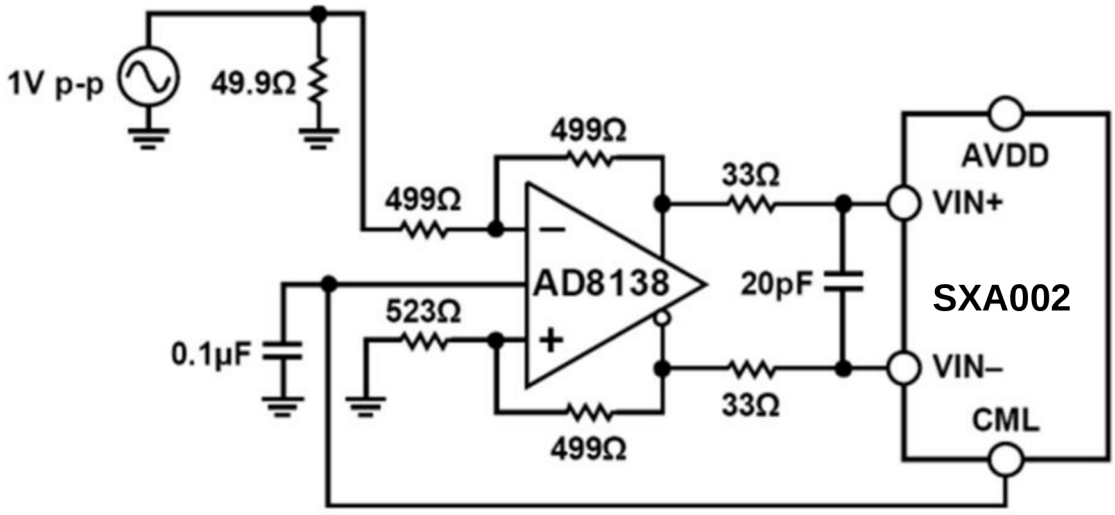


Figure 15: 利用 AD8138 进行差分输入配置

当输入频率处于第二或更高奈奎斯特区域时，大多数放大器的噪声性能无法满足要求以达到 SXA002 真正的 SNR 性能。对于频率在 70MHz 到 100MHz 的中频欠采样应用中这个现象尤为明显。对于这类应用，建议使用的输入配置是差分双巴伦耦合。在选择变压器时，必需考虑其信号特性。大多数射频变压器在工作频率低于几兆赫兹时产生饱和现象；信号功率过大也可导致内核磁芯饱和，从而引起失真。

When the input frequency is in the second or higher Nyquist zone, the noise performance of most amplifiers cannot meet the requirements to achieve the true SNR performance of SXA002. This is particularly evident in IF undersampling applications with frequencies from 70MHz to 100MHz. For such

applications, the recommended input configuration is differential double-balun coupling. When selecting a transformer, its signal characteristics must be considered. Most RF transformers saturate when operating below a few megahertz; excessive signal power can also saturate the core, causing distortion.

在任何配置中，并联电容值 C 均取决于输入频率和源阻抗，并且可能需要降低电容量或去掉该并联电容。

In any configuration, the shunt capacitance C depends on the input frequency and source impedance, and it may be necessary to reduce the capacitance or remove the shunt capacitor.

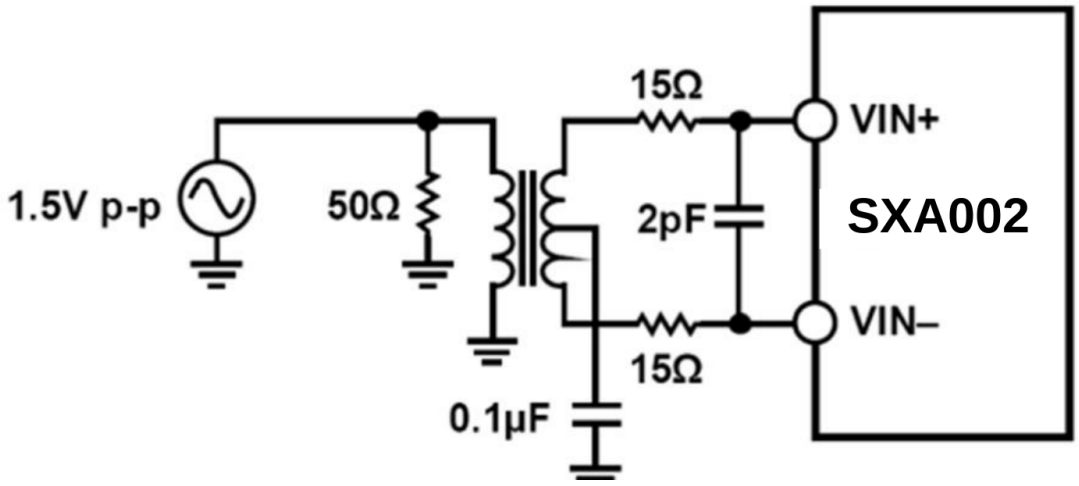


Figure 16: 差分变压器耦合配置

频率在第二奈奎斯特区域内的时候，除了使用变压器耦合输入外，还可以使用 AD8352 差分驱动器，实例如图 17 所示。

When the frequency is in the second Nyquist zone, an AD8352 differential driver can be used in addition to transformer-coupled input, as shown in Figure 17.

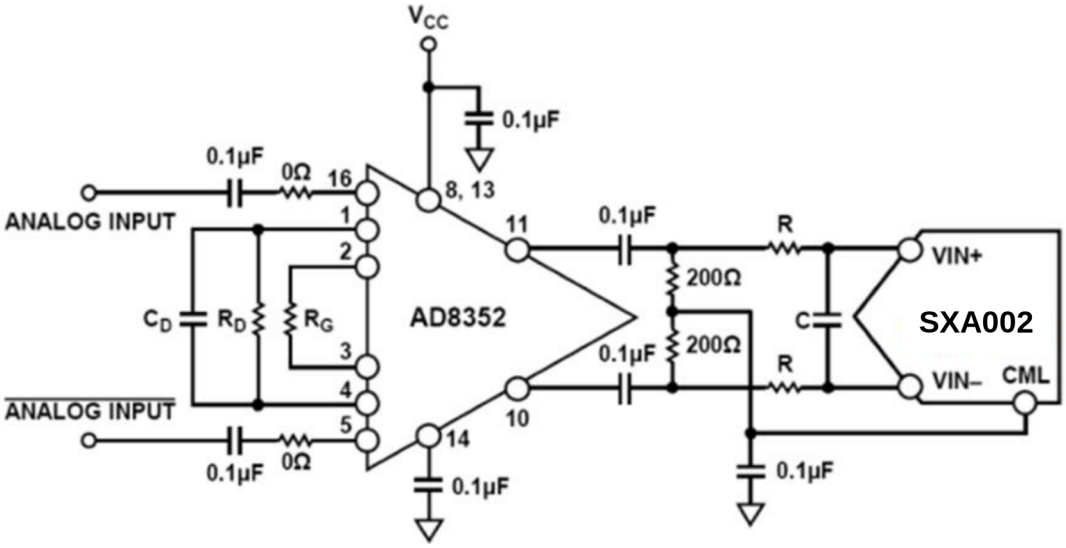


Figure 17: 利用 AD8352 进行差分输入配置

13.2 时钟输入 / Clock Input

为了充分发挥芯片的性能，应利用一个差分信号作为 SXA002 采样时钟输入端（CLK+和 CLK-）的时钟信号。通常，应使用一个变压器或两个电容器将该信号交流耦合到 CLK+引脚和 CLK-引脚。CLK+和 CLK-引脚有约 0.90V 的内部偏置，无需外部偏置。若时钟信号是直流耦合的，那么就要使共模电压保持在 0.90V 的范围内。

To fully exploit the performance of the chip, a differential signal should be used as the clock signal for the SXA002 sampling clock inputs (CLK+ and CLK-). Typically, a transformer or two capacitors should be used to AC-couple the signal to the CLK+ and CLK- pins. The CLK+ and CLK- pins have an internal bias of approximately 0.90V, so no external bias is required. If the clock signal is DC-coupled, the common-mode voltage must be kept within 0.90V.

如果没有低抖动的时钟源，那么，另一种方法是对差分 PECL 信号进行交流耦合，并传输至采样时钟输入引脚（如图 18 所示）。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515 系列时钟驱动器具有出色的抖动性能。

If a low-jitter clock source is not available, an alternative is to AC-couple a differential PECL signal to the sampling clock input pins (as shown in Figure 18). The AD9510/AD9511/AD9512/AD9513/AD9514/AD9515 family of clock drivers offers excellent jitter performance.

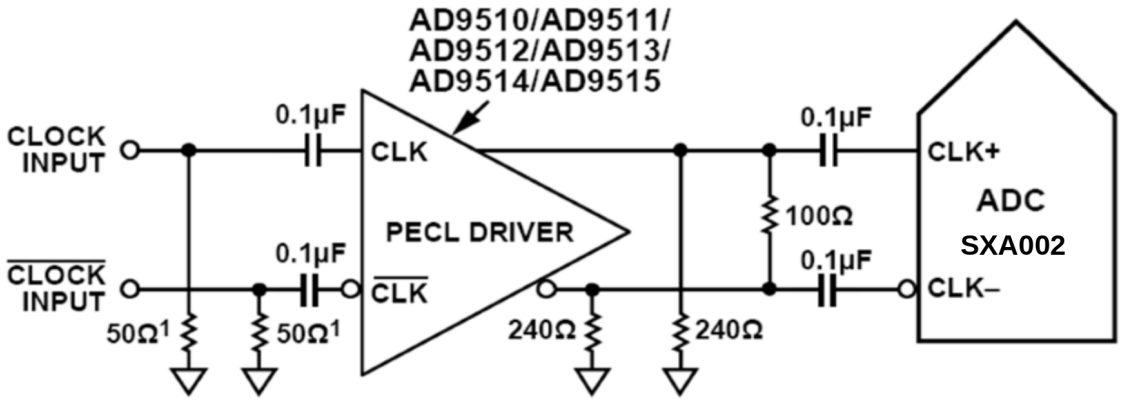


Figure 18: 差分 PECL 采样时钟

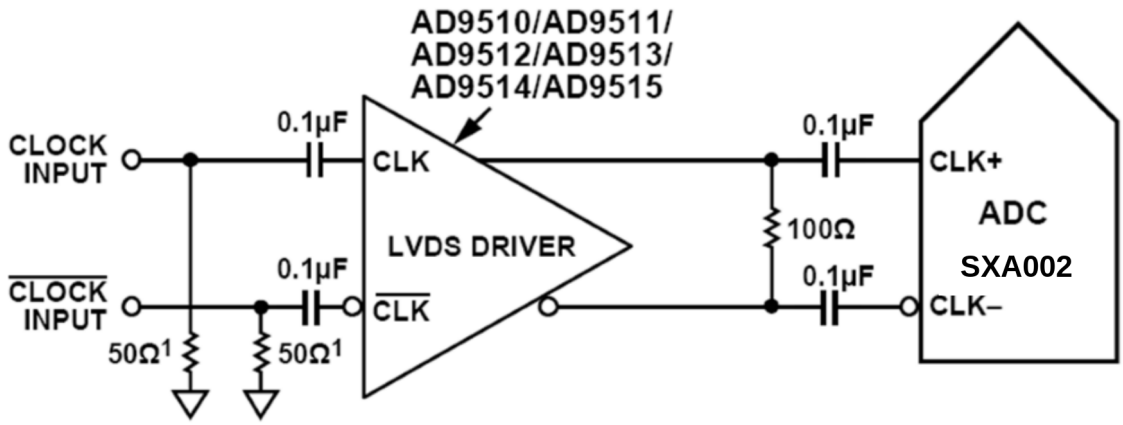


Figure 19: 差分 LVDS 采样时钟

在某些应用中，可以利用单端 CMOS 信号来驱动采样时钟输入。在此类应用中，CLK+引脚直接由 CMOS 门电路驱动，CLK-引脚则通过一个 0.10F 电容旁路至地。用 1.80V CMOS 信号驱动 CLK+时，要求通过一个 0.10F 电容与一个 39kΩ 电阻的并联偏置 CLK-引脚（见图 20）。

In some applications, a single-ended CMOS signal can be used to drive the sampling clock input. In such applications, the CLK+ pin is driven directly by CMOS gates, while the CLK- pin is bypassed to ground through a 0.10F capacitor. When driving CLK+ with a 1.80V CMOS signal, the CLK- pin must be biased through a 0.10F capacitor in parallel with a 39kΩ resistor (see Figure 20).

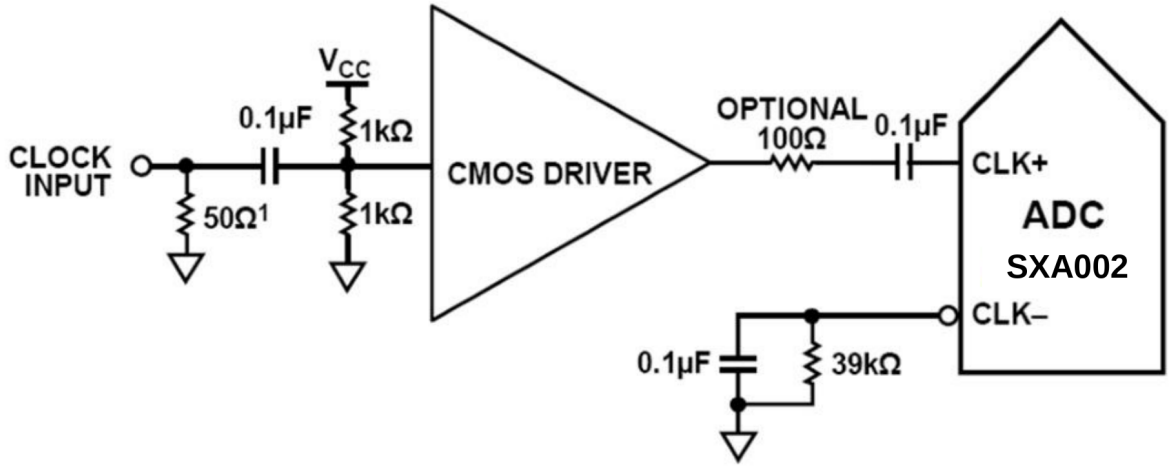


Figure 20: 单端 1.8V CMOS 输入时钟

13.3 数字输出 / Digital Outputs

默认状态下，SXA002 的差分输出数据格式符合 ANSI-644 LVDS 标准。数据格式可以通过 SPI 改成低功耗、较少信号选择、类似于 IEEE 1596.3 标准的格式。此 LVDS 标准能进一步减少芯片的功耗，约 39mW。LVDS 驱动器的电流来自于片内，每个输出位的输出电流大小一般被设置为 3.50 mA。在 LVDS 接收机的输入端加上 100 Ω 的终端电阻将产生 350 mV 的摆幅。SXA002 的 LVDS 型输出数据格式有利于与定制的 ASIC 和 FPGA 中的 LVDS 接收器相连接，在噪声高的环境中能有很好的开关性能。建议将带有 100 Ω 的终端电阻的单一点对点网络拓扑结构放置在离接收器越近的地方越好。接收器的终端放置的过远或者糟糕的差分布线将导致时序错误。建议走线长度不要超过 24 英寸，且差分输出走线要放在一起且长度相同。

By default, the differential output data format of SXA002 complies with the ANSI-644 LVDS standard. The data format can be changed via SPI to a lower-power format with fewer signal options, similar to the IEEE 1596.3 standard. This LVDS option further reduces the power consumption of the chip by approximately 39mW. The LVDS driver current is sourced on-chip, and the output current of each output bit is generally set to 3.50 mA. Adding a 100 Ω termination resistor at the LVDS receiver input produces a 350 mV swing. The LVDS-type output data format of SXA002 facilitates connection to LVDS receivers in custom ASICs and FPGAs, with good switching performance in noisy environments. It is recommended to place the single point-to-point network topology with the 100 Ω termination resistor as close to the receiver as possible. A receiver termination placed too far away or poor differential routing will cause timing errors. Trace lengths are recommended not to exceed 24 inches, and differential output traces should be routed together with equal lengths.

表2 输出码和模拟输入的关系表 / Table 2 Output Codes vs. Analog Input

输入 / Input	条件 / Condition	偏移二进制模式，D11 到 D0 / Offset binary mode, D11 to D0	二进制补码模式，D11 到 D0 / Twos complement mode, D11 to D0	OR±
VIN+ – VIN–	< –0.75 – 0.5 LSB	0000 0000 0000	1000 0000 0000	1
VIN+ – VIN–	= –0.75	0000 0000 0000	1000 0000 0000	0
VIN+ – VIN–	= 0	1000 0000 0000	0000 0000 0000	0
VIN+ – VIN–	= 0.75	1111 1111 1111	0111 1111 1111	0
VIN+ – VIN–	> 0.75 + 0.5 LSB	1111 1111 1111	0111 1111 1111	1

数据输出格式：输出数据的格式默认为偏移二进制。 Data output format: The default output data format is offset binary.

13.4 SPI 时序 / SPI Timing

SXA002 存在三个和 SPI 有关的端口，工作时序如图 21 所示： SXA002 has three SPI-related ports; the operating timing is shown in Figure 21:

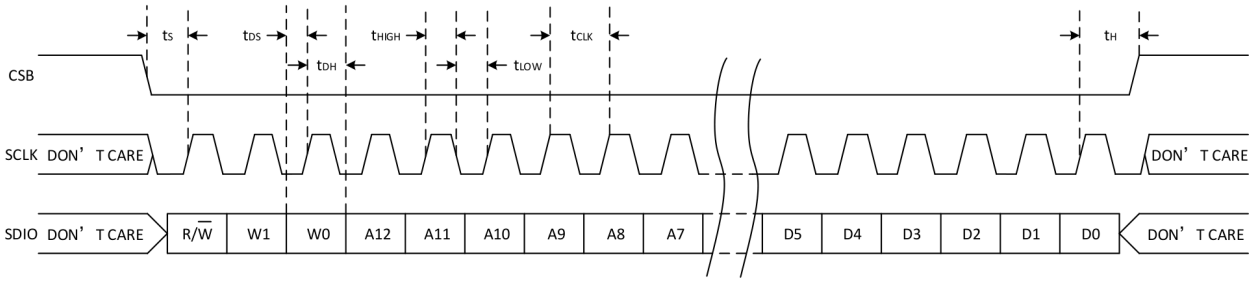


Figure 21: SPI 时序图

表3 SPI 时序要求 / Table 3 SPI Timing Requirements

参数 / Parameter	最小值 / Min	最大值 / Max	单位 / Unit	描述 / Description
tDS	5	—	ns	SCLK 上升沿和数据之间的建立时间 / Setup time between SCLK rising edge and data
tDH	2	—	ns	SCLK 上升沿和数据之间的保持时间 / Hold time between SCLK rising edge and data
tCLK	40	—	ns	SCLK 的时钟周期 / SCLK clock period
tS	5	—	ns	CSB 和 SCLK 之间的建立时间 / Setup time between CSB and SCLK
tH	2	—	ns	CSB 和 SCLK 之间的保持时间 / Hold time between CSB and SCLK
tHIGH	16	—	ns	SCLK 高电平最小保持时间 / Minimum SCLK high-level hold time
tLOW	16	—	ns	SCLK 低电平最小保持时间 / Minimum SCLK low-level hold time

参数 / Parameter	最小值 / Min	最大值 / Max	单位 / Unit	描述 / Description
tEN_SDIO	1	—	ns	SDIO 端口在 SCLK 下降沿的影响下从输入端切换到输出端。/ SDIO port switches from input to output on the SCLK falling edge.
tDIS_SDIO	5	—	ns	SDIO 端口在 SCLK 上升沿的影响下从输出端切换到输入端。/ SDIO port switches from output to input on the SCLK rising edge.

14. 寄存器 / Registers

14.1 内存映射 / Memory Map

读取内存映射寄存器表。内存映射寄存器表中的每个地址都有 8 位。内存映射分为以下部分： Reading the memory-mapped register table. Each address in the memory map is 8 bits wide. The memory map is divided into the following sections:

- 芯片配置寄存器（0x00 至 0x02) / Chip configuration registers (0x00 to 0x02)
- 传输寄存器（0xFF）/ Transfer register (0xFF)
- ADC 功能控制寄存器（0x08 至 0x2C) / ADC function control registers (0x08 to 0x2C)

内存映射寄存器详细记录了每个地址的十六进制值。例如软复位寄存器，寄存器地址 0x00，默认值为 0x18，这意味着八位的具体值为 00011000。 The memory-mapped registers document the hexadecimal value of each address in detail. For example, the soft-reset register at address 0x00 has a default value of 0x18, meaning the eight bits are 00011000.

14.2 默认值 / Default Values

复位后，关键寄存器加载默认值。寄存器的默认值在存储器映射寄存器表中。 After reset, key registers are loaded with default values. Register default values are listed in the memory-mapped register table.

14.3 逻辑电平 / Logic Levels

逻辑电平术语的解释如下： Logic level terminology is explained as follows:

- "位已设置"即"该位已设置为逻辑 1"或"该位已写入逻辑 1。" "Bit set" means "the bit is set to logic 1" or "logic 1 has been written to the bit."
- "清除位"即"该位已设置为逻辑 0"或"该位已写入逻辑 0。" "Bit cleared" means "the bit is set to logic 0" or "logic 0 has been written to the bit."
- X 表示无关位。/ X denotes don't-care bits.

14.4 SPI 软复位 / SPI Soft Reset

在模拟电源和数字电源上电加载都完成后将 0x3C 打入地址 0x00 后等待 1ms，再将 0x01 打入地址 0xFF 等待 10ms 即可完成软复位。 After both analog and digital supplies have powered up, write 0x3C to address 0x00, wait 1ms, then write 0x01 to address 0xFF and wait 10ms to complete the soft reset.

14.5 内存映射寄存器表 / Memory-Mapped Register Table

芯片配置寄存器 / Chip configuration registers:

地址 / Addr	名称 / Name	位 / Bit	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x00	CHIP_PORT_CONFIG	7	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		6	是否 LSB 位优先，和第二位镜像 / LSB-first select, mirrored with bit 1	0	对于所有 SPI 操作，最低位优先移动。/ LSB first for all SPI operations.	0	读/写 / R/W
				1	对于所有 SPI 操作，最高位优先移动。/ MSB first for all SPI operations.		
		5	软复位镜像 / Soft reset mirror	1	进行软复位操作，用户需等待 1ms 才能配置其它寄存器。/ Performs soft reset; user must wait 1ms before configuring other registers.	0	读/写，自清零 / R/W, self-clearing
				0	保留。/ Reserved.		
		4	保留 / Reserved	1	保留。/ Reserved.	1	读 / R
		3	保留 / Reserved	1	保留。/ Reserved.	1	读 / R
		2	软复位镜像 / Soft reset mirror	1	进行软复位操作，用户需等待 1ms 才能配置其它寄存器。/ Performs soft reset; user must wait 1ms before configuring other registers.	0	读/写，自清零 / R/W, self-clearing
				0	保留。/ Reserved.		
		1	是否 LSB 位优先，和第七位镜像 / LSB-first select, mirrored with bit 6	0	对于所有 SPI 操作，最低位优先移动。/ LSB first for all SPI operations.	0	读/写 / R/W
				1	对于所有 SPI 操作，最高位优先移动。/ MSB first for all SPI operations.		
		0	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
0x01	CHIP_ID	7	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		6	保留 / Reserved	1	保留。/ Reserved.	1	读 / R
		5	保留 / Reserved	1	保留。/ Reserved.	1	读 / R
		4	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		3	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		2	保留 / Reserved	1	保留。/ Reserved.	1	读 / R
		1	保留 / Reserved	1	保留。/ Reserved.	1	读 / R
		0	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
0x02	CHIP_GRADE	7	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		6	保留 / Reserved	0	保留。/ Reserved.	0	读 / R

地址 / Addr	名称 / Name	位 / Bit	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
		5	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		4	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		3	采样率配置 / Sample rate config	0	370MSPS 采样率配置。/ 370MSPS sample rate configuration.	0	读/写 / R/W
				1	500MSPS 采样率配置。/ 500MSPS sample rate configuration.		
		2	保留 / Reserved	X	保留。/ Reserved.	0	读 / R
		1	保留 / Reserved	X	保留。/ Reserved.	0	读 / R
		0	保留 / Reserved	X	保留。/ Reserved.	0	读 / R

传输寄存器 / Transfer register:

地址 / Addr	名称 / Name	位 / Bit	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0xFF	DEVICE_UPDATE	7	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		6	保留 / Reserved	1	保留。/ Reserved.	1	读 / R
		5	保留 / Reserved	1	保留。/ Reserved.	1	读 / R
		4	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		3	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		2	保留 / Reserved	1	保留。/ Reserved.	1	读 / R
		1	保留 / Reserved	1	保留。/ Reserved.	1	读 / R
		0	刷新从寄存器 / Update slave registers	1	使主寄存器存储的值传递到从寄存器。/ Transfers values stored in master registers to slave registers.	0	读/写 / R/W

ADC 功能控制寄存器 / ADC function control registers:

地址 / Addr	名称 / Name	位 / Bit	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x08	Modes	7	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		6	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		5	下电设置 / Power-down setting	0	使 PWDN 信号为 0。/ Sets PWDN signal to 0.	0	读/写 / R/W
				1	使 PWDN 信号为 1。/ Sets PWDN signal to 1.		
		4	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		3	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		[2:0]	功耗选择 / Power mode select	011	正常工作。/ Normal operation.	000	读/写 / R/W
				010	待机模式。/ Standby mode.		

地址 / Addr	名称 / Name	位 / Bit	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
				001	休眠模式。/ Sleep mode.		
				000	正常工作。/ Normal operation.		
0x10	Offset	[7:0]	失调误差修调 / Offset error trim	0x7F	对输出码值+127 个单位码值。/ Adds +127 LSBs to output code.	0x00	读/写 / R/W
				0x00	无变化。/ No change.		
				0x80	对输出码值-128 个单位码值。/ Subtracts 128 LSBs from output code.		
0x0D	TEST_IO	[7:6]	模式配置 / Mode config	11	选择模式 1。/ Selects mode 1.	0x00	读/写 / R/W
				10	在模式 1/模式 2 切换。/ Toggles between mode 1 and mode 2.		
				01	在模式 1/关闭切换。/ Toggles between mode 1 and off.		
				00	在模式 1/模式 2/关闭切换。/ Toggles among mode 1, mode 2, and off.		
		5	端口状态设置 / Port status setting	1	引脚 23 打开。/ Pin 23 enabled.		
				0	引脚 23 关闭。/ Pin 23 disabled.		
		4	端口状态设置 / Port status setting	1	引脚 9 打开。/ Pin 9 enabled.		
				0	引脚 9 关闭。/ Pin 9 disabled.		
		[3:0]	输出测试模式选择 / Output test mode select	1000	用户定义。/ User defined.		
				0111	0/1 切换。/ 0/1 toggle.		
				0110	检测端口 9 序列。/ Check pin 9 sequence.		
				0101	检测端口 23 序列。/ Check pin 23 sequence.		
				0100	checkerboard output		
				0011	-FS short		
				0010	+FS short		
				0001	midscale short		
0x0F	AIN_CONFIG	7	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		6	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		5	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		4	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		3	保留 / Reserved	0	保留。/ Reserved.	0	读 / R

地址 / Addr	名称 / Name	位 / Bit	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
		2	模式配置 / Mode config	1	不接收外部输入。/ External input not accepted.	0	读/写 / R/W
				0	接收外部输入。/ External input accepted.		
		1	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		0	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
0x14	OUTPUT_MODE	7	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		6	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		5	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		4	使能 / Enable	1	输出驱动工作。/ Output driver enabled.	0	读/写 / R/W
				0	输出驱动不工作。/ Output driver disabled.		
		3	DDR 模式选择 / DDR mode select	1	选择 DDR 模式。/ Selects DDR mode.	0	读/写 / R/W
				0	选择 SDR 模式。/ Selects SDR mode.		
		[2:0]	编码模式选择 / Coding mode select	10	格雷码。/ Gray code.	000	读/写 / R/W
				01	二进制补码。/ Twos complement.		
				00	偏移二进制。/ Offset binary.		
0x15	OUTPUT_ADJUST	7	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		6	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		5	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		4	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		3	LVDS 电流粗调节 / LVDS current coarse adjust	1	电流为 3.5mA。/ Current is 3.5mA.	0	读/写 / R/W
				0	电流为 2mA。/ Current is 2mA.		
		[2:0]	LVDS 电流细调节 / LVDS current fine adjust	111	电流为 2mA。/ Current is 2mA.	000	读/写 / R/W
				110	电流为 2.25mA。/ Current is 2.25mA.		
				101	电流为 2.5mA。/ Current is 2.5mA.		
				100	电流为 2.75mA。/ Current is 2.75mA.		
				011	电流为 3mA。/ Current is 3mA.		
				010			

地址 / Addr	名称 / Name	位 / Bit	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					电流为 3.25mA。/ Current is 3.25mA.		
				001	电流为 3.5mA。/ Current is 3.5mA.		
0x16	OUTPUT_PHASE	7	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		6	时钟是否反相 / Clock invert	0	不反相。/ Not inverted.	0	读/写 / R/W
				1	反相。/ Inverted.		
		5	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		4	保留 / Reserved	100	保留。/ Reserved.	0	读 / R
		3	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		2	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		1	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		0	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
0x17	FLEX_OUTPUT_DELAY	7	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		6	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		5	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		4	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		[3:0]	时钟相位调节 / Clock phase adjust	1001	相位增加(1/10)个周期。/ Phase advance by 1/10 cycle.	0000	读/写 / R/W
				1000	相位增加(2/10)个周期。/ Phase advance by 2/10 cycle.		
				0111	相位增加(3/10)个周期。/ Phase advance by 3/10 cycle.		
				0110	相位增加(4/10)个周期。/ Phase advance by 4/10 cycle.		
				0101	相位增加(5/10)个周期。/ Phase advance by 5/10 cycle.		
				0100	反相。/ Inverted.		
				0011	相位减小(3/10)个周期。/ Phase retard by 3/10 cycle.		
				0010	相位减小(2/10)个周期。/ Phase retard by 2/10 cycle.		
				0001	相位减小(1/10)个周期。/ Phase retard by 1/10 cycle.		
				0000	不改变相位。/ No phase change.		
0x18	FLEX_VREF	[7:6]	基准电压选择 / Reference voltage select	11	不使用。/ Not used.	00	读/写 / R/W
				10			

地址 / Addr	名称 / Name	位 / Bit	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					引出内部基准。/ Internal reference brought out.		
				01	用外基准模式。/ External reference mode.		
				00	用内基准模式。/ Internal reference mode.		
		5	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		[4:0]	输入电压范围调节 / Input voltage range adjust	11100	输入电压范围：1.60V。/ Input voltage range: 1.60V.	00000	读/写 / R/W
				11101	输入电压范围：1.58V。/ Input voltage range: 1.58V.		
				11110	输入电压范围：1.55V。/ Input voltage range: 1.55V.		
				11111	输入电压范围：1.52V。/ Input voltage range: 1.52V.		
				00000	输入电压范围：1.50V。/ Input voltage range: 1.50V.		
				00001	输入电压范围：1.47V。/ Input voltage range: 1.47V.		
				00010	输入电压范围：1.44V。/ Input voltage range: 1.44V.		
				00011	输入电压范围：1.42V。/ Input voltage range: 1.42V.		
				00100	输入电压范围：1.39V。/ Input voltage range: 1.39V.		
				00101	输入电压范围：1.36V。/ Input voltage range: 1.36V.		
				00110	输入电压范围：1.34V。/ Input voltage range: 1.34V.		
				00111	输入电压范围：1.31V。/ Input voltage range: 1.31V.		
				01000	输入电压范围：1.28V。/ Input voltage range: 1.28V.		
				01001	输入电压范围：1.26V。/ Input voltage range: 1.26V.		
				01010	输入电压范围：1.23V。/ Input voltage range: 1.23V.		
				01011	输入电压范围：1.20V。/ Input voltage range: 1.20V.		
				01100	输入电压范围：1.18V。/ Input voltage range: 1.18V.		
0x19		7	B7			0	

地址 / Addr	名称 / Name	位 / Bit	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	USER_PATT1_LSB			模式配置 / Mode config			读/写 / R/W
		6	B6	模式配置 / Mode config		0	读/写 / R/W
		5	B5	模式配置 / Mode config		0	读/写 / R/W
		4	B4	模式配置 / Mode config		0	读/写 / R/W
		3	B3	模式配置 / Mode config		0	读/写 / R/W
		2	B2	模式配置 / Mode config		0	读/写 / R/W
		1	B1	模式配置 / Mode config		0	读/写 / R/W
		0	B0	模式配置 / Mode config		0	读/写 / R/W
0x1A	USER_PATT1_MSB	7	B7	模式配置 / Mode config		0	读/写 / R/W
		6	B6	模式配置 / Mode config		0	读/写 / R/W
		5	B5	模式配置 / Mode config		0	读/写 / R/W
		4	B4	模式配置 / Mode config		0	读/写 / R/W
		3	B3	模式配置 / Mode config		0	读/写 / R/W
		2	B2	模式配置 / Mode config		0	读/写 / R/W
		1	B1	模式配置 / Mode config		0	读/写 / R/W
		0	B0	模式配置 / Mode config		0	读/写 / R/W
0x1B	USER_PATT2_LSB	7	B7	模式配置 / Mode config		0	读/写 / R/W
		6	B6	模式配置 / Mode config		0	读/写 / R/W
		5	B5	模式配置 / Mode config		0	读/写 / R/W
		4	B4	模式配置 / Mode config		0	读/写 / R/W
		3	B3	模式配置 / Mode config		0	读/写 / R/W
		2	B2			0	

地址 / Addr	名称 / Name	位 / Bit	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
				模式配置 / Mode config			读/写 / R/W
		1	B1	模式配置 / Mode config		0	读/写 / R/W
		0	B0	模式配置 / Mode config		0	读/写 / R/W
0x1C	USER_PATT2_MSB	7	B7	模式配置 / Mode config		0	读/写 / R/W
		6	B6	模式配置 / Mode config		0	读/写 / R/W
		5	B5	模式配置 / Mode config		0	读/写 / R/W
		4	B4	模式配置 / Mode config		0	读/写 / R/W
		3	B3	模式配置 / Mode config		0	读/写 / R/W
		2	B2	模式配置 / Mode config		0	读/写 / R/W
		1	B1	模式配置 / Mode config		0	读/写 / R/W
		0	B0	模式配置 / Mode config		0	读/写 / R/W
0x2A	OVR_CONFIG	7	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		6	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		5	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		4	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		3	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		2	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		1	OR±端口选择 / OR± port select	0	选择端口 9、10。/ Selects ports 9 and 10.	0	读/写 / R/W
				1	选择端口 21、22。/ Selects ports 21 and 22.		
		0	使能 / Enable	0	关闭功能。/ Function disabled.	1	读/写 / R/W
				1	开启功能。/ Function enabled.		
0x2C	Input Coupling	7	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		6	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		5	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		4	保留 / Reserved	0	保留。/ Reserved.	0	读 / R

地址 / Addr	名称 / Name	位 / Bit	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
		3	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		2	耦合方式选择 / Coupling mode select	1	使用 DC 耦合。/ DC coupling used.	0	读/写 / R/W
				0	使用 AC 耦合。/ AC coupling used.		
		1	保留 / Reserved	0	保留。/ Reserved.	0	读 / R
		0	保留 / Reserved	0	保留。/ Reserved.	0	读 / R

15. 电源地间保护 / Power-to-Ground Protection

为了提高器件的抗静电能力，器件内部的各电源引脚之间存在如下的静电保护回路，每个 ESD 保护管的正向导通压降约 0.4V，上电及正常使用中应避免这些 ESD 保护管长时间正向导通。

To improve the anti-static capability of the device, ESD protection circuits exist between the various supply pins inside the device, as shown below. The forward conduction voltage drop of each ESD protection diode is approximately 0.4V; prolonged forward conduction of these ESD protection diodes should be avoided during power-up and normal use.

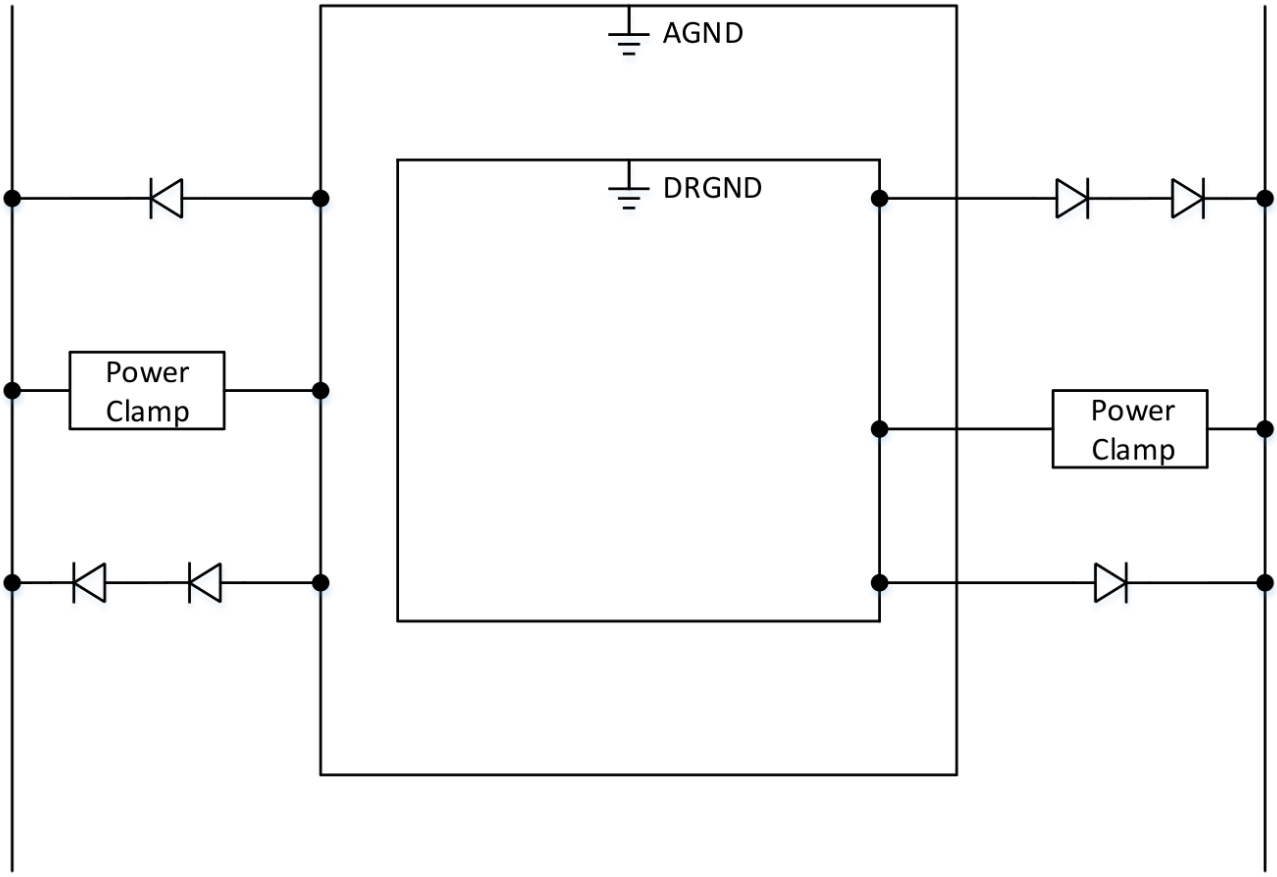


Figure 22: 内部电源间的 ESD 保护电路

16. 注意事项 / Cautions

16.1 产品安装注意事项 / Product Installation Cautions

1) 要求应用对象电路板有一个完整干净的地。 The application PCB is required to have a complete, clean ground. 2) 要求应用对象为多层布线板且内含独立的地层。 The application board is required to be a multi-layer routing board containing an independent ground layer. 3) 要求应用对象电路板的数字地和模拟地尽量分离，不要将数字线布于模拟线旁边或于 ADC 底下。 The digital ground and analog ground of the application PCB should be separated as much as possible; do not route digital traces next to analog traces or under the ADC. 4) VCC，VDD 和 CL 要接高质量的陶瓷旁路电容，且旁路电容要尽量靠近管脚，连接管脚和旁路电容的连线越短越宽越好。 VCC, VDD, and CL must be connected with high-quality ceramic bypass capacitors placed as close to the pins as possible; the traces connecting the pins to the bypass capacitors should be as short and wide as possible.

16.2 产品使用注意事项 / Product Usage Cautions

1) 差分输入应尽量靠近且相互平行。 Differential inputs should be routed as close together and as parallel as possible. 2) 输入连线应尽量短以最小化寄生电容和噪声引入。 Input traces should be as short as possible to minimize parasitic capacitance and noise pickup. 3) 为了更好的散热并获得更好的电性能，芯片的底板应焊接到 PCB 板的一个大的地端，从而最大限度发挥封装的热性能。 For better heat dissipation and electrical performance, the die paddle of the chip should be soldered to a large ground area on the PCB to maximize the thermal performance of the package. 4) 很重要的是，芯片的地应该通过尽量多的渠道和足够多的面积与 PCB 板的地层相连。 It is important that the ground of the chip be connected to the ground layer of the PCB through as many vias and as large an area as possible. 5) 输出数据和输出时钟和模拟输入关系看时序图说明部分。 For the relationship among output data, output clock, and analog input, see the timing diagram section. 6) 无上电顺序，上电建立时间大于 10ms。未使用输入输出引脚悬空处理，热层需要接地，盖板无电位要求。 There is no power-up sequence requirement; power-up settling time must exceed 10ms. Unused input/output pins should be left floating; the thermal layer must be grounded; there is no potential requirement for the lid. 7) 时钟输入端口在开始系统上电后的不正常波形会导致该电路从给时钟到数据稳定输出的延迟时间变大，不同芯片离散性导致延迟时间不一致，建议用户给足够的等待时间在使用采集的数据，建议给时钟后大于 5ms 后在使用转换后的数据。 Abnormal waveforms at the clock input port during initial system power-up will increase the delay from clock application to stable data output; part-to-part variation causes inconsistent delay times. Users are advised to allow sufficient wait time before using acquired data — it is recommended to wait more than 5ms after clock application before using the converted data. 8) 产品上电完成后需要进行软复位，将 0x3C 打入地址 0x00 后等待 1ms，再将 0x01 打入地址 0xFF 等待 10ms 即可完成软复位。 After power-up, a soft reset is required: write 0x3C to address 0x00, wait 1ms, then write 0x01 to address 0xFF and wait 10ms to complete the soft reset.

16.3 产品防护注意事项 / Product Protection Cautions

1) 静电电荷很容易在人体和测试设备上累积，并可能在没有察觉的情况下放电。尽管本产品具有专用 ESD 保护电路，但在遇到高能量静电放电时，可能会发生永久性器件损坏。因此，建议采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。 静电放电敏感度等级：IB 级（达到 500V）。 Static charges easily accumulate on personnel and test equipment and may discharge unnoticed. Although this product has dedicated ESD protection circuits, permanent device damage may occur under high-energy electrostatic discharge. Appropriate ESD precautions are therefore recommended to avoid device performance degradation or

loss of functionality. Electrostatic discharge sensitivity rating: Class IB (up to 500V). 2) 超出绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本产品手册中所示的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。 Exceeding absolute maximum ratings may cause permanent device damage. These are rating limits only and do not imply that the device will operate normally under these conditions or any other conditions beyond those shown in this manual. Prolonged operation at absolute maximum ratings affects device reliability. 3) 塑封电路易吸潮导致分层，使用时应注意保持周围环境干燥，存储时应真空包装储存于常温、干燥环境下。 Plastic-packaged circuits are prone to moisture absorption and delamination; keep the surrounding environment dry during use, and store in vacuum packaging at room temperature in a dry environment.

16.4 电装说明 / Assembly Instructions

1) 本产品潮湿敏感等级为 MSL3，将产品从防潮袋中取出、进行干燥储存或烘干后到回流焊前所暴露在外部环境的允许时间为：≤30°C/60RH%，168h； This product has a moisture sensitivity level of MSL3. After removing the product from the moisture-barrier bag, dry storage, or baking, the allowable exposure time to the ambient environment before reflow soldering is: ≤30°C/60RH%, 168h. 2) 若器件储存条件无法控制或追溯，请在电装前严格执行 125°C，8h 烘烤； If device storage conditions cannot be controlled or traced, bake at 125°C for 8h strictly before assembly. 3) 若电装环境温湿度无法保证≤30°C/60RH%，请在烘烤后 12h 内完成焊接； If the assembly environment cannot be guaranteed at ≤30°C/60RH%, complete soldering within 12h after baking. 4) 产品烘烤后，极易产生静电，所有操作过程需要注意 ESD 防护； After baking, the product is highly susceptible to static electricity; ESD protection must be observed throughout all handling. 5) 板级组装采用有铅回流焊（Sn63Pb37）时，推荐峰值温度范围 210°C~235°C，最大峰值温度不建议超过 235°C，峰值温度±5°C以内停留时间≤20s，液相线以上停留时间 60~90s，升温速率 2~4°C/s，降温速率 2~6°C/s； For board-level assembly using leaded reflow soldering (Sn63Pb37), the recommended peak temperature range is 210°C–235°C, with maximum peak temperature not exceeding 235°C; dwell time within ±5°C of peak temperature ≤20s, time above liquidus 60–90s, ramp-up rate 2–4°C/s, ramp-down rate 2–6°C/s. 6) 板级组装采用无铅回流焊（SAC305）时，推荐峰值温度范围 230°C~245°C，最大峰值温度不建议超过 260°C，峰值温度±5°C以内停留时间≤20s，液相线以上停留时间 60~90s，升温速率 2~4°C/s，降温速率 2~6°C； For board-level assembly using lead-free reflow soldering (SAC305), the recommended peak temperature range is 230°C–245°C, with maximum peak temperature not exceeding 260°C; dwell time within ±5°C of peak temperature ≤20s, time above liquidus 60–90s, ramp-up rate 2–4°C/s, ramp-down rate 2–6°C. 7) 若混合电装工艺需要温度升高，应保证器件本体温度最高不超过 260°C（器件本体温度测量点位于回流焊时器件上表面）； If a mixed assembly process requires higher temperatures, ensure the device body temperature does not exceed 260°C (measured at the top surface of the device during reflow). 8) 本产品焊接端镀层材料为镍钯金，但金含量小于 3%，不会出现金脆现象，不需要搪锡。 The solder-end plating of this product is NiPdAu, but the gold content is less than 3%, so gold embrittlement will not occur and tinning is not required. 9) 若有强制搪锡需求，按《国家航天行业标准 QJ3267 电子元器件搪锡工艺技术要求》标准进行搪锡。应注意搪锡前器件需烘干，搪锡设置温度不超过 300°C，四边引脚每边受热时间小于 5s，热沉表面受热时间小于 30s，搪锡次数不超过 1 次。 If forced tinning is required, perform tinning per the national aerospace industry standard QJ3267 Technical Requirements for Tinning of Electronic Components. Note that devices must be baked before tinning; tinning temperature must not exceed 300°C; heating time per side of the four-sided leads must be less than 5s; heating time of the thermal pad surface must be less than 30s; tinning must not be repeated more than once.

16.5 热阻 / Thermal Resistance

表4 热阻信息汇总 / Table 4 Thermal Resistance Summary

项目 / Item	实测值 / Measured Value	依据标准及方法 / Standard & Method
Rthja（结到环境的热阻）/ Rthja (junction-to-ambient thermal resistance)	22.55 K/W	JESD51-2 集成电路自然对流热测试环境要求及测试方法 / JESD51-2 natural-convection thermal test environmental requirements and test method for integrated circuits
Rthjt（结到器件顶面的热阻）/ Rthjt (junction-to-top thermal resistance)	2.089 K/W	JESD51-14 一维传热路径双界面分离法 / JESD51-14 one-dimensional heat-flow-path two-interface separation method
Rthj-bottom（结到器件底面的热阻）/ Rthj-bottom (junction-to-bottom thermal resistance)	2.269 K/W	JESD51-14 拐点理论器件内部结构分层得到 / JESD51-14 inflection-point theory, obtained by layering the internal device structure
Rthj-board（结到 PCB 板背后的热阻）/ Rthj-board (junction-to-PCB-backside thermal resistance)	6.202 K/W	JESD51-14 一维传热路径双界面分离法 / JESD51-14 one-dimensional heat-flow-path two-interface separation method

17. 常见故障及处理办法 / Common Faults and Troubleshooting

1. 无信号输出：检查电源电压、输入信号、时钟是否正确加载。 No signal output: check that supply voltage, input signal, and clock are correctly applied.
2. 出现溢出信号：检查基准是否正常工作，输入信号幅度是否正确。 Over-range signal present: check that the reference is working properly and that the input signal amplitude is correct.
3. 器件工作不稳定：检查电源，保证电源电压稳定。 Device operates unstably: check the power supply to ensure stable supply voltage.

18. 联系方式 / Contact

深圳市深信科技有限公司 / Shenzhen Shenxin Technology Co., Ltd.

- 联系人 / Contact: Felix (Flip) Lai, CEO
- 邮箱 / Email: felix@shenxinic.com
- 电话 / Tel: +852 51367095
- 官网 / Website: shenxinic.com

19. 附加说明 / Additional Notes

1. 本说明书首次发布日期：2026 年 8 月。 First publication date of this manual: August 2026.
2. 本产品状态：☑生产（该产品型号目前已在生产，可以提供正式产品）☐预发布（该产品型号尚未投入正式生产，可以提供样品） Product status: ☑Production (this model is currently in production; formal product available) ☐Pre-release (this model is not yet in formal production; samples available)
3. 替代进口器件情况说明 / Notes on substitution of imported devices:

1）绝对最大额定值对比 / Absolute maximum ratings comparison

附表1 绝对最大额定值对比 / Appendix Table 1 — Absolute Maximum Ratings Comparison

参数 / Parameter	SXA002 规范要求 / SXA002 Specification	进口器件手册 / Imported Device Datasheet	比对结果 / Comparison
电源电压（VCC）/ Supply voltage (VCC)	2V	2V	一致 / Consistent
电源电压（VDD）/ Supply voltage (VDD)	2V	2V	一致 / Consistent
贮存温度（Tstg）/ Storage temperature (Tstg)	-65°C~150°C	-65°C~125°C	不一致 / Different
结温（TJ）/ Junction temperature (TJ)	175°C	150°C	不一致 / Different
引线耐焊接温度（Th）（10s）/ Lead soldering temperature (Th) (10s)	300°C	300°C	一致 / Consistent
ESD	HBM 500V	无相关内容 / Not specified	不一致 / Different

2）推荐工作条件对比 / Recommended operating conditions comparison

附表2 推荐工作条件对比 / Appendix Table 2 — Recommended Operating Conditions Comparison

参数 / Parameter	SXA002 规范要求 / SXA002 Specification	进口器件手册 / Imported Device Datasheet	比对结果 / Comparison
电源电压（VCC）/ Supply voltage (VCC)	1.75V~1.90V	1.75V~1.90V	一致 / Consistent
电源电压（VDD）/ Supply voltage (VDD)	1.75V~1.90V	1.75V~1.90V	一致 / Consistent
模拟输入电压范围（VIR）/ Analog input voltage range (VIR)	≤1.50V（默认状态）/ ≤1.50V (default)	≤1.50V（默认状态）/ ≤1.50V (default)	一致 / Consistent
模拟输入共模电压范围（VIC）/ Analog input common-mode voltage range (VIC)	1.6V~1.8V	1.7V	不一致 / Different
数字输入低电平电压（VIL）/ Digital input low-level voltage (VIL)	—	-1.80VP-P~-0.20VP-P	不一致 / Different
数字输入高电平电压（VIH）/ Digital input high-level voltage (VIH)	—	0.20VP-P~1.80VP-P	不一致 / Different
工作环境温度（TA）/ Operating ambient temperature (TA)	-40°C~85°C	-40°C~85°C	一致 / Consistent

3）电特性对比 / Electrical characteristics comparison

附表3 电特性对比 / Appendix Table 3 — Electrical Characteristics Comparison

参数 / Parameter	符号 / Symbol	条件 / Condition	SXA002 参考值 / SXA002 Reference			进口器件手册参考值 / Imported Device Reference			说明 / Note	单位 / Unit
			最小值 / Min	典型值 / Typ	最大值 / Max	最小值 / Min	典型值 / Typ	最大值 / Max		
分辨率 / Resolution	RES	—	12			12			一致 / Consistent	bit
微分非线性误差 / DNL	EDL	—	-1.5	0.61	1.5	-0.95	0.5	1.0		LSB
积分非线性误差 / INL	EL	—	-4.50	1.6	4.50	-1.30	0.6	1.30		LSB
失调误差 / Offset error	EO	—	-5	-1.17	5	-3	0.25	1		mV
增益误差 / Gain error	EG	—	-9	1.73	9	-5	1	7		%FS
逻辑输入高电平 / Logic input high	VIH	—	—	—	1.44	—	—	1.44		V
逻辑输入低电平 / Logic input low	VIL	—	0.36	—	—	0.36	—	—		V
输入高电平电流 / Input high current	IIH	SDIO，CSB	—	—	10	—	—	0		uA
输入低电平电流 / Input low current	IIL	SDIO，CSB	-100	—	—	-60	—	—		uA
共模输出电压 / Common-mode output voltage	VCM	—	1.6	—	1.8	—	1.7	—		V
信噪比 / SNR	SNR	fCLK=500MHz, fIN=30.3MHz, TA=-40°C、85°C	62	—	—	65.9	—	—		dB
		fCLK=500MHz, fIN=30.3MHz, TA=25°C	57	—	—	—	—	—		dB
无杂散动态范围 / SFDR	SFDR	fCLK=500MHz, fIN=30.3MHz, TA=-40°C、85°C	70	—	—	84	—	—		dB
		fCLK=500MHz, fIN=30.3MHz, TA=25°C	63	—	—	—	—	—		dB
信噪失真比 / SINAD	SINAD	fCLK=500MHz, fIN=30.3MHz, TA=-40°C、85°C	61	—	—	65.9	—	—		dB
		fCLK=500MHz, fIN=30.3MHz, TA=25°C	56	—	—	—	—	—		dB
有效位数 / ENOB	ENOB	fCLK=500MHz, fIN=30.3MHz, TA=-40°C、85°C	9.8	—	—	10.7	—	—		bit

参数 / Parameter	符号 / Symbol	条件 / Condition	SXA002 参考值 / SXA002 Reference			进口器件手册参考值 / Imported Device Reference			说明 / Note	单位 / Unit
		fCLK=500MHz, fIN=30.3MHz, TA=25℃	9.1	—	—	—	—	—		bit
LVDS 差分输出电压 / LVDS differential output voltage	VOD	—	200	—	500	247	—	454		mV
LVDS 共模输出电压 / LVDS common-mode output voltage	VOS	—	1	—	1.45	1.125	—	1.375		V
电源电流 / Supply current	I	—	—	348.18	500	—	283	301		mA
功耗 / Power dissipation	PD	—	—	626.73	900	—	690	747		W
待机功耗 / Standby power	PSDB	—	—	14.94	60	—	40	50		mW
休眠功耗 / Power-down power	PDWN	—	—	1.32	12	—	2.5	7		mW
时钟高脉冲宽度 / Clock high pulse width	tCLKH	—	1	—	10	0.9	—	11		ns
时钟低脉冲宽度 / Clock low pulse width	tCLKL	—	1	—	10	0.9	—	11		ns

4）其它指标对比 / Other parameters comparison

附表4 其它指标对比 / Appendix Table 4 — Other Parameters Comparison

参数 / Parameter	SXA002	进口器件 / Imported Device	比对结果 / Comparison
封装形式 / Package	QFN56L	56-lead LFCSP	不一致 / Different
质量等级 / Quality grade	企标 / Enterprise standard	工业级 / Industrial	不一致 / Different
尺寸 / Dimensions	8.00mm×8.00mm×0.75mm	8.00mm×8.00mm×0.85mm	不一致 / Different
替代建议 / Substitution recommendation	□直接替代 □有效替代 ☑功能替代 / □Drop-in □Effective ☑Functional alternative		
© 2026 深圳市深信科技有限公司 / Shenzhen Shenxin Technology Co., Ltd.			