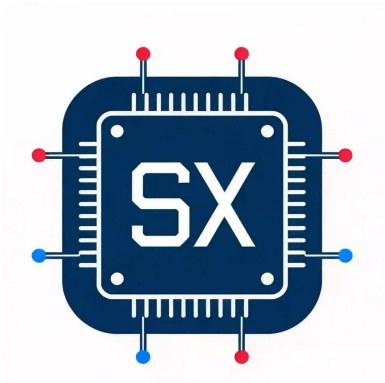


SXA039

Quad-Channel 14-Bit, 600 MSPS A/D Converter

四通道 14 位 600MSPS A/D 转换器

14-bit | 4 channels | 600 MSPS | QFN72 | JESD204B

14 位 | 四通道 | 600MSPS | QFN72 | JESD204B

对标 / Cross Reference: AD9694 — pin-to-pin compatible alternative

Product Datasheet / 产品数据手册

Shenzhen Shenxin Technology Co., Ltd. · 深圳市深信科技有限公司

felix@shenxinic.com | +852 51367095 | shenxinic.com

SXA039 Quad-Channel 14-Bit 600MSPS A/D Converter — Product Manual (Bilingual)

SXA039 型四通道 14 位 600MSPS A/D 转换器产品说明书、使用手册（中英对照）

Shenzhen Shenxin Technology Co., Ltd. / 深信科技 **V1.20260716**

对标 / Cross Reference: AD9694 — pin-to-pin compatible alternative

目录 / Table of Contents

1. 产品用途及应用范围 / Applications and Scope
2. 标准 / Standards
3. 产品特点 / Features
4. 产品描述 / Product Description
5. 产品外形图 / Package Outline
6. 引出端排列（俯视图）/ Pin Arrangement (Top View)
7. 引出端功能符号表 / Pin Function Table
8. 绝对最大额定值 / Absolute Maximum Ratings
9. 推荐工作条件 / Recommended Operating Conditions
10. 性能指标 / Performance Specifications
11. 主要特性曲线图（电特性测试图）/ Typical Characteristic Curves (Electrical Test Plots)
12. 典型应用线路图 / Typical Application Circuit
13. 单元模块及工作原理 / Functional Blocks and Operating Principles
14. 寄存器 / Registers
15. 电源地间保护 / Power-to-Ground Protection
16. 注意事项 / Precautions
17. 常见故障及处理办法 / Common Faults and Troubleshooting
18. 联系方式 / Contact Information
19. 附加说明 / Additional Notes

版本修订记录 / Revision History

版本号 / Version	发布日期 / Release Date	更改章节 / Changed Section	更改说明 / Change Description	备注 / Remarks
V.20260716	20260716	/	首次发布 / Initial release	/

产品用途及应用范围 / Applications and Scope

English: Multi-mode digital receivers; IF signal sampling for communications receivers; instruments and meters; software-defined radio.

中文： 多模数字接收机；通信接收器中频信号采样；仪器仪表；软件无线电。

标准 / Standards

English: Detailed specification and approval number: Q/GC 0200-2026 — Detailed Specification for Semiconductor Integrated Circuit SXA039 Quad-Channel 14-Bit 600MSPS A/D Converter. Quality grade / quality assurance requirement: enterprise standard.

中文： 详细规范及确认号：Q/GC 0200-2026 《半导体集成电路 SXA039 型四通道 14 位 600MSPS A/D 转换器详细规范》；质量等级/质量保证要求：企标。

产品特点 / Features

English: - Analog supply voltages: 2.5V/1.8V/0.975V - Digital supply voltages: 1.8V/0.975V - Maximum sampling rate: 600MSPS - Signal-to-noise ratio (SNR): ≥63dBFS @Fin=155MHz, -1dBFS (typical 65dBFS) - Spurious-free dynamic range (SFDR): ≥75dBFS @Fin=155MHz, -1dBFS (typical 85dBFS) - Differential nonlinearity error (DNL): ±0.9LSB - Integral nonlinearity error (INL): ±9.0LSB - Power consumption: ≤2.5W (typical 1.8W) - Analog input range: 1.44VPP~2.16VPP - Circuit interface: JESD204B - -3dB bandwidth: 1.4GHz - ESD rating: Class 1B, HBM model, 500V - Weight: 0.26g±0.05g - Moisture sensitivity level and package: MSL3, QFN72

中文： - 模拟电源电压：2.5V/1.8V/0.975V - 数字电源电压：1.8V/0.975V - 最高采样率：600MSPS - 信噪比：≥63dBFS@Fin=155MHz，-1dBFS（典型值 65dBFS） - 无杂散动态范围：≥75 dBFS@Fin=155MHz，-1dBFS（典型值 85dBFS） - 微分线性误差：±0.9LSB - 积分线性误差：±9.0LSB - 功耗：≤2.5W(典型值 1.8W) - 模拟输入范围：1.44VPP～2.16VPP - 电路接口：JESD204B - -3dB 带宽：1.4GHz - ESD 等级：1B 级，HBM 模型：500V - 重量：0.26g±0.05g - 湿敏等级和封装形式：MSL3，QFN72

产品描述 / Product Description

English: The SXA039 quad-channel 14-bit high-speed A/D converter is a monolithic integrated circuit fabricated in CMOS technology. The product uses a pipelined (Pipeline) architecture; the circuit internally includes a sample/hold amplifier, a pipelined ADC, a reference voltage, a clock stabilization circuit, mode selection, and other circuits.

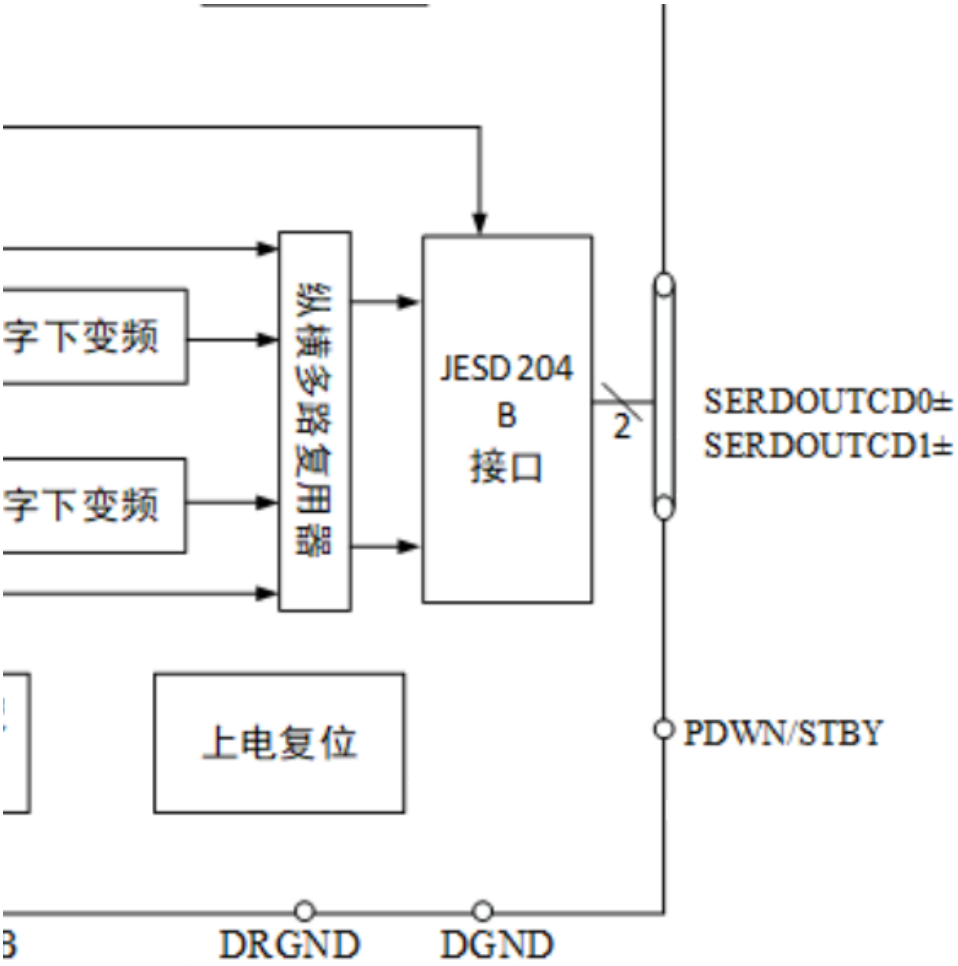
The circuit is housed in a 72-pin quad flat no-lead package, package code QFN72, with outline dimensions of 10.0mm (L) × 10.0mm (W) × 0.75mm (H).

The functional block diagram of this product is shown in Figure 1.

中文： SXA039 型四通道 14 位高速 A/D 转换器是采用 CMOS 工艺制造的单片集成电路。该产品采用流水线（Pipeline）结构，电路内部包含采样/保持放大器、流水线结构 ADC、基准电压、时钟稳定电路和模式选择等电路。

该电路采用 72 引脚的四边扁平无引线封装，外壳代号 QFN72，外形尺寸为长 10.0mm×宽 10.0mm×高 0.75mm。

该产品功能框图如图 1 所示。



图

Figure 1: Functional block diagram

English: The SPI operating timing of this product is as follows:

中文： 该产品 SPI 工作时序如下：

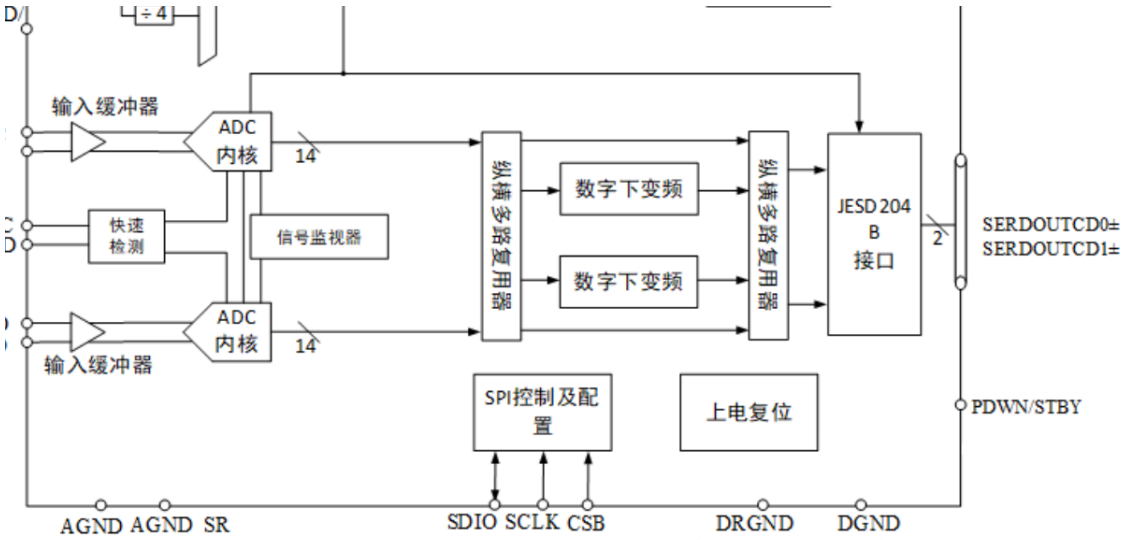


图1 功能框图

如下：

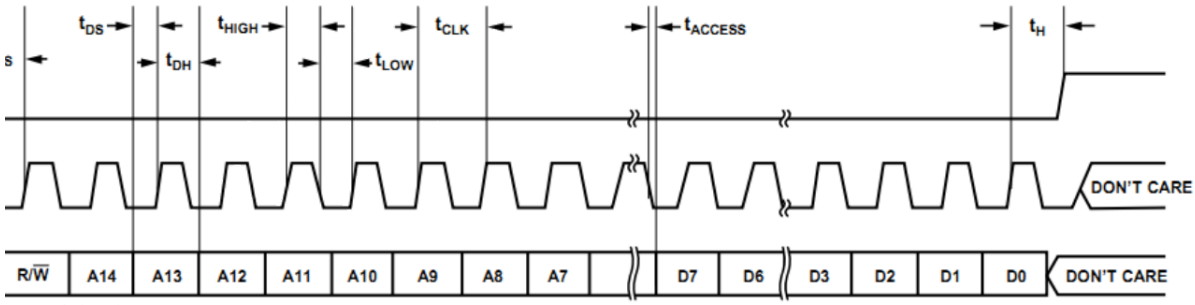


图2 SPI 工作时序

Figure 2: SPI operating timing

表1 / Table 1 — SPI 时序特性 / SPI Timing Characteristics

描述 / Description	参数 / Parameter	最小值 / Min	典型值 / Typ	最大值 / Max	单位 / Unit
数据与 SCLK 上升沿之间的建立时间 / Data to SCLK rising-edge setup time	tDS	4	—	—	ns
数据与 SCLK 上升沿之间的保持时间 / Data to SCLK rising-edge hold time	tDH	2	—	—	ns
SCLK 周期 / SCLK period	tCLK	40	—	—	ns
CSB 与 SCLK 之间的建立时间 / CSB to SCLK setup time	tS	2	—	—	ns
CSB 与 SCLK 之间的保持时间 / CSB to SCLK hold time	tH	2	—	—	ns

描述 / Description	参数 / Parameter	最小值 / Min	典型值 / Typ	最大值 / Max	单位 / Unit
SCLK 应处于逻辑高电平状态的最短时间 / Minimum time SCLK must remain at logic high	tHIGH	10	—	—	ns
SCLK 应处于逻辑低电平状态的最短时间 / Minimum time SCLK must remain at logic low	tLOW	10	—	—	ns

产品外形图 / Package Outline

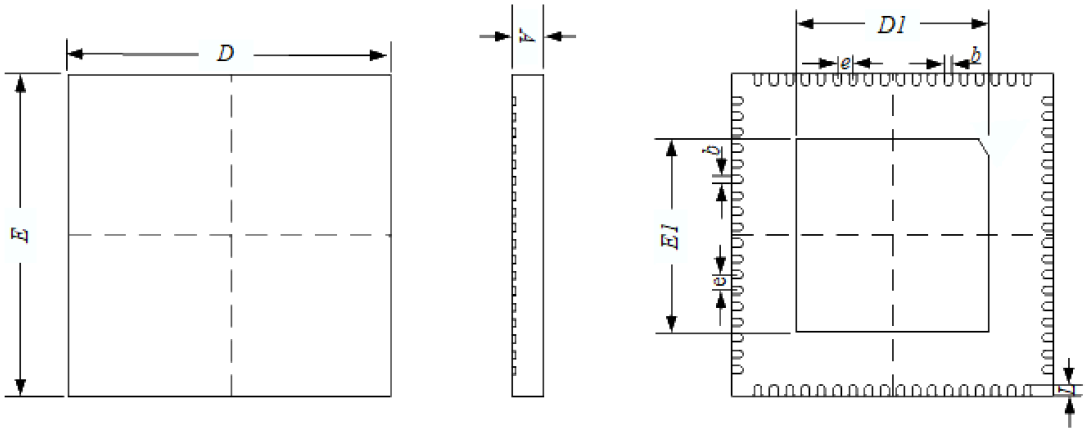


Figure 3: Package outline dimensions

单位为毫米 / Units in mm

尺寸符号 / Dimension	数值 / Value — 最小 / Min	数值 / Value — 公称 / Nom	数值 / Value — 最大 / Max	尺寸符号 / Dimension	数值 / Value — 最小 / Min	数值 / Value — 公称 / Nom	数值 / Value — 最大 / Max
A	0.70	0.75[a]	0.90	E1	7.20	7.30[a]	7.40
D	9.90	10.00[a]	10.10	L	0.30	0.40[a]	0.50
D1	7.20	7.30[a]	7.40	b	0.18	0.24[a]	0.30
E	9.90	10.00[a]	10.10	e	--	0.50	--

[a] 外壳实际公称值，推荐用户参考该尺寸设计使用；/ Actual nominal package values; users are advised to design with reference to these dimensions.

注：推荐焊盘设计详见电装说明。/ Note: see the assembly instructions for recommended pad layout.

引出端排列（俯视图）/ Pin Arrangement (Top View)

图3 产品外形尺寸图

单位为毫米

尺寸符号	数值			尺寸符号	数值		
	最小	公称	最大		最小	公称	最大
A	0.70	0.75[a]	0.90	*E1*	7.20	7.30[a]	7.40
D	9.90	10.00[a]	10.10	*L*	0.30	0.40[a]	0.50
D1	7.20	7.30[a]	7.40	*b*	0.18	0.24[a]	0.30
E	9.90	10.00[a]	10.10	e	--	0.50	--
[a] 外壳实际公称值，推荐用户参考该尺寸设计使用							

注：推荐焊盘设计详见电装说明。

引出端排列（俯视图）

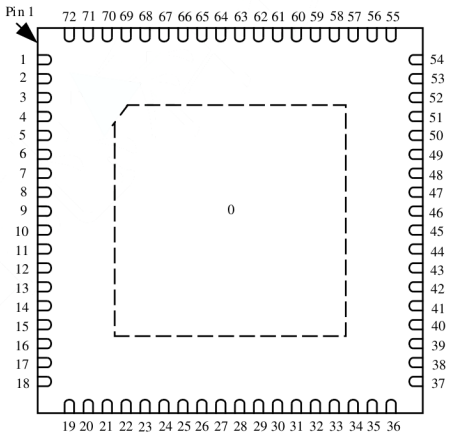


图4 引出端排列

Figure 4: Pin arrangement (top view)

引出端功能符号表 / Pin Function Table

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
0	AGND	模拟地 / Analog ground	/	37	SDIO	SPI 输入/输出 / SPI input/output	I/O
1	VAVDD3	2.5V 模拟电源 / 2.5V analog supply	/	38	SCLK	SPI 时钟 / SPI clock	I
2	VIN-A	A 通道模拟输入，负端 / Channel A analog input, negative	I	39	CSB	SPI 片选 / SPI chip select	I
3	VIN+A	A 通道模拟输入，正端 / Channel A analog input, positive	I	40	VSPIVDD	SPI 电源（1.8V）/ SPI supply (1.8V)	/

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
4	VAVDD2	1.8V 模拟电源 / 1.8V analog supply	/	41	DGND	数字地 / Digital ground	/
5	VAVDD2	1.8V 模拟电源 / 1.8V analog supply	/	42	VDVDD	数字电源 0.975V / Digital supply 0.975V	/
6	VAVDD3	2.5V 模拟电源 / 2.5V analog supply	/	43	VCM_CD/ VREF	C/D通道输入缓冲器输入共模/0.5V基准电压输入 / C/D-channel input buffer input common-mode / 0.5V reference voltage input	I/O
7	VIN+B	B 通道模拟输入，正端 / Channel B analog input, positive	I	44	VAVDD1	0.975V 模拟电源 / 0.975V analog supply	/
8	VIN-B	B 通道模拟输入，负端 / Channel B analog input, negative	I	45	VAVDD1	0.975V 模拟电源 / 0.975V analog supply	/
9	VAVDD2	1.8V 模拟电源 / 1.8V analog supply	/	46	VAVDD2	1.8V 模拟电源 / 1.8V analog supply	/
10	VAVDD1	0.975V 模拟电源 / 0.975V analog supply	/	47	VIN-D	D 通道模拟输入，负端 / Channel D analog input, negative	I
11	VAVDD1	0.975V 模拟电源 / 0.975V analog supply	/	48	VIN+D	D 通道模拟输入，正端 / Channel D analog input, positive	I
12	VCM_AB	A/B通道输入缓冲器输入共模 / A/B-channel input buffer input common-mode	I/O	49	VAVDD3	2.5V 模拟电源 / 2.5V analog supply	/
13	VDVDD	数字电源 0.975V / Digital supply 0.975V	/	50	VAVDD2	1.8V 模拟电源 / 1.8V analog supply	/
14	DGND	数字地 / Digital ground	/	51	VAVDD2	1.8V 模拟电源 / 1.8V analog supply	/
15	VDRVDD2	TX 电源 1.8V / TX supply 1.8V	/	52	VIN+C	C 通道模拟输入，正端 / Channel C analog input, positive	I
16	PDWN/STBY	掉电输入 / Power-down input	I	53	VIN-C	C 通道模拟输入，负端 / Channel C analog input, negative	I
17	FD_A	A 通道快速检测输出 / Channel A fast-detect output	O	54	VAVDD3	2.5V 模拟电压 / 2.5V analog voltage	/
18	FD_B	B 通道快速检测输出 / Channel B fast-detect output	O	55	VAVDD2	1.8V 模拟电源 / 1.8V analog supply	/
19	SYNCINB-AB	A/B通道JESD204B LVDS同步输入，负端 / A/B-channel JESD204B LVDS sync input, negative	I	56	VAVDD1	0.975V 模拟电源 / 0.975V analog supply	/
20	SYNCINB+AB	A/B 通道 JESD204B LVDS同步输入，正端 / A/B-channel JESD204B LVDS sync input, positive	I	57	VAVDD1	0.975V 模拟电源 / 0.975V analog supply	/
21	DRGND	TX 驱动地 / TX driver ground	/	58	VAVDD1	0.975V 模拟电源 / 0.975V analog supply	/
22	VDRVDD1		/	59	VAVDD1		/

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
		TX 电源 0.975V / TX supply 0.975V				0.975V 模拟电源 / 0.975V analog supply	
23	SERDOUTAB0-	A/B 通道 Lane0 数据输出，负端 / A/B-channel Lane0 data output, negative	O	60	CLK+	时钟，正端 / Clock, positive	I
24	SERDOUTAB0+	A/B 通道 Lane0 数据输出，正端 / A/B-channel Lane0 data output, positive	O	61	CLK-	时钟，负端 / Clock, negative	I
25	SERDOUTAB1-	A/B 通道 Lane1 数据输出，负端 / A/B-channel Lane1 data output, negative	O	62	VAVDD1	0.975V 模拟电源 / 0.975V analog supply	/
26	SERDOUTAB1+	A/B 通道 Lane1 数据输出，正端 / A/B-channel Lane1 data output, positive	O	63	AGND_SR	SYSREF 地 / SYSREF ground	/
27	SERDOUTCD1+	C/D 通道 Lane1 数据输出，正端 / C/D-channel Lane1 data output, positive	O	64	VAVDD1_SR	SYSREF 电源 0.975V / SYSREF supply 0.975V	/
28	SERDOUTCD1-	C/D 通道 Lane1 数据输出，负端 / C/D-channel Lane1 data output, negative	O	65	SYSREF+	SYSREF，正端 / SYSREF, positive	I
29	SERDOUTCD0+	C/D 通道 Lane0 数据输出，正端 / C/D-channel Lane0 data output, positive	O	66	SYSREF-	SYSREF，负端 / SYSREF, negative	I
30	SERDOUTCD0-	C/D 通道 Lane0 数据输出，负端 / C/D-channel Lane0 data output, negative	O	67	AGND_SR	SYSREF 地 / SYSREF ground	/
31	VDRVDD1	TX 电源 0.975V / TX supply 0.975V	/	68	VAVDD1	0.975V 模拟电源 / 0.975V analog supply	/
32	DRGND	TX 驱动地 / TX driver ground	/	69	VAVDD1	0.975V 模拟电源 / 0.975V analog supply	/
33	SYNCINB+CD	CD_JESD204B LVDS 同步输入，正端 / C/D-channel JESD204B LVDS sync input, positive	I	70	VAVDD1	0.975V 模拟电源 / 0.975V analog supply	/
34	SYNCINB-CD	CD_JESD204B LVDS同步输入，负端 / C/D-channel JESD204B LVDS sync input, negative	I	71	VAVDD1	0.975V 模拟电源 / 0.975V analog supply	/
35	FD_D	D 通道快速检测输出 / Channel D fast-detect output	O	72	VAVDD2	1.8V 模拟电源 / 1.8V analog supply	/
36	FD_C	C 通道快速检测输出 / Channel C fast-detect output	O				

注：0 端口为热沉，接地电位 AGND / Note: Pin 0 is the heat sink (thermal pad), at AGND ground potential.

绝对最大额定值 / Absolute Maximum Ratings

English: - Supply voltage (VAVDD1) to AGND: 1.05V - Analog input voltage (VIN): -0.3V～VDD+0.3V - Supply voltage (VAVDD2) to AGND: 2.0V - Supply voltage (VAVDD3) to AGND: 2.7V - Supply voltage (VDVDD) to GND: 1.05V - Supply voltage (VDRVDD1) to DRGND: 1.05V - Supply voltage (VDRVDD2) to DRGND: 2V - Supply voltage (VSPIVDD) to DGND: 2V - Storage temperature (Tstg): -65°C~150°C

中文： - 电源电压（VAVDD1）to AGND：1.05V - 模拟输入电压(VIN)：-0.3V～VDD+0.3V - 电源电压（VAVDD2）to AGND：2.0V - 电源电压（VAVDD3）to AGND：2.7V - 电源电压（VDVDD）to GND：1.05V - 电源电压（VDRVDD1）to DRGND：1.05V - 电源电压（VDRVDD2）to DRGND：2V - 电源电压（VSPIVDD）to DGND：2V - 贮存温度（Tstg）：-65°C~150°C

注：请查看附件说明中替代国外产品情况说明。/ Note: see the cross-reference notes against the foreign product in the Additional Notes.

推荐工作条件 / Recommended Operating Conditions

English: - Supply voltage (VAVDD1) to AGND: 0.95V~1V - Supply voltage (VAVDD1_SR) to AGND: 0.95V~1V - Supply voltage (VAVDD2) to AGND: 1.8V~1.89V - Supply voltage (VAVDD3) to AGND: 2.45V~2.5V - Supply voltage (VDVDD) to AGND: 0.95V~1V - Supply voltage (VDRVDD1) to DRGND: 0.95V~1V - Supply voltage (VDRVDD2) to DRGND: 1.8V~1.89V - Supply voltage (VSPIVDD) to AGND: 1.8V~1.89V - Operating temperature range (TC): -55°C~125°C

中文： - 电源电压（VAVDD1）to AGND：0.95V~1V - 电源电压（VAVDD1_SR）to AGND：0.95V~1V - 电源电压（VAVDD2）to AGND：1.8V~1.89V - 电源电压（VAVDD3）to AGND：2.45V~2.5V - 电源电压（VDVDD）to AGND：0.95V~1V - 电源电压（VDRVDD1）to DRGND：0.95V~1V - 电源电压（VDRVDD2）to DRGND：1.8V~1.89V - 电源电压（VSPIVDD）to AGND：1.8V~1.89V - 工作温度范围（TC）：-55°C~125°C

性能指标 / Performance Specifications

Conditions / 条件（除另有规定外 / unless otherwise specified）: VAVDD1=0.975V, VAVDD1_SR=0.975V, VAVDD2=1.8V, VAVDD3=2.5V, VDVDD=0.975V, VDRVDD1=0.975V, VDRVDD2=1.8V, VSPIVDD=1.8V, AGND=DGND=DRGND=0V, FS＝600MSPS, -40°C≤TA≤85°C, 输入幅度范围为 1.80Vp-p，二分频 / input range 1.80Vp-p, divide-by-2.

特性 / Parameter	符号 / Symbol	条件 / Conditions	最小 / Min	典型值 / Typical	最大 / Max	单位 / Unit
分辨率 / Resolution	RES	—	—	14		Bits
失调误差 / Offset error	Oe	—	-1	-0.1~0.1	1	%FSR
失调误差匹配 / Offset error matching	Oem	—	-1	-0.1~0.1	1	%FSR
积分非线性误差 / Integral nonlinearity	INL	fIN=155MHz	-9.0	-3~+3	9.0	LSB
微分非线性误差 / Differential nonlinearity	DNL	fIN=155MHz	-0.9	-0.6~0.6	0.9	LSB
输入等效噪声 / Input-referred noise	Gin	—	—	2.8	5.0	LSB rms

特性 / Parameter	符号 / Symbol	条件 / Conditions	最小 / Min	典型值 / Typical	最大 / Max	单位 / Unit
噪声谱密度 / Noise spectral density	NSD	fIN=155MHz	—	-150	-145	dBFS/Hz
功耗 / Power consumption	PW	四通道 / Four channels	—	1.8	2.5	W
掉电功耗 / Power-down power	PD	—	—	350	850	mW
待机功耗 / Standby power	PSB	—	—	1.35	1.75	W
内部参考电压 / Internal reference voltage	VREF	—	490	500	510	mV
转换速率 / Conversion rate	FS	—	—	600	600	MSPS
VAVDD1 电流 / VAVDD1 current	IAVDD1	—	—	350	550	mA
VAVDD1_SR 电流 / VAVDD1_SR current	IAVDD1_SR	—	—	22	55	mA
VAVDD2 电流 / VAVDD2 current	IAVDD2	—	—	520	655	mA
VAVDD3 电流 / VAVDD3 current	IAVDD3	—	—	85	135	mA
VDVDD 电流 / VDVDD current	IDVDD	—	—	145	295	mA
VDRVDD1 电流 / VDRVDD1 current	IDRVDD1	—	—	195	325	mA
VDRVDD2 电流 / VDRVDD2 current	IDRVDD2	—	—	25	40	mA
VSPIVDD 电流 / VSPIVDD current	ISPIVDD	—	—	1	5	mA
信噪比 / SNR	SNR	fIN=155MHz，-1.0dBFS	63	66	—	dBFS
信噪比 / SNR	SNR	fIN=450MHz，-1.0dBFS	61	65	—	dBFS
信噪比 / SNR	SNR	fIN=985MHz[a]，-1.0dBFS	59	63	—	dBFS
信噪失真比 / SINAD	SINAD	fIN=155MHz，-1.0dBFS	61	65.5	—	dBFS
信噪失真比 / SINAD	SINAD	fIN=450MHz，-1.0dBFS	58	64.5	—	dBFS
信噪失真比 / SINAD	SINAD	fIN=985MHz[a]，-1.0dBFS	56	62.5	—	dBFS
无杂散动态范围 / SFDR	SFDR	fIN=155MHz，-1.0dBFS	75	85	—	dBFS
无杂散动态范围 / SFDR	SFDR	fIN=450MHz，-1.0dBFS	70	82	—	dBFS
无杂散动态范围 / SFDR	SFDR	fIN=985MHz[a]，-1.0dBFS	65	74	—	dBFS
最差谐波失真（二、三阶）/ Worst harmonic distortion (2nd, 3rd)	HD2,3nd	fIN=155MHz，-1.0dBFS	—	-85	-75	dBFS
最差谐波失真（二、三阶）/ Worst harmonic distortion (2nd, 3rd)	HD2,3nd	fIN=450MHz，-1.0dBFS	—	-82	-70	dBFS
最差谐波失真（二、三阶）/ Worst harmonic distortion (2nd, 3rd)	HD2,3nd	fIN=985MHz[a]，-1.0dBFS	—	-74	-65	dBFS
有效位数 / ENOB	ENOB	fIN=155MHz，-1.0dBFS	9.8	10.4	—	Bits
有效位数 / ENOB	ENOB	fIN=450MHz，-1.0dBFS	9.3	10.4	—	Bits
有效位数 / ENOB	ENOB	fIN=985MHz[a]，-1.0dBFS	9.0	10.0	—	Bits
JESD204B Lane 通道数 / Number of JESD204B lanes	L	—	—	4	4	Lane
	VIH	—	0.7 VSPIVDD	—	VSPIVDD	V

特性 / Parameter	符号 / Symbol	条件 / Conditions	最小 / Min	典型值 / Typical	最大 / Max	单位 / Unit
逻辑 1 输入电压 (SCLK,CSB,SDIO,PDWN/STBY) / Logic-1 input voltage						
逻辑 0 输入电压 (SCLK,CSB,SDIO,PDWN/STBY) / Logic-0 input voltage	VIL	—	0	—	0.35 VSPIVDD	V
逻辑 1 输出电压 (SDIO) / Logic-1 output voltage (SDIO)	VOH_SDIO	IOH=800uA	VSPIVDD-0.5	—	—	V
逻辑 0 输出电压 (SDIO) / Logic-0 output voltage (SDIO)	VOL_SDIO	IOL=50uA	—	—	0.35 VSPIVDD	V
逻辑 1 输出电压 (FD_A,FD_B,FD_C,FD_D) / Logic-1 output voltage (FD)	VOH_FD	—	VSPIVDD-0.5	—	—	V
逻辑 0 输出电压 (FD_A,FD_B,FD_C,FD_D) / Logic-0 output voltage (FD)	VOL_FD	—	—	—	0.35 VSPIVDD	V
数据与 SCLK 上升沿之间的建立时间 / Data to SCLK rising-edge setup time	tDS	—	4	—	—	ns
数据与 SCLK 上升沿之间的保持时间 / Data to SCLK rising-edge hold time	tDH	—	2	—	—	ns
SCLK 周期 / SCLK period	tCLK	—	40	—	—	ns
CSB 与 SCLK 之间的建立时间 / CSB to SCLK setup time	tS	—	2	—	—	ns
CSB 与 SCLK 之间的保持时间 / CSB to SCLK hold time	tH	—	2	—	—	ns
SCLK 应处于逻辑高电平状态的最短时间 / Minimum SCLK logic-high time	tHIGH	—	10	—	—	ns
SCLK 应处于逻辑低电平状态的最短时间 / Minimum SCLK logic-low time	tLOW	—	10	—	—	ns

[a] 当 fIN=985MHz 时，寄存器 0x1A4C 和 0x1A4D 都配置成 0x14。/ When fIN=985MHz, registers 0x1A4C and 0x1A4D are both configured to 0x14.

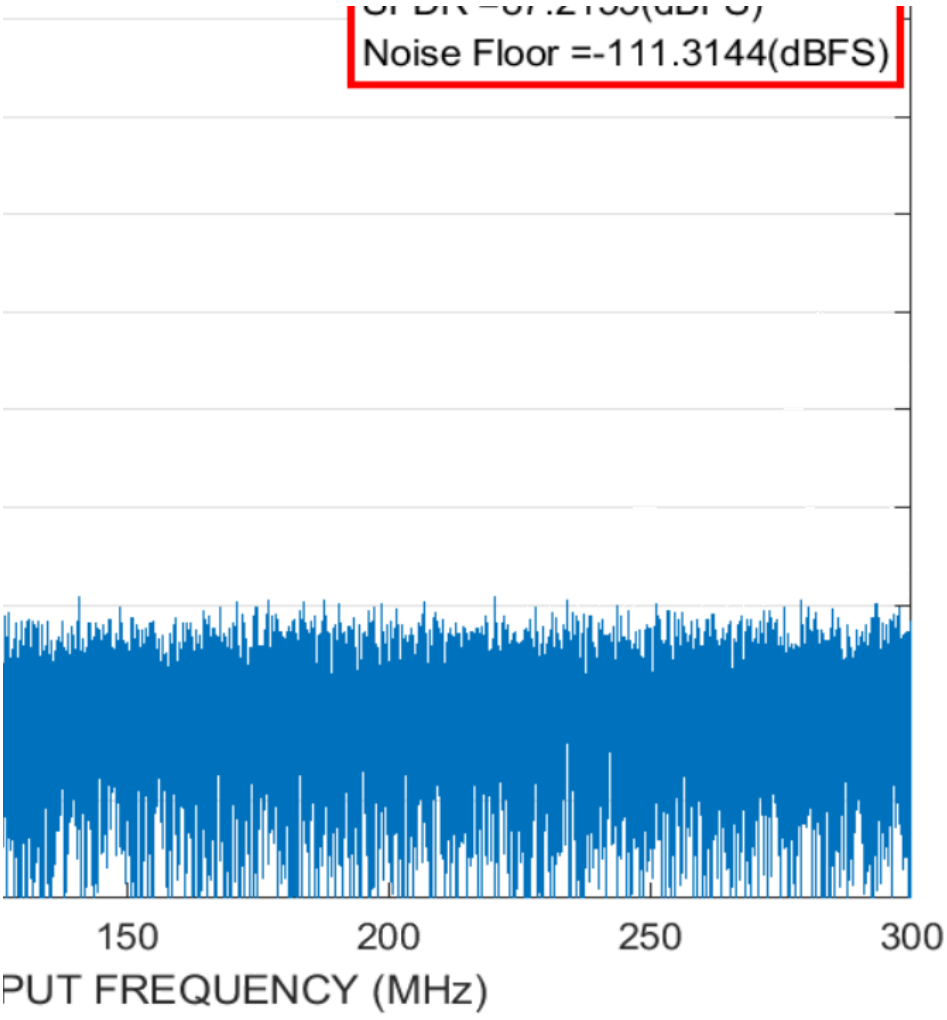
注：典型值为常温测试数据 / Note: typical values are room-temperature test data.

主要特性曲线图（电特性测试图）/ Typical Characteristic Curves (Electrical Test Plots)

English: 1. FFT spectrum at 10MHz analog input. 2. FFT spectrum at 155MHz analog input. 3. FFT spectrum at 450MHz analog input. 4. FFT spectrum at 765MHz analog input. 5. FFT spectrum at 985MHz analog input. 6. Typical differential error (DNL) and linearity error (INL) curves. 7. SNR/SFDR vs. sampling frequency (FS). 8. Power consumption vs. sampling frequency (FS). 9. SNR vs. input signal frequency (fIN), curve 1. 10. SNR vs. input signal frequency (fIN), curve 2. 11. SFDR vs. input signal frequency (fIN). 12. SNR

vs. clock signal amplitude. 13. SNR/SINAD vs. case (shroud) temperature. 14. SFDR vs. case (shroud) temperature.

中文： 1、模拟输入 10MHz 条件下 FFT 谱线。2、模拟输入 155MHz 条件下 FFT 谱线。3、模拟输入 450MHz 条件下 FFT 谱线。4、模拟输入 765MHz 条件下 FFT 谱线。5、模拟输入 985MHz 条件下 FFT 谱线。6、典型微分误差（DNL）和线性误差（INL）曲线。7、SNR/SFDR 随采样频率（FS）变化的曲线。8、功耗随采样频率（FS）变化的曲线。9、SNR 随输入信号频率（fIN）变化的曲线 1。10、SNR 随输入信号频率（fIN）变的化曲线 2。11、SFDR 随输入信号频率（fIN）变化的曲线。12、SNR 随时钟信号幅度变化的曲线。13、SNR/SINAD 随风罩温度的变化曲线。14、SFDR 随风罩温度的变化曲线。



10MHz，T_A=25°C FFT 谱线

Figure 5: FFT spectrum, FS=600MHz, fIN=10MHz, TA=25°C

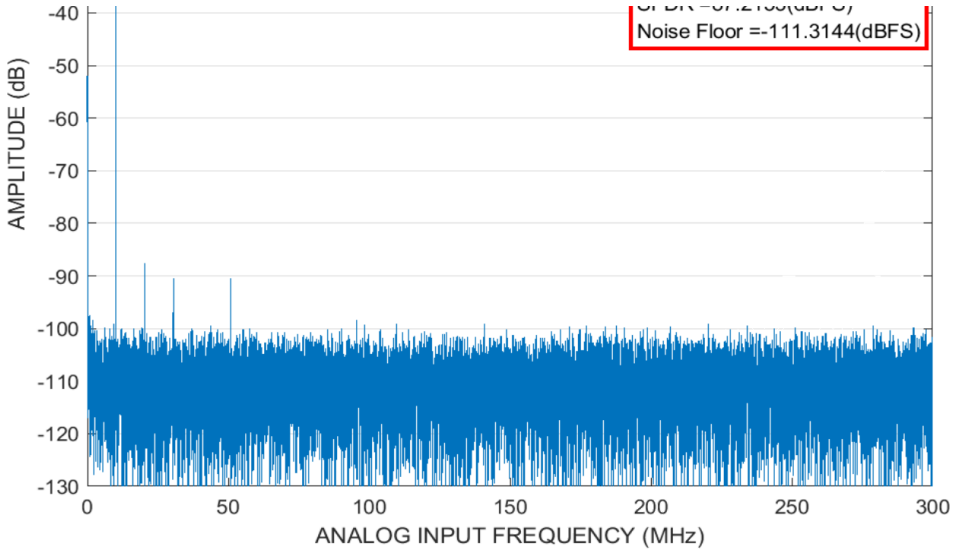


图5 F_S=600MHz，f_{IN}=10MHz，T_A=25℃ FFT 谱线

拟输入 155MHz 条件下 FFT 谱线

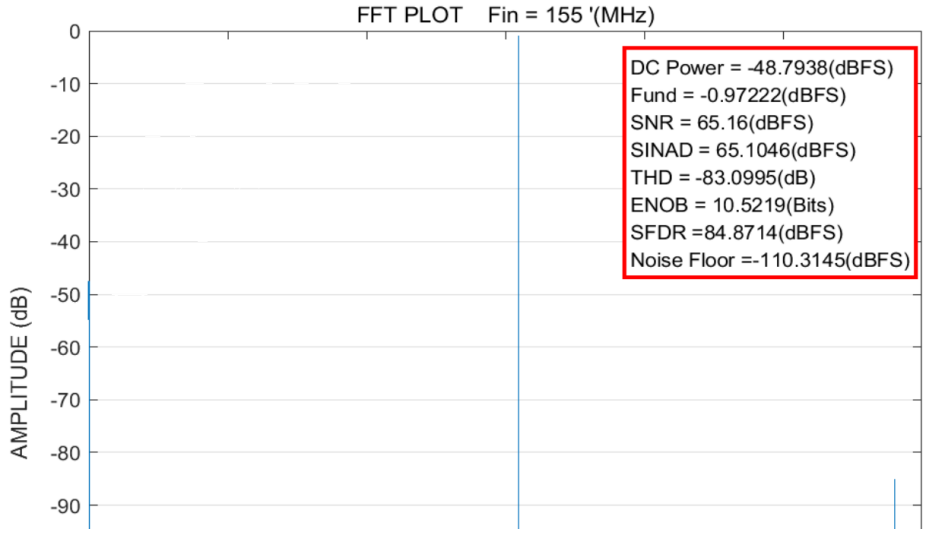
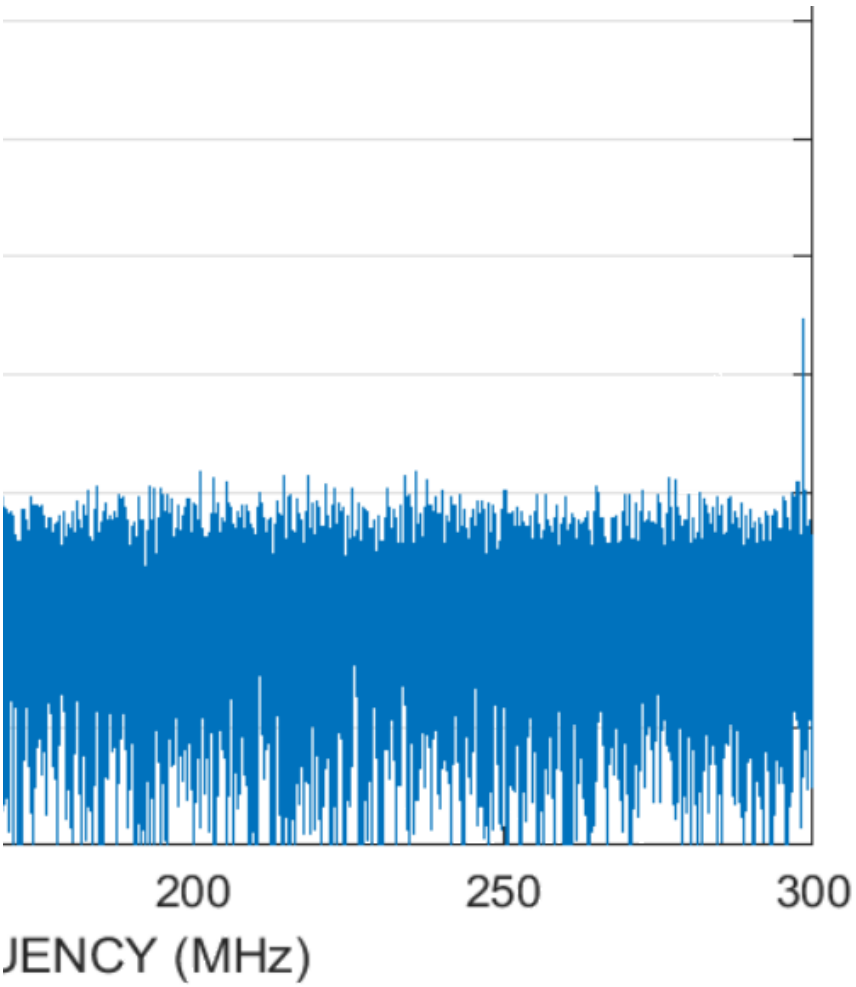


Figure 6: FFT spectrum, FS=600MHz, fIN=155MHz, TA=25°C



，T_A=25℃ FFT 谱线

Figure 7: FFT spectrum, FS=600MHz, fIN=450MHz, TA=25°C

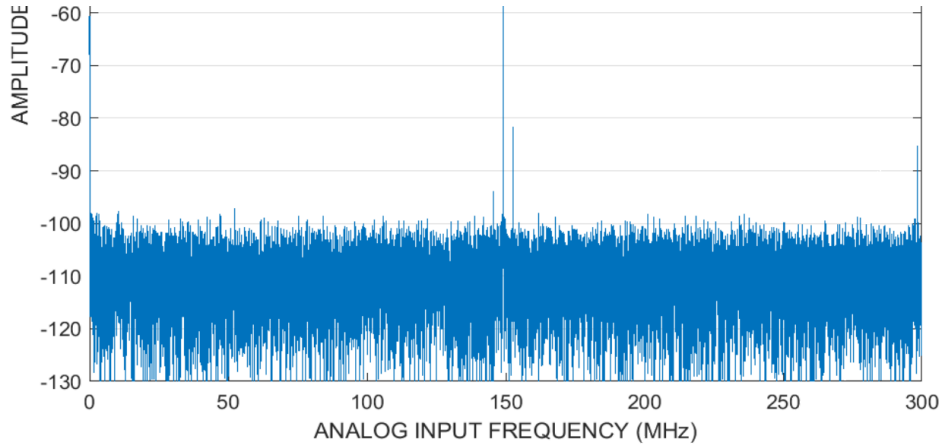


图7 F_S=600MHz，f_{IN}=450MHz，T_A=25℃ FFT 谱线

拟输入 765MHz 条件下 FFT 谱线

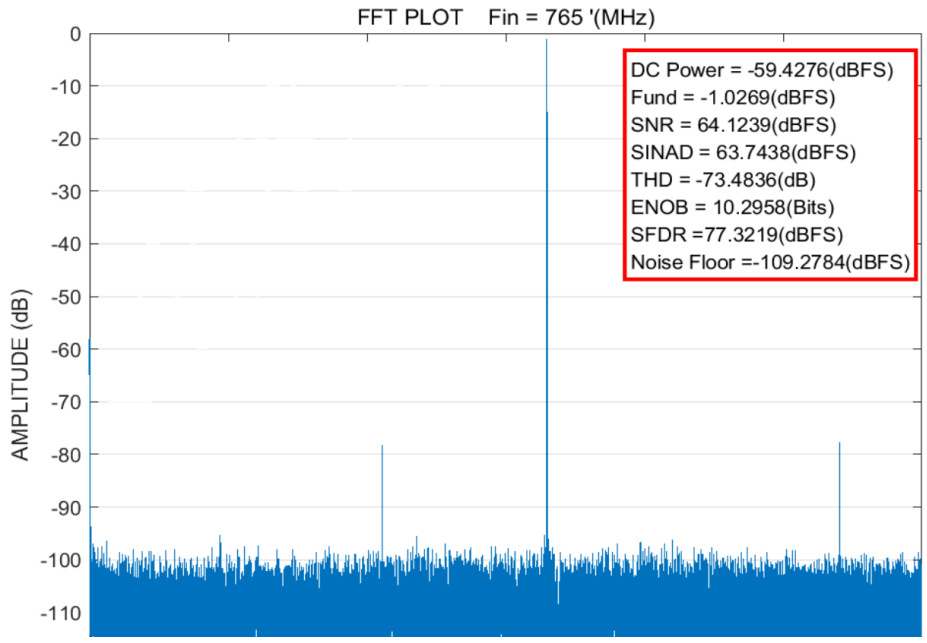
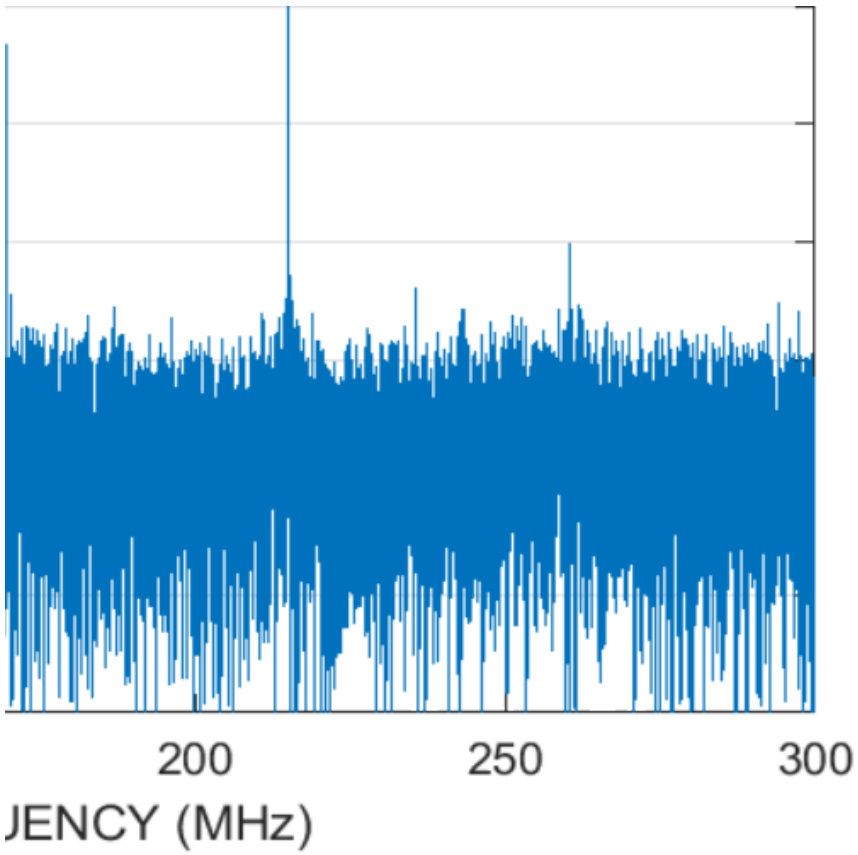


Figure 8: FFT spectrum, FS=600MHz, fIN=765MHz (registers 0x1A4C and 0x1A4D configured to 0x14), TA=25°C



A4D 配置成 0x14），T_A=25°C FFT 谱线

Figure 9: FFT spectrum, FS=600MHz, fIN=985MHz (registers 0x1A4C and 0x1A4D configured to 0x14), TA=25°C

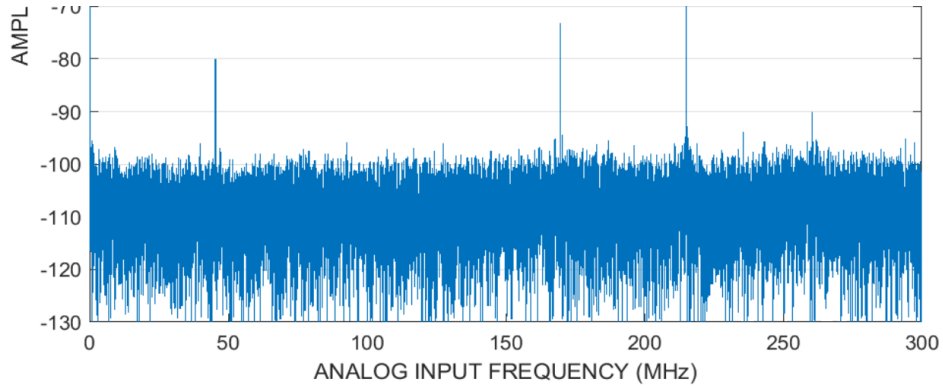


图9 F_S=600MHz，f_{IN}=985MHz（0x1A4C 和 0x1A4D 配置成 0x14），T_A=25℃ FFT 谱线

型微分误差（DNL）和线性误差（INL）曲线

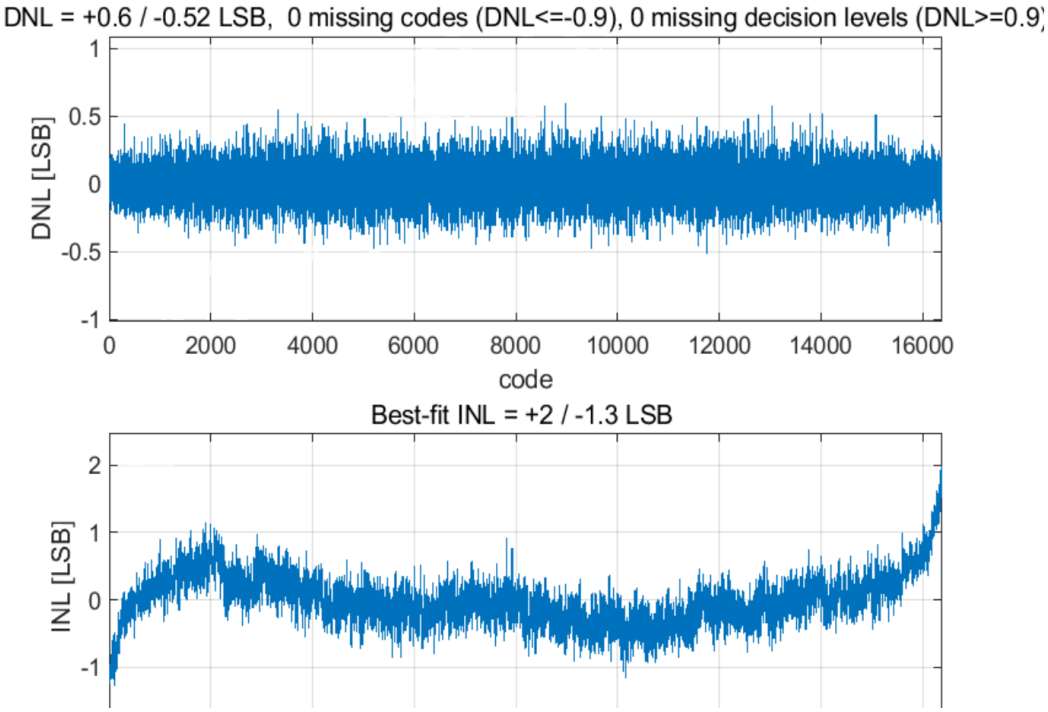
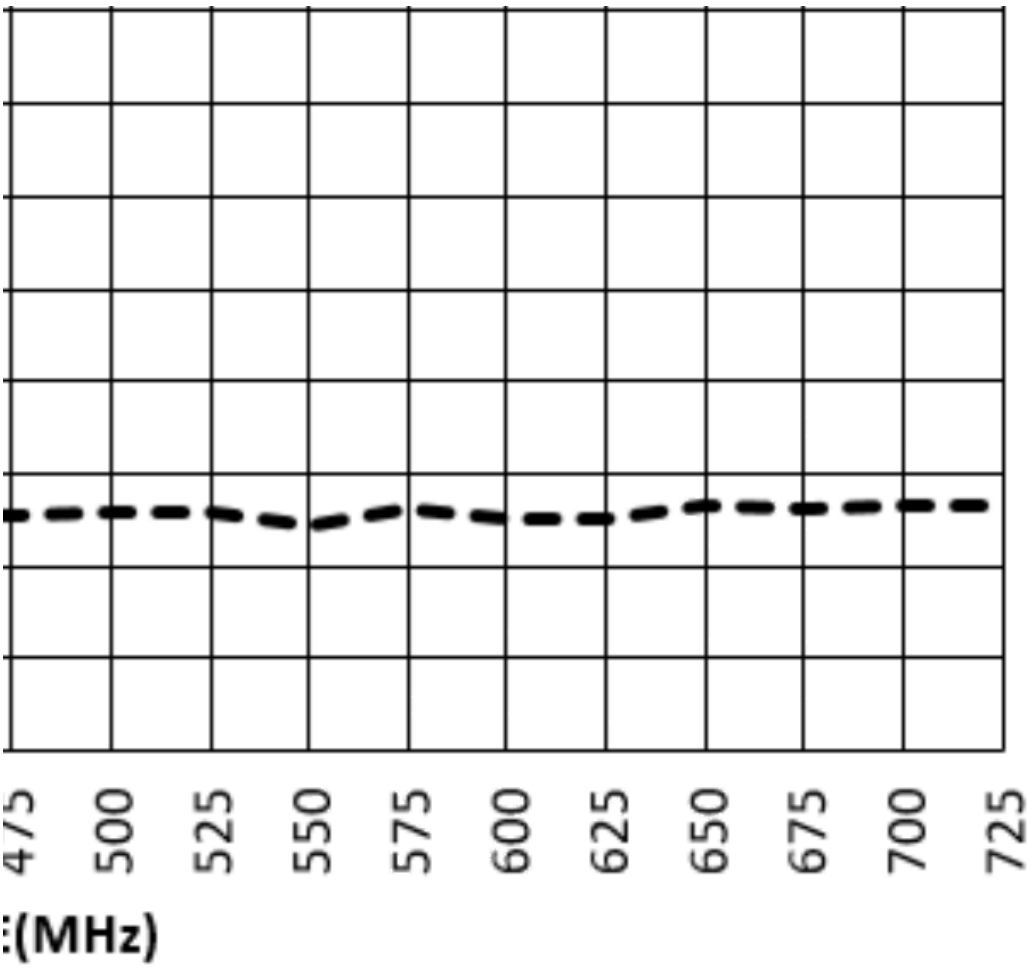


Figure 10: Differential error (DNL) and linearity error (INL) test curves, fIN=155MHz, TA=25℃



的变化，f_{IN}=155MHz，T_A=25℃

Figure 11: SNR/SFDR vs. sampling frequency (FS), fIN=155MHz, TA=25°C

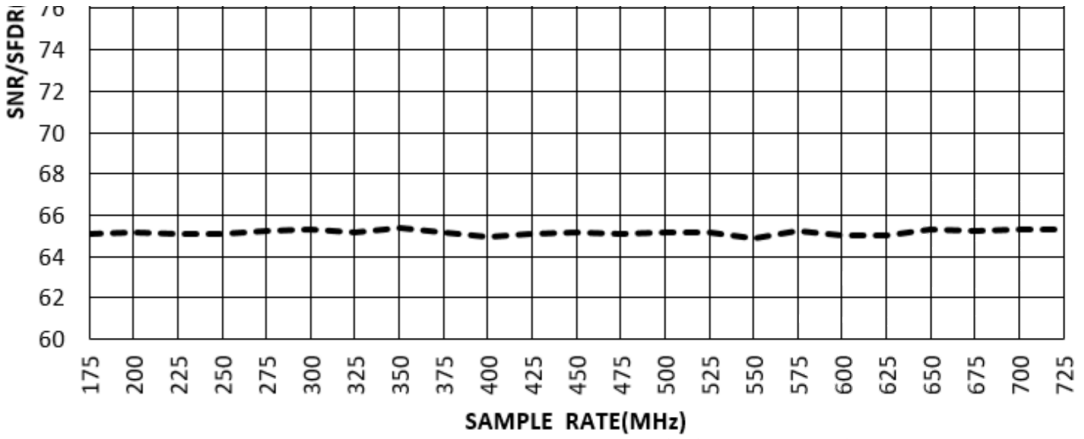


图11　SNR/SFDR 随采样频率（F_S）的变化，f_{IN}=155MHz，T_A=25℃

耗随采样频率（FS）变化的曲线

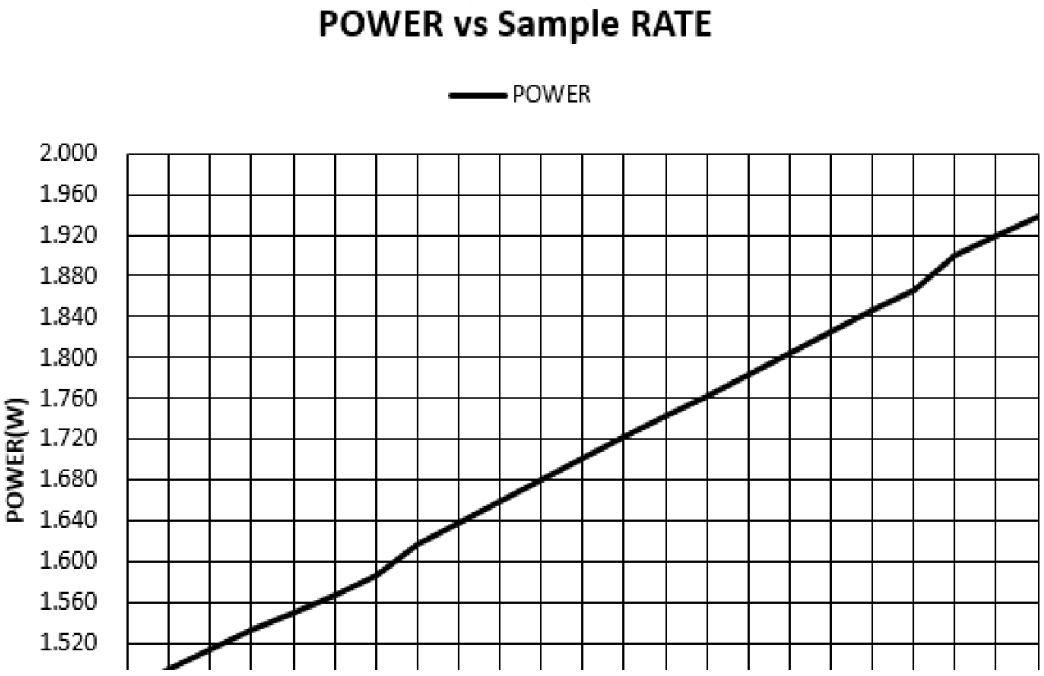
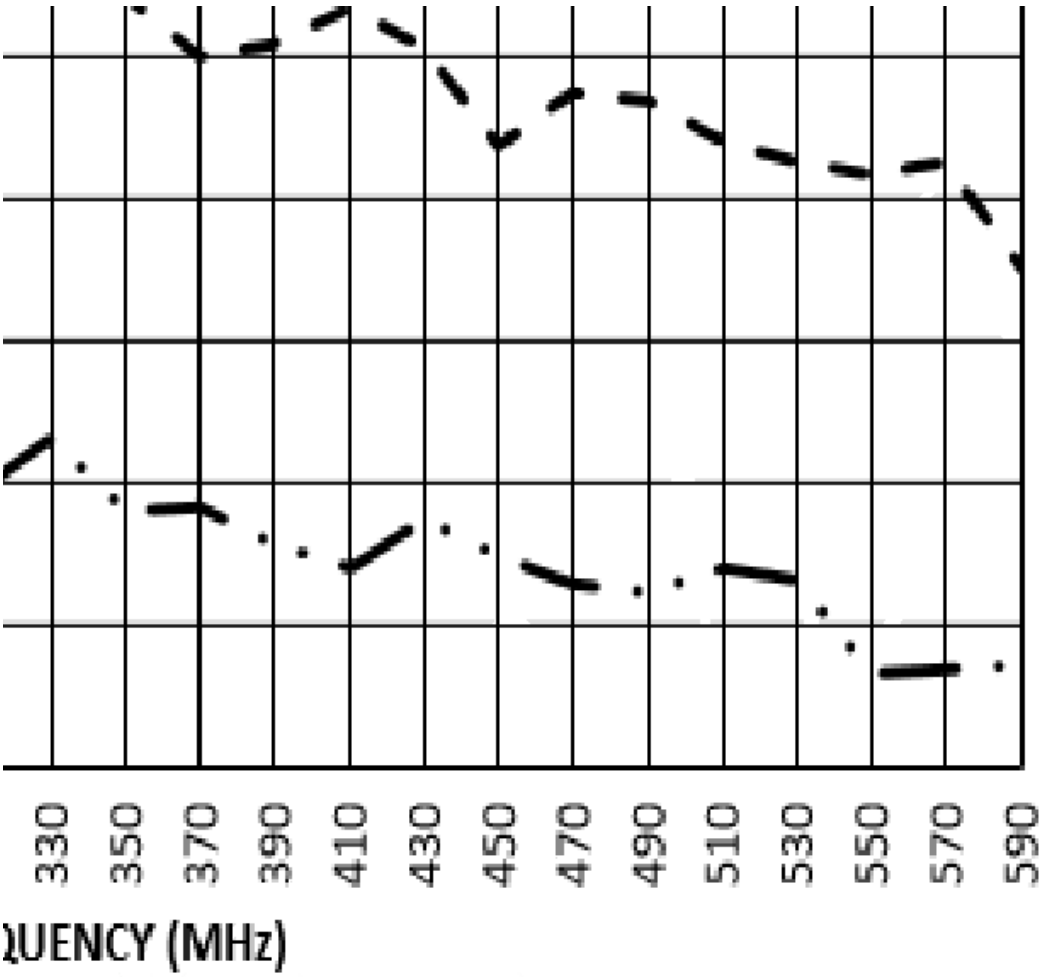


Figure 12: Power consumption vs. sampling frequency (FS), TA=25°C



的曲线 1，F_S=600MHz，T_A=25℃

Figure 13: SNR vs. input signal frequency (fIN), curve 1, FS=600MHz, TA=25°C

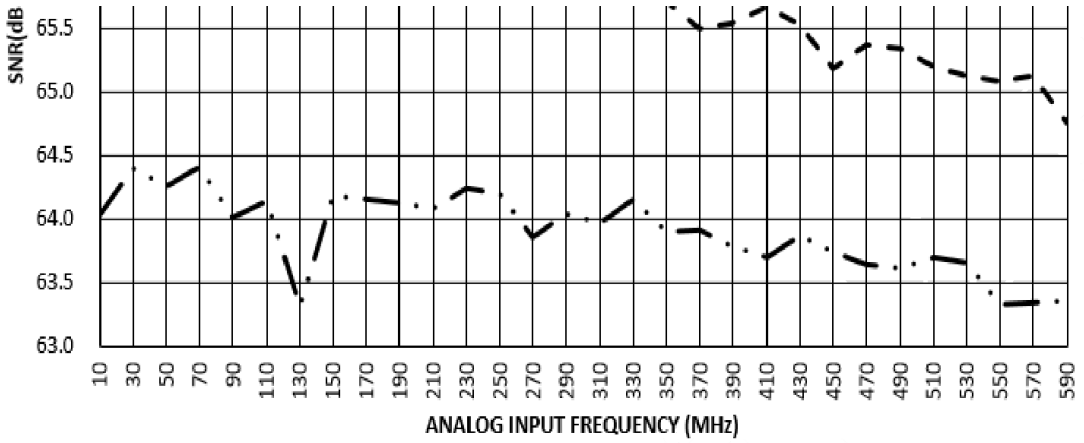


图13　SNR 随输入信号频率（f_{IN}）变化的曲线 1，F_S=600MHz，T_A=25℃

NR 随输入信号频率（fIN）变的化曲线 2

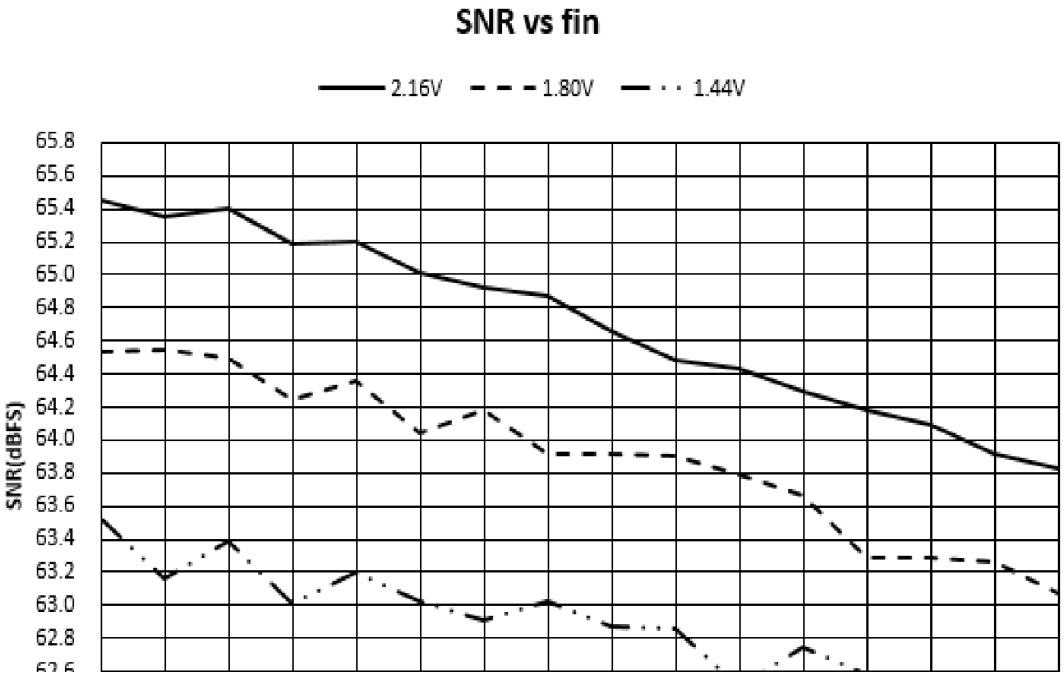
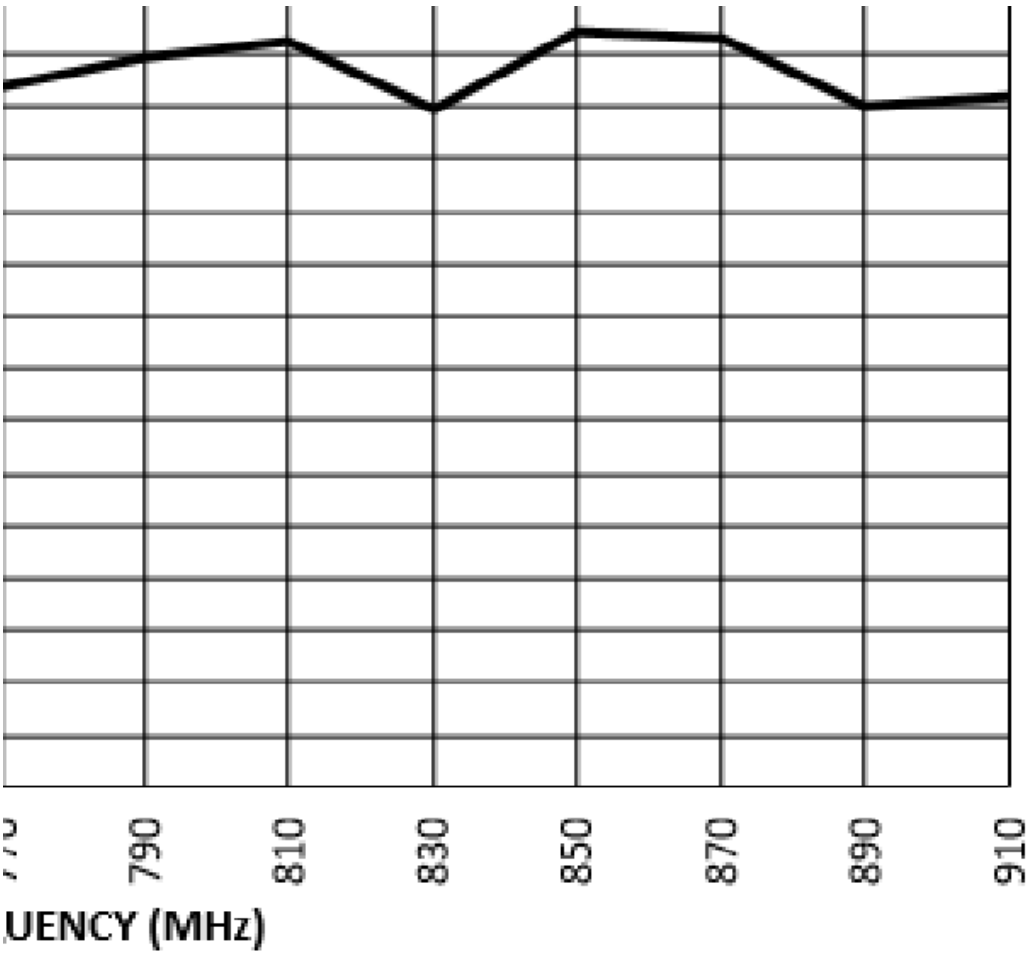


Figure 14: SNR vs. input signal frequency (fIN), curve 2, FS=600MHz, TA=25°C



J变化，F_S=600MHz，T_A=25℃

Figure 15: SFDR vs. input signal frequency (fIN), FS=600MHz, TA=25°C

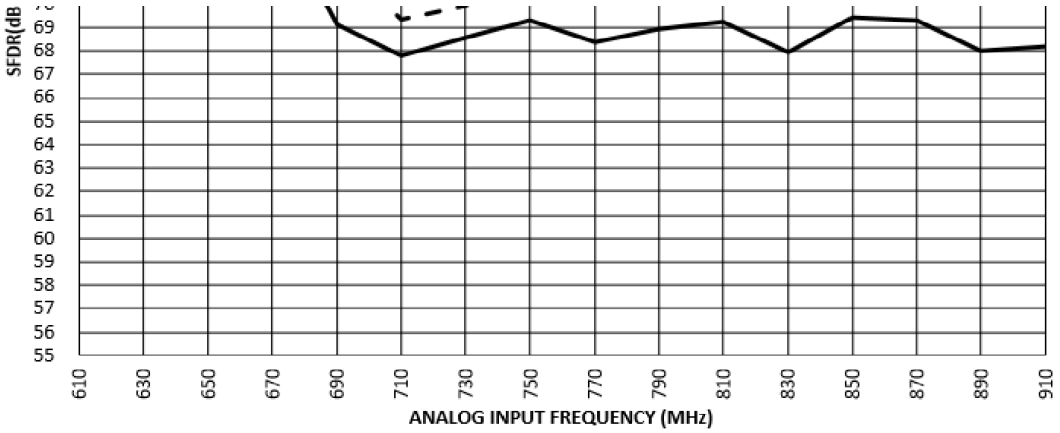


图15　SFDR 随输入信号频率（f_{IN}）的变化，F_S=600MHz，T_A=25℃

NR 随时钟信号幅度变化的曲线

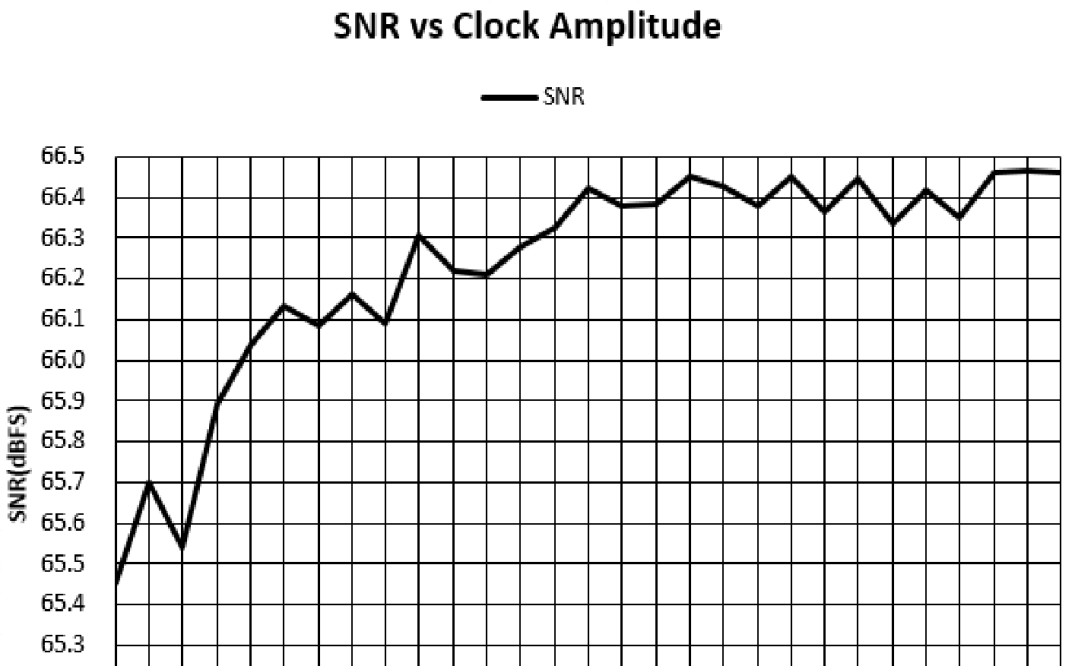
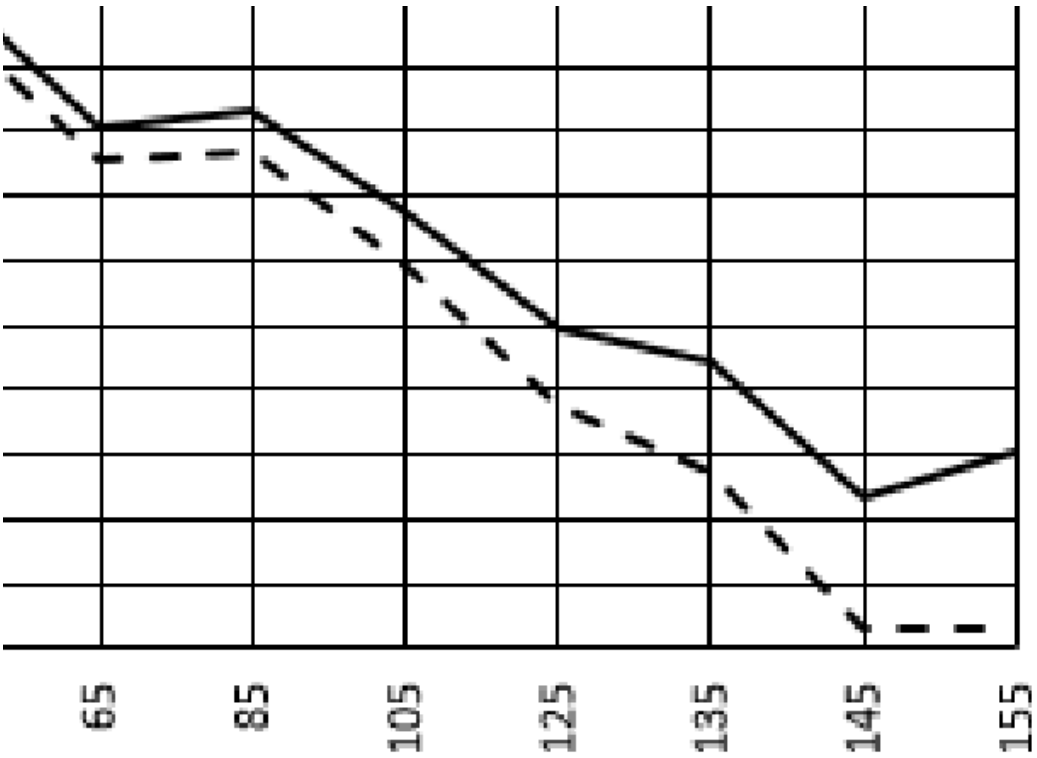


Figure 16: SNR vs. clock signal amplitude, FS=600MHz, TA=25°C



ure(℃)

度的变化，f_{IN}=10MHz

emperature

Figure 17: SNR/SINAD vs. case temperature, fIN=10MHz

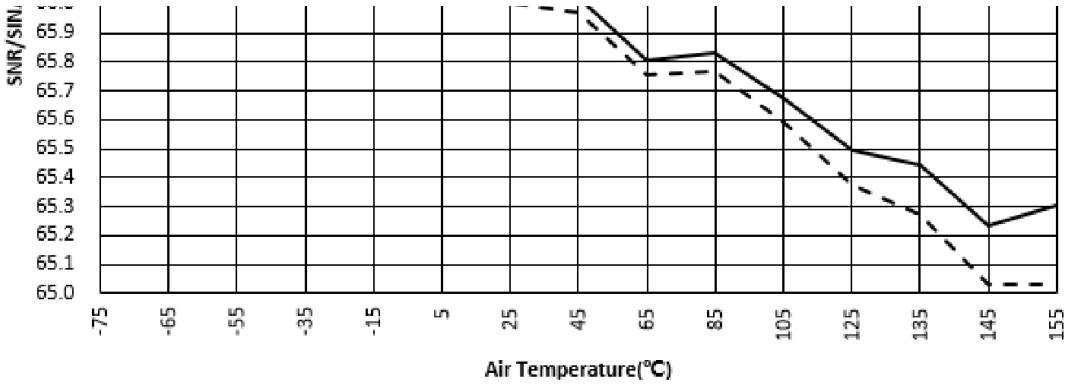


图17　SNR/SINAD 随风罩温度的变化，f_{IN}=10MHz

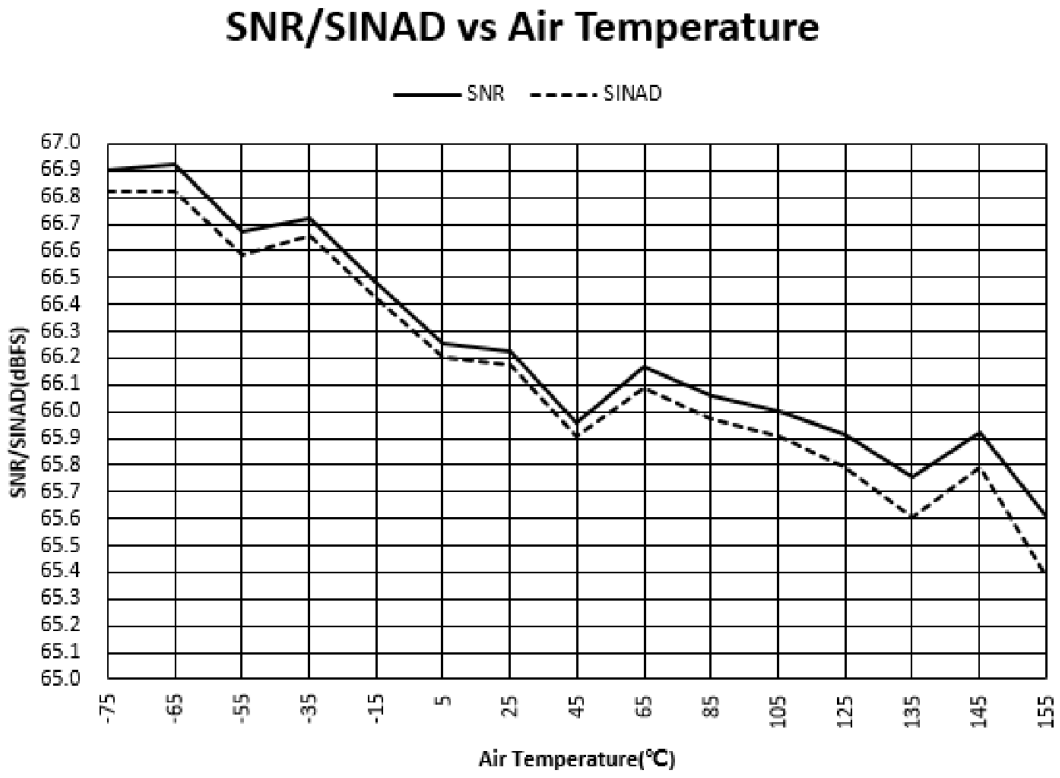
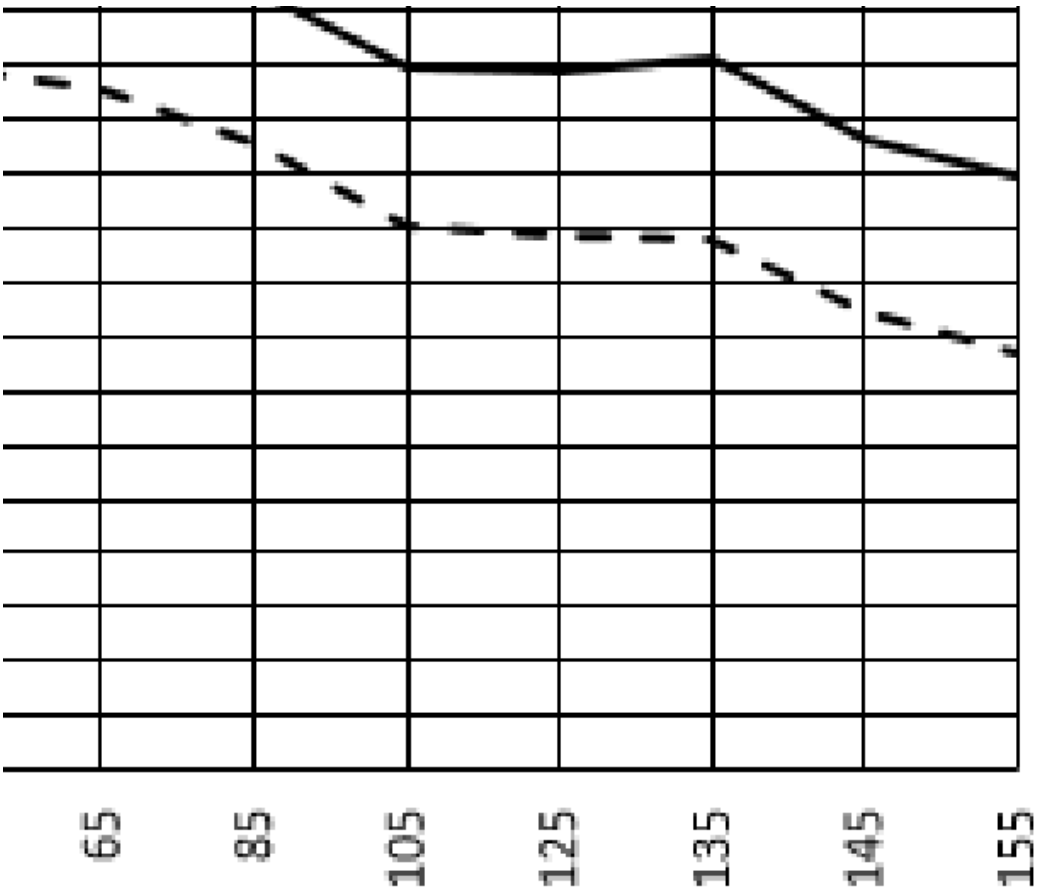


Figure 18: SNR/SINAD vs. case temperature, fIN=155MHz



ture(℃)

变的变化，f_{IN}=450MHz

Figure 19: SNR/SINAD vs. case temperature, fIN=450MHz

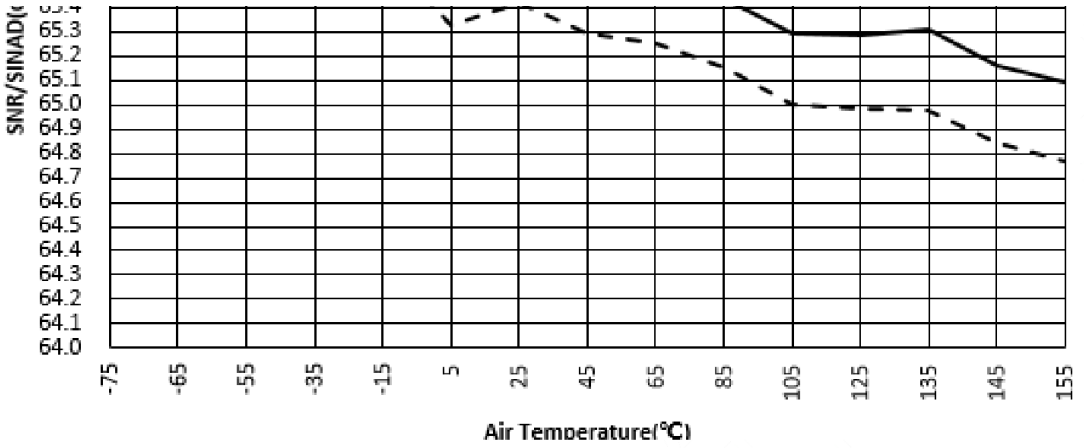


图19　SNR/SINAD 随风罩温度的变化，f_{IN}=450MHz

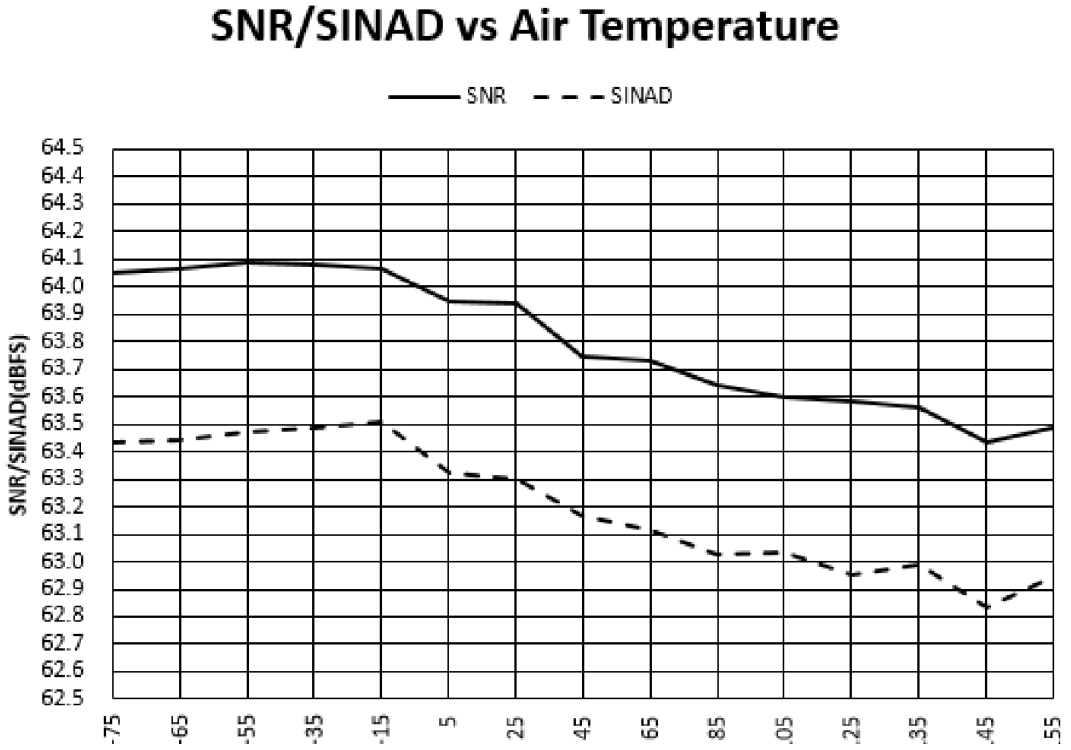
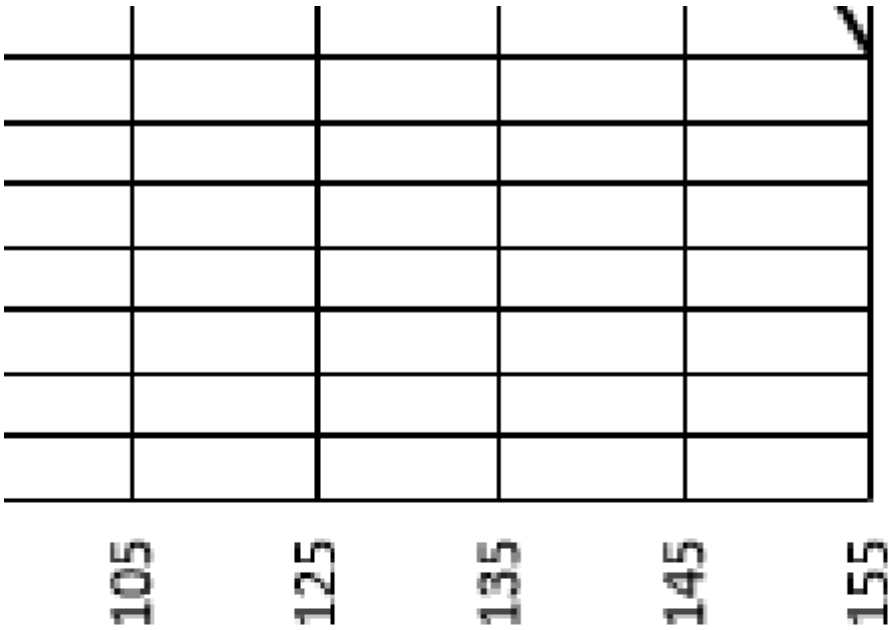


Figure 20: SNR/SINAD vs. case temperature, fIN=985MHz (registers 0x1A4C and 0x1A4D configured to 0x14)



f_{IN}=10MHz

ure

Figure 21: SFDR vs. case temperature, fIN=10MHz

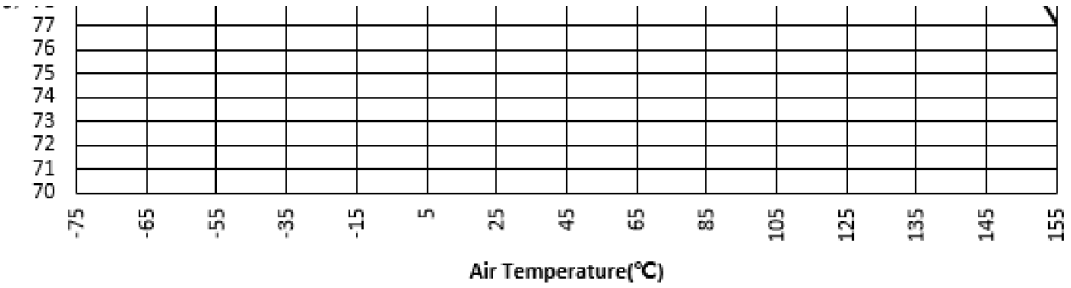


图21　SFDR 随风罩温度的变化，f_{IN}=10MHz

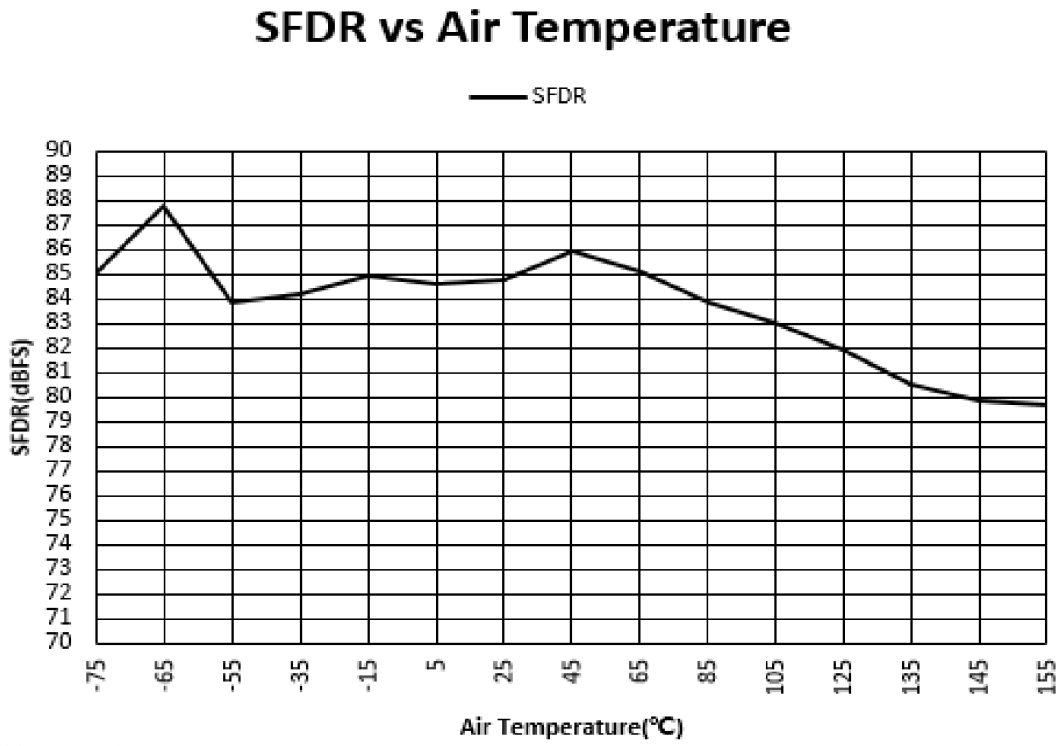
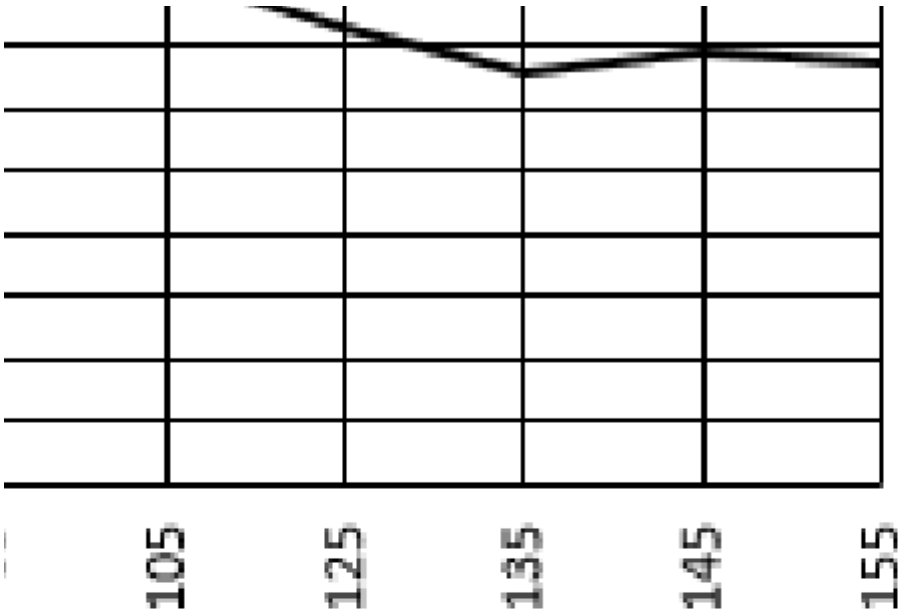


图22　SFDR 随风罩温度的变化，f_{IN}=155MHz

Figure 22: SFDR vs. case temperature, fIN=155MHz



f_{IN}=450MHz

e

Figure 23: SFDR vs. case temperature, fIN=450MHz

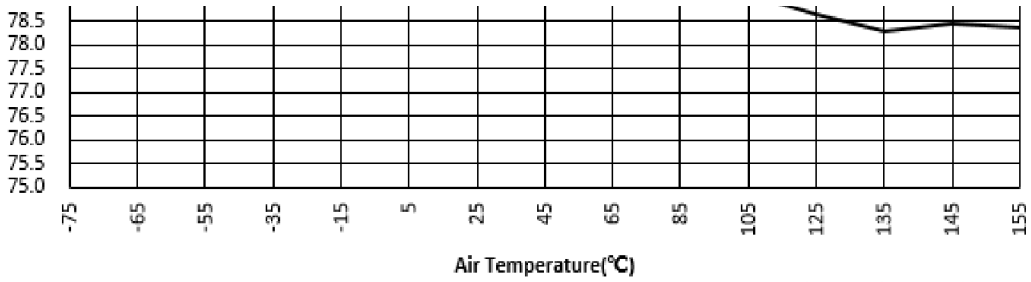


图23　SFDR 随风罩温度的变化，f_{IN}=450MHz

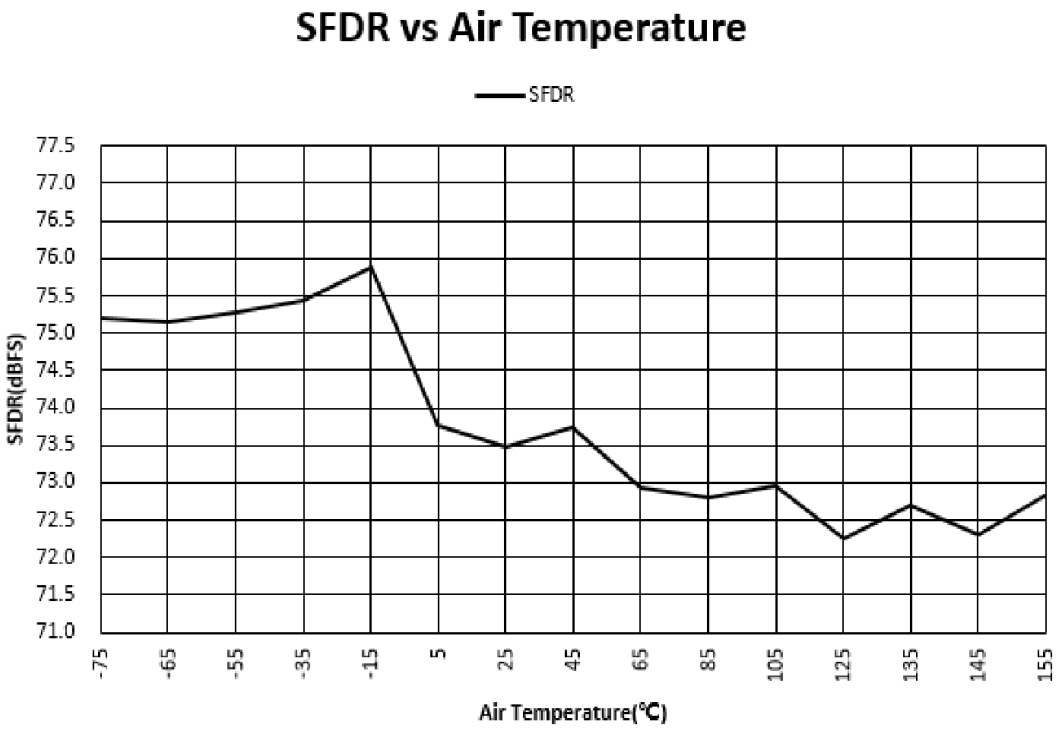
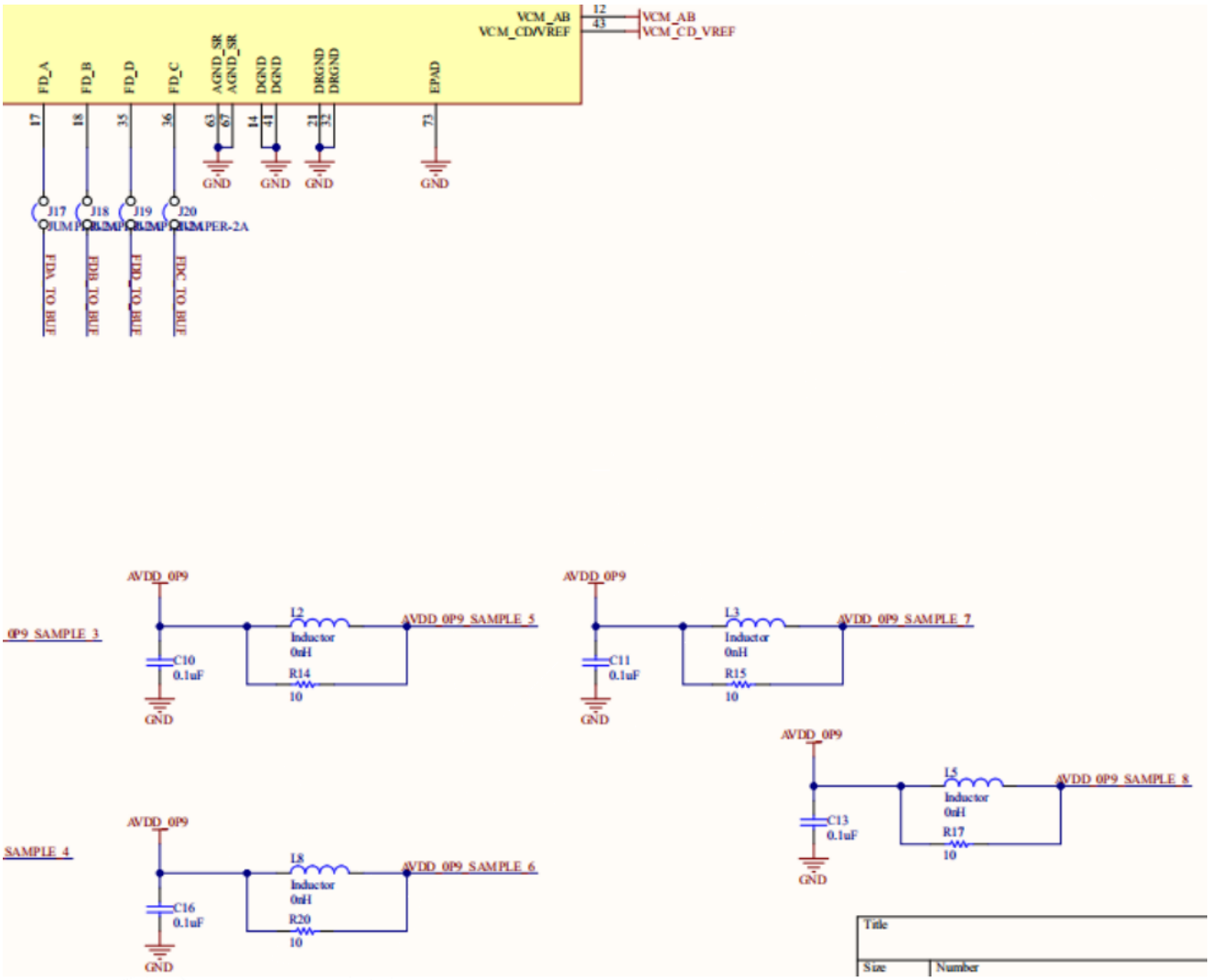


图24　SFDR 随风罩温度的变化，f_{IN}=985MHz（0x1A4C 和 0x1A4D 配置成 0x14）

Figure 24: SFDR vs. case temperature, fIN=985MHz (registers 0x1A4C and 0x1A4D configured to 0x14)

典型应用线路图 / Typical Application Circuit



SXA039典型外围电路图

Figure 25: SXA039 typical peripheral circuit

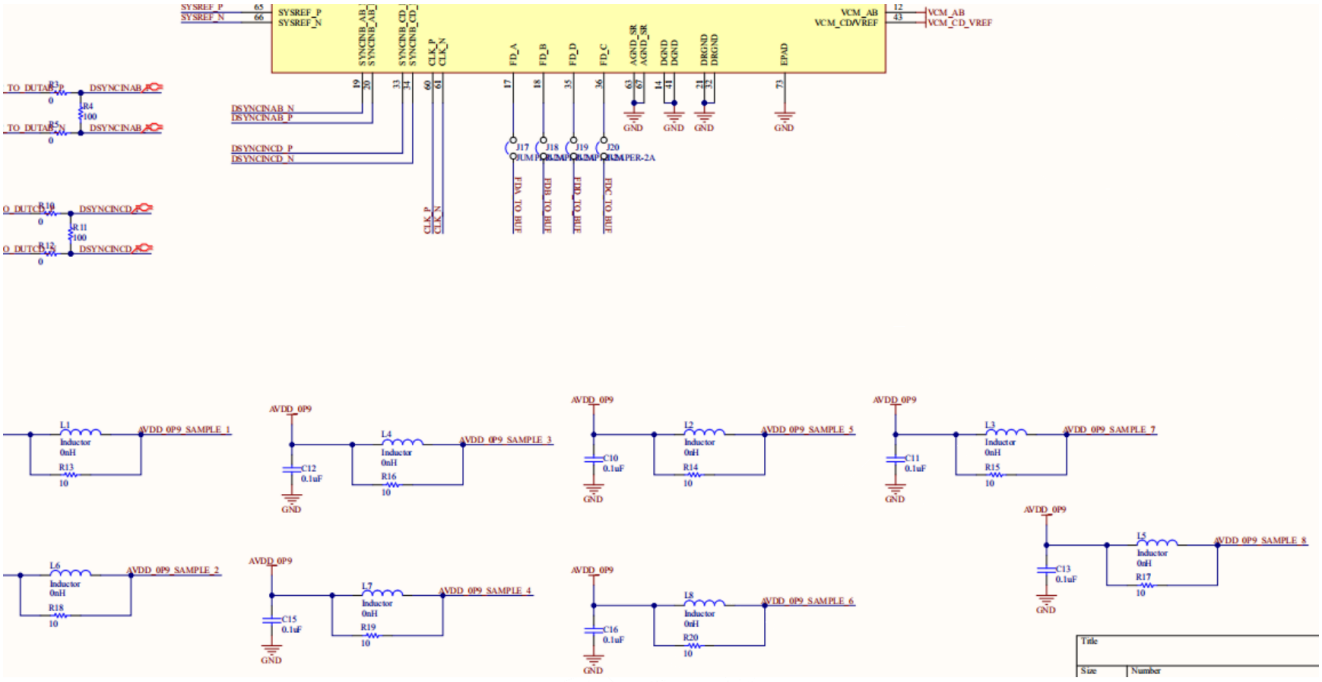


图25　SXA039典型外围电路图

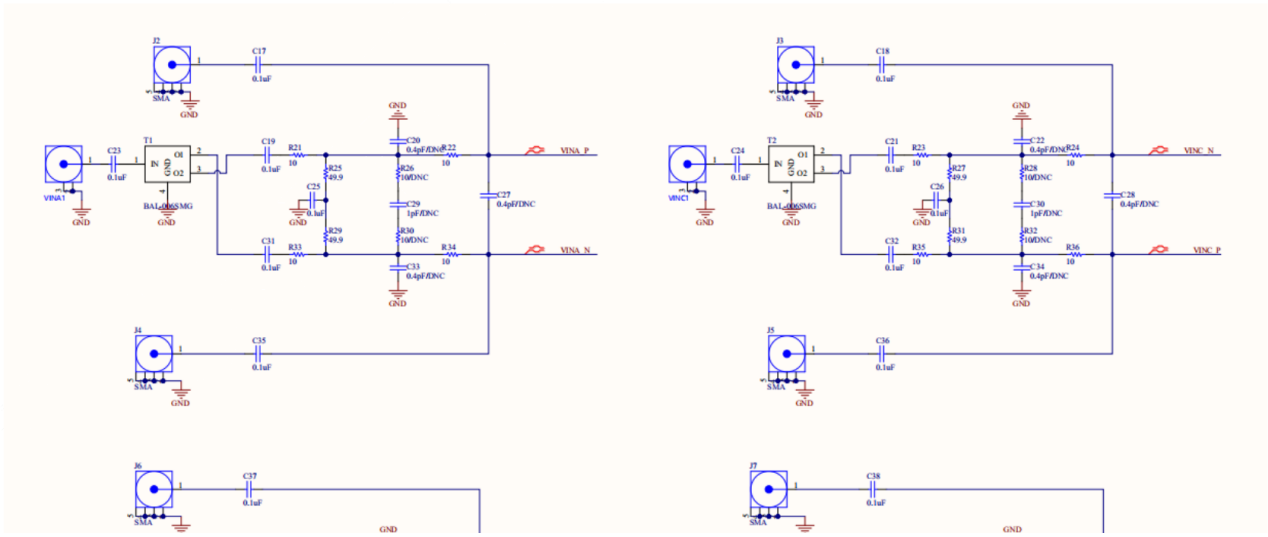
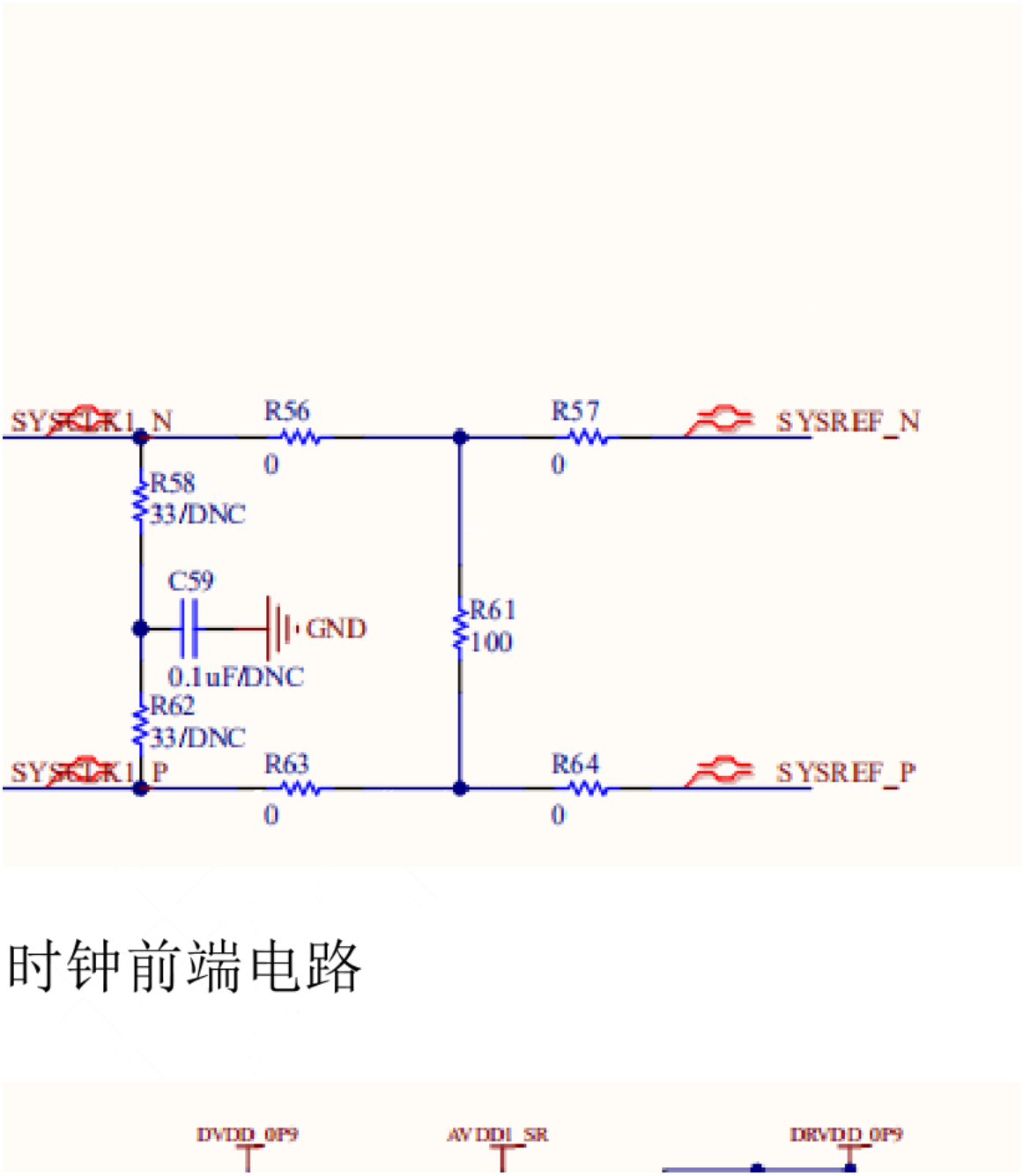


Figure 26: Analog front-end circuit



时钟前端电路

Figure 27: Clock front-end circuit

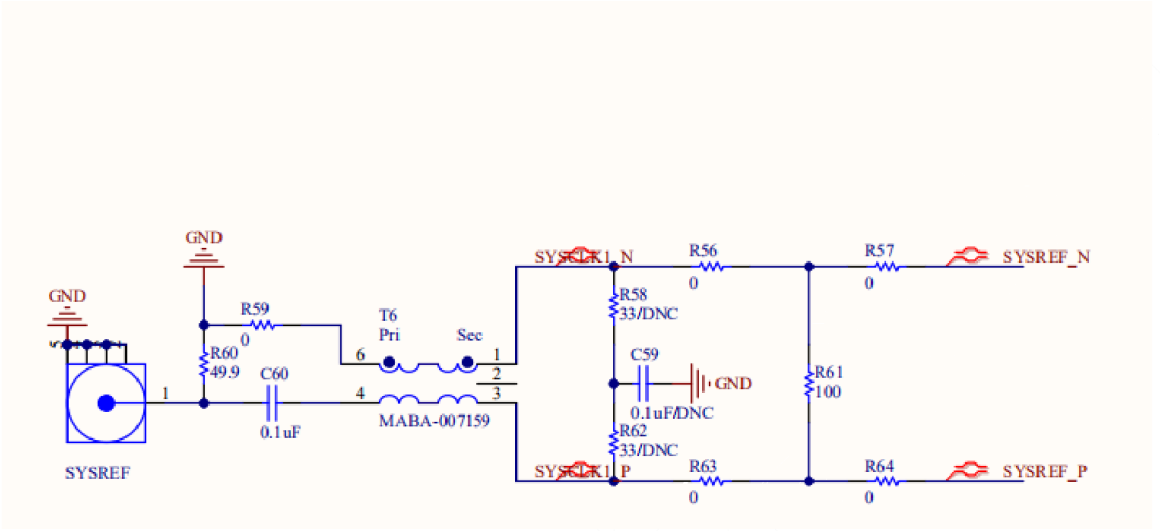


图27　时钟前端电路

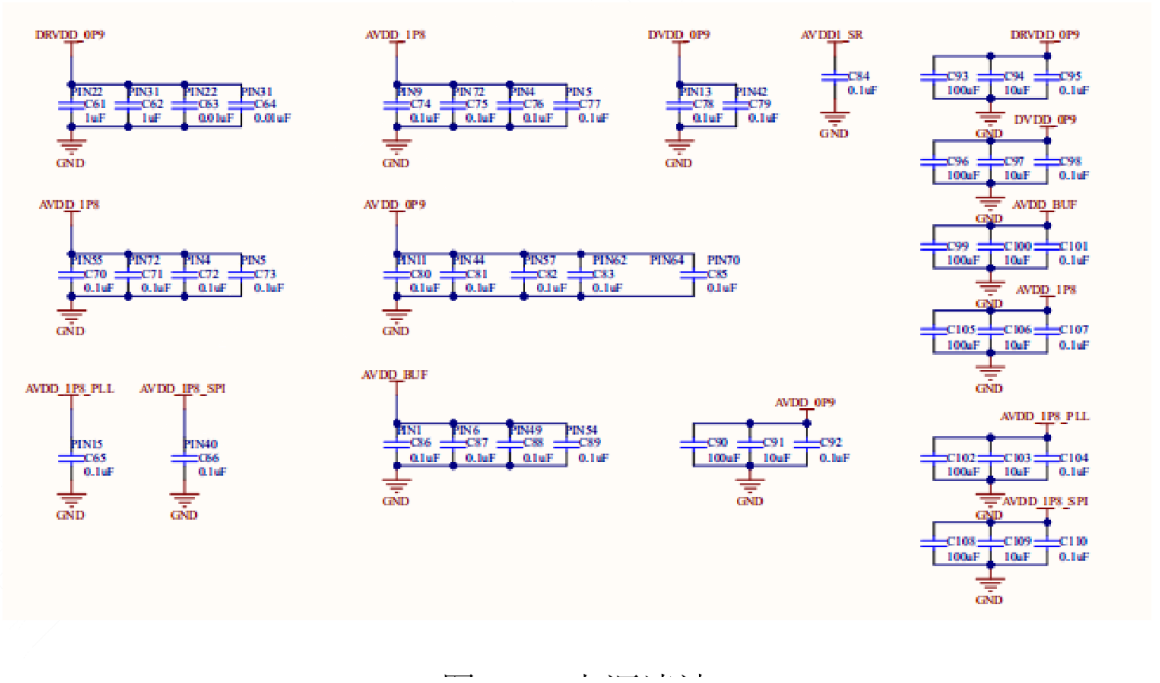


Figure 28: Supply filtering

English: Note 1: When the power-up sequence can be controlled, power up the 0.975V supply first, then the 1.8V supply, then the 2.5V supply; when the power-up sequence cannot be controlled, after all supplies have finished powering up, reset the chip once by configuring registers 0x00 to 0x81. Filter the supplies as shown in the figure above; each supply group must have filter capacitors added for filtering.

Note 2: The clock input serves as the ADC sampling clock, performing A/D conversion of the analog signal at the analog input; the data is transmitted via the 204B interface to the receiving end for digital processing, where the accurate data is parsed out for analysis. The ADC operating mode can be selected with reference to the register configuration table.

中文： 注 1：上电顺序可控制时，0.975V 电源先上，再 1.8V 电源，再 2.5V 电源；上电顺序不能控制时，所有电源上电完成后，通过配置寄存器 0x00 到 0x81 把芯片复位一次。电源滤波按照上图所示，每组电源均需加滤波电容进行滤波。

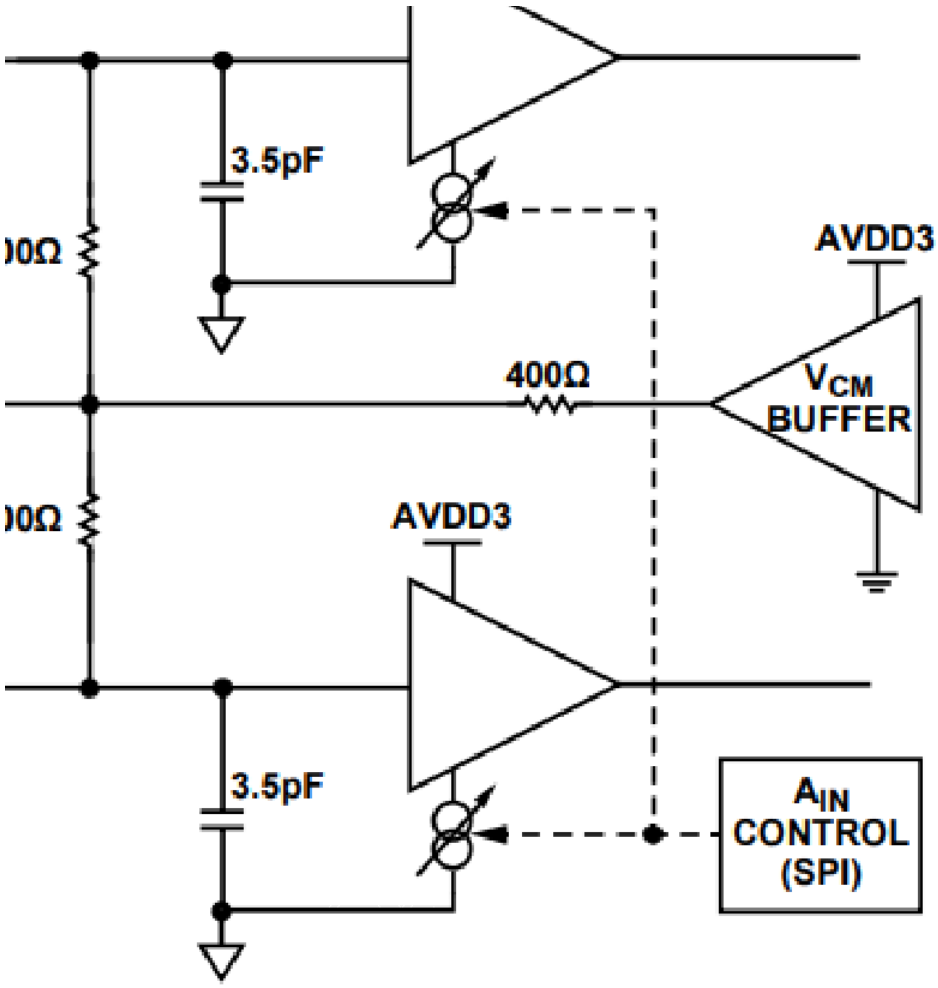
注 2：时钟输入作为 ADC 的采样时钟，对模拟输入端的模拟信号进行 A/D 转换，通过 204B 接口传输至接收端进行数字处理，解析出准确数据进行分析，A/D 的工作模式可参考寄存器配置表进行选择。

单元模块及工作原理 / Functional Blocks and Operating Principles

1、模拟输入 / 1. Analog Input

English: The analog input range of the SXA039 is 1.44VPP～2.16VPP; the reference voltage can be adjusted according to the analog input range. A stable, accurate reference voltage is generated inside the circuit; in use, the internal reference can be selected, an external reference can be used, or the reference voltage value can be determined by programming. For details, refer to the reference voltage module; for analog input range configuration, see register 0x1910.

中文： SXA039 的模拟输入范围为 1.44VPP～2.16VPP，可根据模拟输入范围对参考电压进行调整。电路内部产生稳定、精确的参考电压，使用时可选择内部参考，也可选用外部参考，还可通过编程确定其参考电压值，详情参考基准电压模块，模拟输入范围配置请查看寄存器 0x1910。



9 模拟输入端等效电路

，其为模拟输入信号提供 200Ω 终端阻抗，模拟输入

Figure 29: Analog input equivalent circuit

English: The SXA039 integrates an input buffer that provides a 200Ω termination impedance for the analog input signal; the analog input equivalent circuit is shown in the figure above. The input buffer provides a linear high input impedance (easy to drive) and reduces kickback noise from the ADC. The buffer is optimized for high linearity, low noise, and low power consumption.

To obtain good dynamic performance, the analog input of this product requires differential input; the recommended low-frequency and high-frequency input signal configurations are shown below, respectively.

中文： SXA039 内部集成了输入缓冲器，其为模拟输入信号提供 200Ω 终端阻抗，模拟输入等效电路如上图所示。输入缓冲器提供线性高输入阻抗（便于驱动），并减少来自 ADC 的回踢噪声。缓冲器针对高线性度、低噪声和低功耗进行了优化。

为了获得好的动态性能，本产品模拟输入端需要差分输入，推荐的低频和高频输入信号配置分别如下所示。

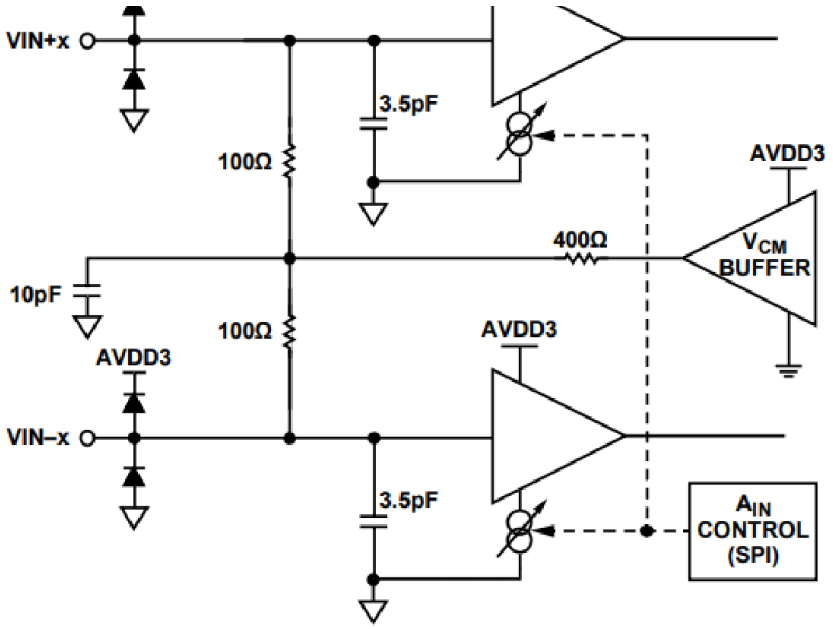


图29　模拟输入端等效电路

XA039 内部集成了输入缓冲器，其为模拟输入信号提供 200Ω 终端阻抗，模拟输入
如上图所示。输入缓冲器提供线性高输入阻抗（便于驱动），并减少来自 ADC 的回
缓冲器针对高线性度、低噪声和低功耗进行了优化。
为了获得好的动态性能，本产品模拟输入端需要差分输入，推荐的低频和高频输入信
别如下所示。

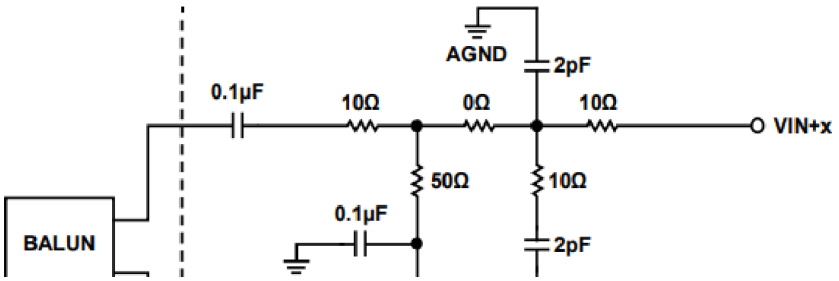


Figure 30: First and second Nyquist input signal configuration

Figure 31: Third and fourth Nyquist input signal configuration

AGND

三和第四奈奎斯特输入信号配置

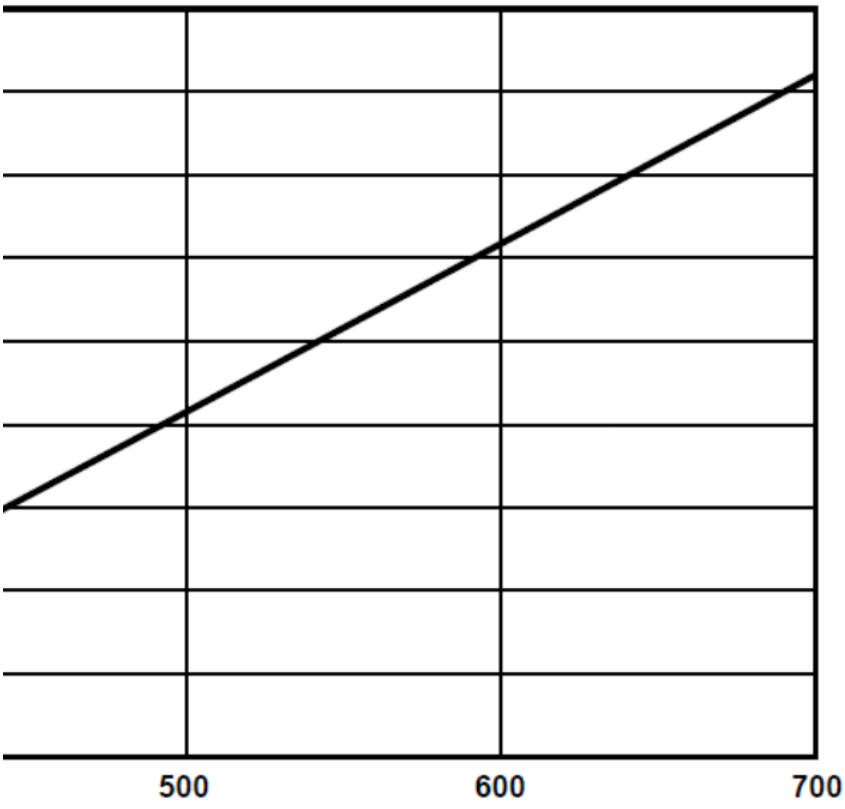


图32　缓冲器电流设置

Figure 32: Buffer current setting

English: Registers 0x1A4C and 0x1A4D can adjust the buffer current on each channel, in order to optimize SFDR for different input frequencies and target bandwidths. At high frequencies, the ADC full-scale input range can also be reduced to improve linearity. The recommended configurations for different input frequencies are listed in the table below.

中文： 寄存器 0x1A4C 和寄存器 0x1A4D，可以调整每个通道上的缓冲器电流，以便针对不使用同输入频率和目标带宽来优化 SFDR。当高频时，还可以降低 ADC 的满量程输入范围来提高线性度。下表为不同输入频率推荐的配置。

表2 / Table 2 — 推荐配置 / Recommended Configuration

奈奎斯特区间 / Nyquist Zone	输入缓冲器电流配置 / Input Buffer Current Configuration
一、二区间 / Zones 1 and 2	240μA（寄存器 0x1A4C=0x0C，寄存器 0x1A4D=0x0C）/ 240μA (register 0x1A4C=0x0C, register 0x1A4D=0x0C)
三、四区间 / Zones 3 and 4	400μA（寄存器 0x1A4C=0x14，寄存器 0x1A4D=0x14）/ 400μA (register 0x1A4C=0x14, register 0x1A4D=0x14)

2、时钟端口 / 2. Clock Port

English: To fully exploit the performance of the chip, a differential signal should be used as the clock signal for the SXA039 sampling clock inputs (CLK+ and CLK-), with the duty cycle controlled within 45%~55%. Use a transformer or a clock driver to AC-couple this signal to the CLK+ pin and the CLK- pin; the amplitude of the clock signal at the clock port must be controlled to above 0dBm. These pins are all internally biased and require no other bias.

To obtain good dynamic performance, the clock input of this product requires differential input; several recommended clock input methods are given below.

中文： 为了充分发挥芯片性能，应利用一个差分信号作为 SXA039 采样时钟输入端（CLK+和 CLI-） 的时钟信号，占空比控制在 45%~55%范围内。使用变压器或时钟驱动器将该信号交流耦合到 CLK+引脚和 CLK-引脚，到时钟端口的时钟信号幅度需要控制在 0dBm 以上。这些引脚都是内部偏置，无需其他偏置。

为了获得好的动态性能，本产品时钟输入端需要差分输入，下面是几种推荐的时钟输入方式。

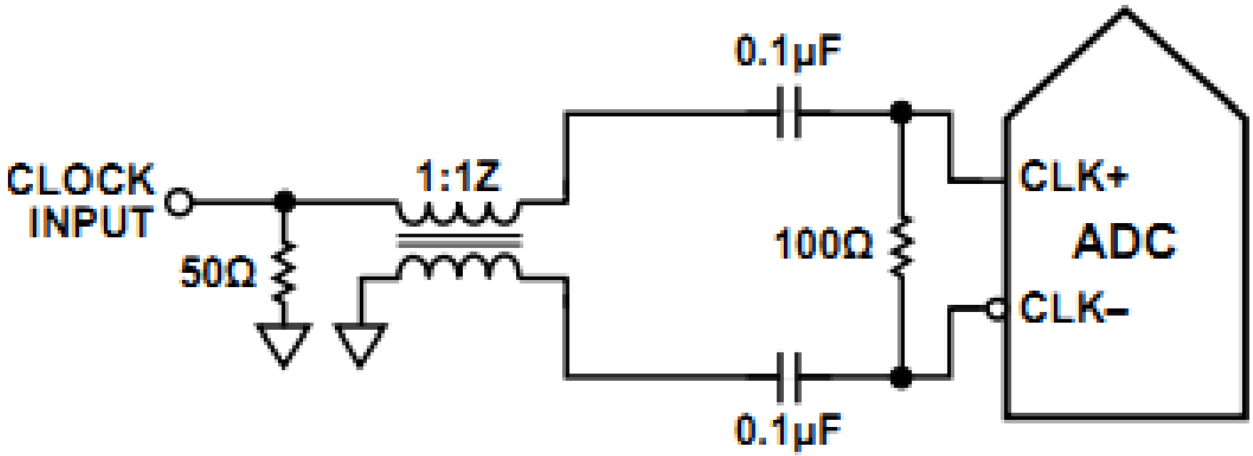
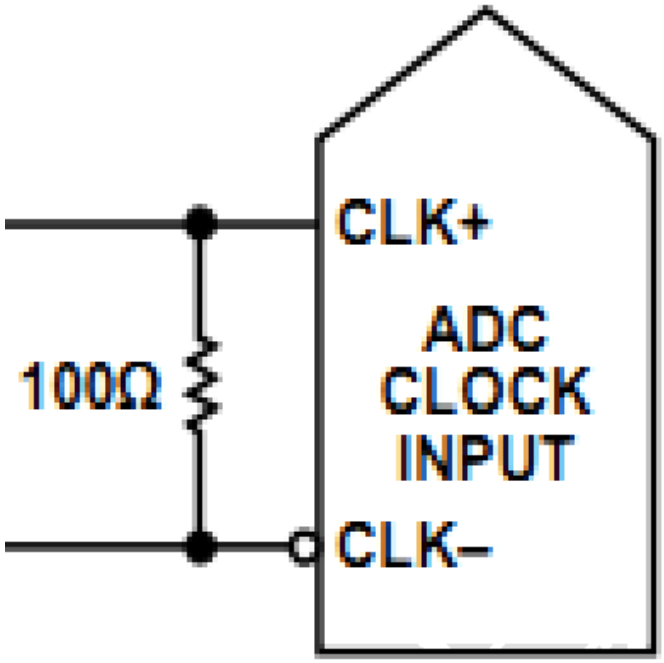


Figure 33: Transformer-coupled differential clock input



分时钟输入

Figure 34: LVPECL differential clock input

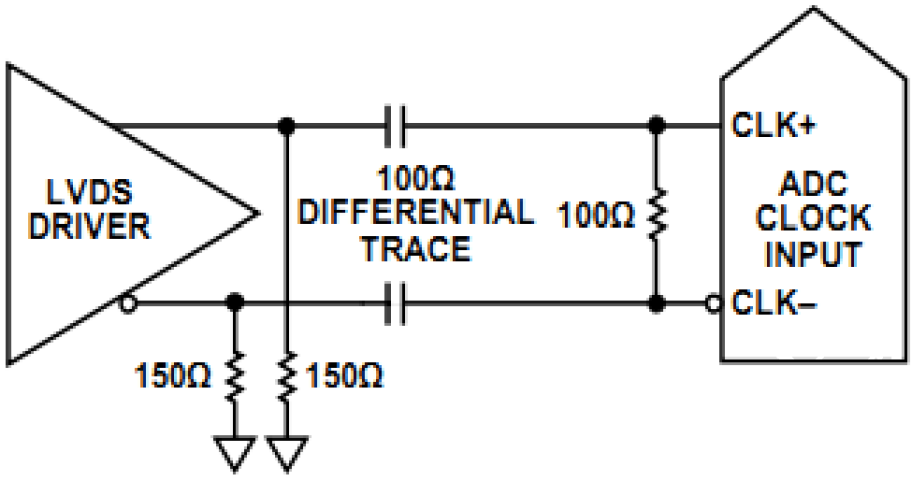


图34　　LVPECL 差分时钟输入

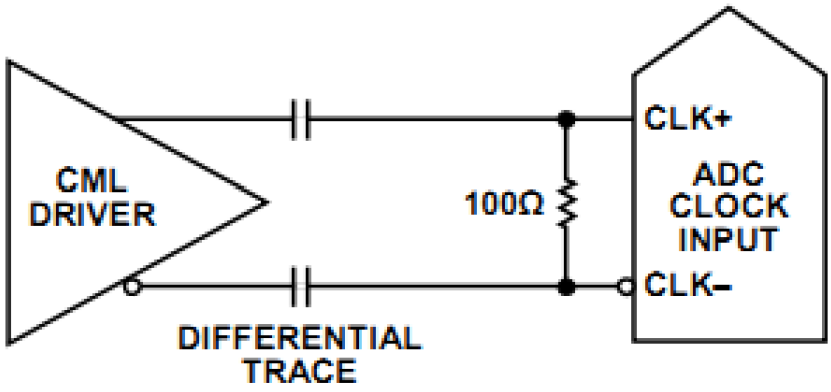


图35　　CML 差分时钟输入

Figure 35: CML differential clock input

English: High-speed, high-resolution ADCs are very sensitive to the quality of the clock input signal. At a given input frequency (fA), the SNR degradation caused by aperture jitter (tJ) alone is calculated as:

$$SNR_{JITTER} = -20 \times \log_{10}(2 \times \pi \times fA \times tJ)$$

In this formula, the rms aperture jitter represents the root-mean-square of all jitter sources, including the clock input, the analog input signal, and the ADC aperture jitter specification. Intermediate-frequency (IF) undersampling applications are particularly sensitive to jitter.

中文： 高速、高分辨率的 ADC 对时钟输入信号的质量很敏感。在给定的输入频率(fA)下，仅由孔径抖动(tJ)造成的信噪比下降计算公式是：

$$SNR_{JITTER} = -20 \times \log_{10}(2 \times \pi \times f_A \times t_J)$$

在这个公式中，均方根孔径抖动代表所有抖动源的均方根，包括时钟输入、模拟输入信号和 ADC 孔径抖动规格。中频（IF）欠采样应用对抖动特别敏感。

Figure 36: Ideal SNR vs. analog input frequency and jitter

3、ADC 后台失调校准 / 3. ADC Background Offset Calibration

English: By default, background offset calibration is off. Configuring register 0x073B to 0x37, register 0x0701 to 0x86, register 0x075A to 0x00, and register 0x0755 to 0x00 enables the offset calibration function. However, after the ADC background offset calibration is enabled, if the input signal amplitude exceeds the quantization range, the background offset calibration algorithm will fail; after the input signal amplitude returns within the quantization range, the offset calibration algorithm needs 10s to recover.

Because the ADC offset has already been foreground-calibrated at the factory, offset calibration is generally not required. If the user uses the DDC function and moves the DC offset into the frequency band of interest, enabling this function is recommended; please operate according to this product manual, or contact Shenxin Technology's marketing and application support personnel to obtain technical support [原厂联系表述已按深信口径替换 / original-manufacturer contact wording replaced with Shenxin].

中文： 默认状态下后台失调校准是关闭的，配置寄存器 0x073B 到 37，寄存器 0x0701 到 86，0x075A 到 00，0x0755 到 00，可打开失调校准功能。但是，当开启 ADC 后台失调校准后，如果输入信号幅度超出量化范围，会导致后台失调校准算法失效，待输入信号幅度恢复到量化范围内后，失调校准算法需要 10s 恢复。

由于 ADC 已经在出厂对失调进行了前台校准，一般不需要进行失调校准。如用户使用 DDC 功能，将直流失调搬移置到关注的频带范围内，则建议开启此功能，请按照本产品说明书操作，也可联系深信科技的市场和应用支持人员，以获得技术支持。

4、上电/断电要求和上电复位功能 / 4. Power-Up/Power-Down Requirements and Power-On Reset Function

English: In the current version there are two ways to ensure reliable power-up: ① When the power-up sequence can be controlled, power up the 0.975V supply first, then the 1.8V supply, then the 2.5V supply. Also note the precautions described in the Power-to-Ground Protection section. ② When the power-up

sequence cannot be controlled, ensure that after all supplies have finished powering up, the chip is reset once by configuring registers 0x00 to 0x81 (recommended).

中文： 目前版本下有两种方式保证可靠上电： ① 上电顺序可控制时，0.975V 电源先上电，然后 1.8V 电源，再 2.5V 电源。需要同时注意电源地保护章节的描述的注意事项。 ② 上电顺序不能控制时，保证所有电源上电完成后，通过配置寄存器 0x00 到 0x81 把芯片复位一次（推荐）。

5、输入共模 / 5. Input Common Mode

English: The analog input of the SXA039 is internally biased to the common-mode voltage, as shown in Figure 37. The common-mode buffer has a limited range, because if the common-mode voltage falls more than 50mV on either side of the nominal value, performance degrades significantly.

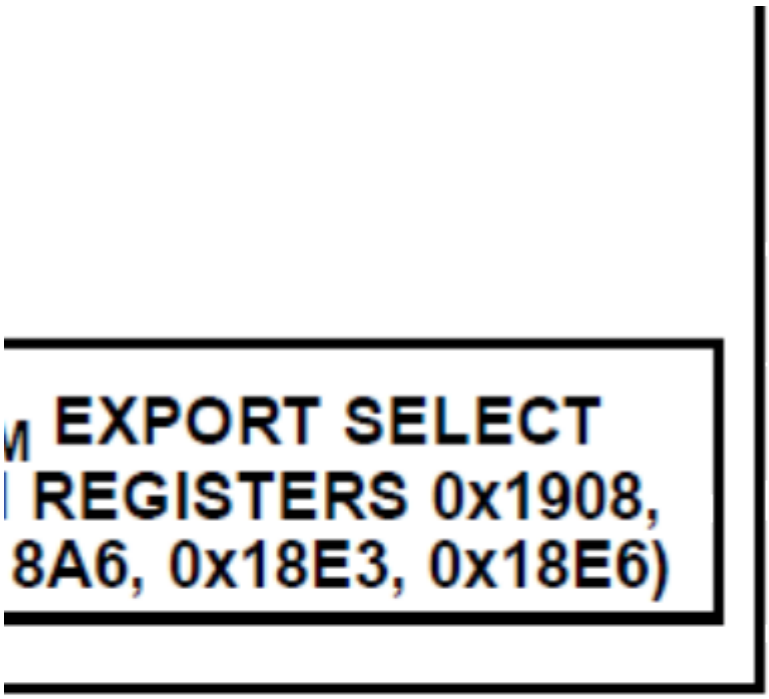
For DC-coupled applications, it is recommended to use the SPI write operations listed in this section to bring the common-mode voltage out to the VREF pin. The common-mode voltage must be set by the output value to ensure normal ADC operation. Use register 0x1908 to disconnect the internal common-mode buffer from the analog input.

When performing the SPI writes for DC-coupled operation, use the following register settings in sequence: Set register 0x1908, bit 2, to disconnect the internal common-mode buffer from the analog input. Note that this is a local register. Set register 0x18A6 to 0x00 to turn off the reference voltage. Set register 0x18E6 to 0x00 to turn off the temperature diode output. Set register 0x18E0 to 0x03. Set register 0x18E1 to 0x0F. Set register 0x18E2 to 0x14. Set register 0x18E3, bit 6, to 1, to turn on the VCM output. Set register 0x18E3, bits [5:0], to the buffer current setting (registers 0x1A4C and 0x1A4D), to improve the accuracy of the common-mode output.

中文： SXA039 的模拟输入在内部偏置到共模电压，如图 37 所示。共模缓冲器范围有限，因为如果共模电压在标称值的任一侧降低 50mV 以上，性能会大大降低。

对于直流耦合应用，建议使用本节列出的 SPI 写入操作，将共模电压导出到 VREF 引脚。共模电压必须由输出值设置，以确保 ADC 正常工作。使用寄存器 0x1908 断开内部共模缓冲器与模拟输入的连接。

为直流耦合操作执行 SPI 写入时，按顺序使用以下寄存器设置： 设置寄存器 0x1908，位 2 断开内部共模缓冲器与模拟输入的连接。请注意，这是一个局部寄存器。 将寄存器 0x18A6 设置为 0x00 以关闭基准电压。 将寄存器 0x18E6 设置为 0x00 以关闭温度二极管输出。 将寄存器 0x18E0，设置为 0x03 将寄存器 0x18E1，设置为 0x0F 将寄存器 0x18E2，设置为 0x14 将寄存器 0x18E3，位 6 设置为 1，以打开 VCM 输出。 将寄存器 0x18E3、位 [5:0]设置为缓冲器电流设置（寄存器 0x1A4C 和寄存器 0x1A4D），以提高共模输出的精度。



合应用

Figure 37: DC-coupled application using the SXA039

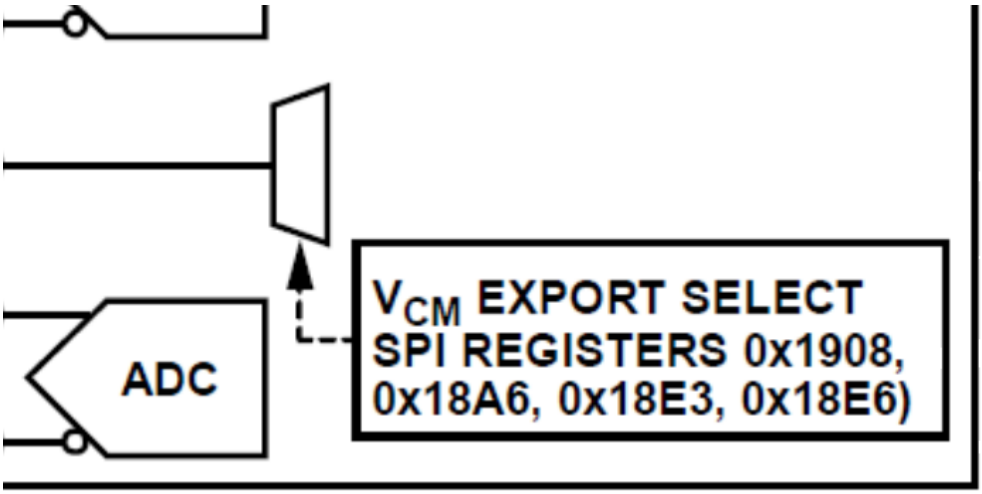
6、基准电压 / 6. Reference Voltage

English: The SXA039 has a built-in stable, accurate 0.5V reference voltage source. The internal 0.5V reference voltage source is used to set the ADC full-scale input range. The full-scale input range can be adjusted through the ADC input full-scale control register (register 0x1910). Figure 38 shows the functional block diagram of the internal 0.5V reference voltage source control.

SPI register 0x18A6 allows the user to use this internal 0.5V reference voltage source or to provide an external 0.5V reference voltage source. When using an external reference voltage source, a 0.5V reference voltage source should be provided. Full-scale adjustment is performed via SPI, independent of the reference voltage source. For more information on adjusting the SXA039 full-scale level, refer to the "Memory Map Register Table" section.

中文： SXA039 内置稳定、精确的 0.5V 基准电压源。内部 0.5V 基准电压源用于设置 ADC 满量程输入范围。满量程输入范围可以通过 ADC 输入满量程控制寄存器（寄存器 0x1910）进行调整。图 38 显示了内部 0.5V 基准电压源控制的功能框图。

SPI 寄存器 0x18A6 使用户可以使用该内部 0.5V 基准电压源或提供外部 0.5V 基准电压源。使用外部基准电压源时，应提供 0.5V 基准电压源。满量程调整利用 SPI 进行，与基准电压源无关。有关调整 SXA039 满量程电平的更多信息，参阅"内存映射寄存器表"部分。



A039 的直流耦合应用

压源。内部 0.5V 基准电压源用于设置 ADC 满

入满量程控制寄存器（寄存器 0x1910）进行

能框图。

部 0.5V 基准电压源或提供外部 0.5V 基准电

Figure 38: Internal reference voltage source configuration and control

English: To use an external reference voltage source, SPI writes must be performed in the following sequence: Set register 0x18E3 to 0x00, turning off the VCM output. Set register 0x18E6 to 0x00, turning off the temperature diode output. Set register 0x18E6 to 0x01, turning on the external reference voltage source. An external reference voltage source may be required in some applications to improve ADC gain

accuracy or improve thermal drift characteristics. The external reference voltage source must be a stable 0.5V reference source.

中文： SPI 写入需要按顺序使用外部基准电压源，如下所示： 设置寄存器 0x18E3 为 0x00，关闭 VCM 输出。 设置寄存器 0x18E6 为 0x00，关闭温度二极管输出。 设置寄存器 0x18E6 为 0x01，打开外部基准电压源。 某些应用中可能需要使用外部基准电压源，以提高 ADC 增益精度或改善热漂流特性。外部基准电压源必须是稳定的 0.5V 基准源。

7、温度二极管 / 7. Temperature Diode

English: The SXA039 has a built-in diode-based temperature sensor for measuring chip temperature. The temperature diode voltage can be output via SPI to the VCM_CD/VREF pin. The specific test operations are as follows: Set register 0x009 to 0x03. Set register 0x18E3 to 0x00, turning off the VCM output. Set register 0x18A6 to 0x00, turning off the reference voltage output. Set register 0x18E6 to 0x01, to turn on the first temperature diode (1×) output. The typical voltage response of this low-temperature temperature diode is shown in Figure 39. Although this voltage represents the chip temperature, measuring together with the second diode is recommended to improve accuracy. Set register 0x18E6 to 0x02, to turn on the second temperature diode (20×) output; this diode is 20 times the size of the first. The relationship between the measured incremental voltage (△V) and the unit junction temperature is shown in Figure 40. TJ can also be roughly calculated using the following formula: TJ = 3.9 × △V(mV) − 275.5. For example, if △V is 90mV, the junction temperature is approximately 75°C.

中文： SXA039 内置了一个基于二极管的温度传感器，用于测量芯片温度。可以使用 SPI 讲温度二极管电压输出到 VCM_CD/VREF 引脚。测试具体操作如下： 设置寄存器 0x009 为 0x03。 设置寄存器 0x18E3 为 0x00，关闭 VCM 输出。 设置寄存器 0x18A6 为 0x00，关闭参考电压输出。 设置寄存器 0x18E6 为 0x01，以打开第一温度二极管（1×）输出。此低温温度二极管的典型电压响应如图 39 所示。尽管此电压代表芯片温度，但建议用配合第二极管进行测量以提高精度。 设置寄存器 0x18E6 为 0x02，以打开第二温度二极管（20×）输出，该二极管的尺寸为第一个的 20 倍。测得的增量电压（△V）与单位结温之间的关系如图 40 所示。也可以按照如下公式对 TJ 进行粗略计算：TJ = 3.9 × △V(mV) − 275.5。例如△V 为 90mV，那么节温约为 75°C左右。

器 0x18E6 为 0x01，以打开第一温度二极管（1×）输出。此低温温度二极管
图 39 所示。尽管此电压代表芯片温度，但建议用配合第二极管进行测量以

器 0x18E6 为 0x02，以打开第二温度二极管（20×）输出，该二极管的尺寸
，测得的增量电压（ΔV）与单位结温之间的关系如图 40 所示。也可以按照
粗略计算：$T_J = 3.9 \times \Delta V(mV) - 275.5$ 。例如ΔV 为 90mV，那么节温约为 7

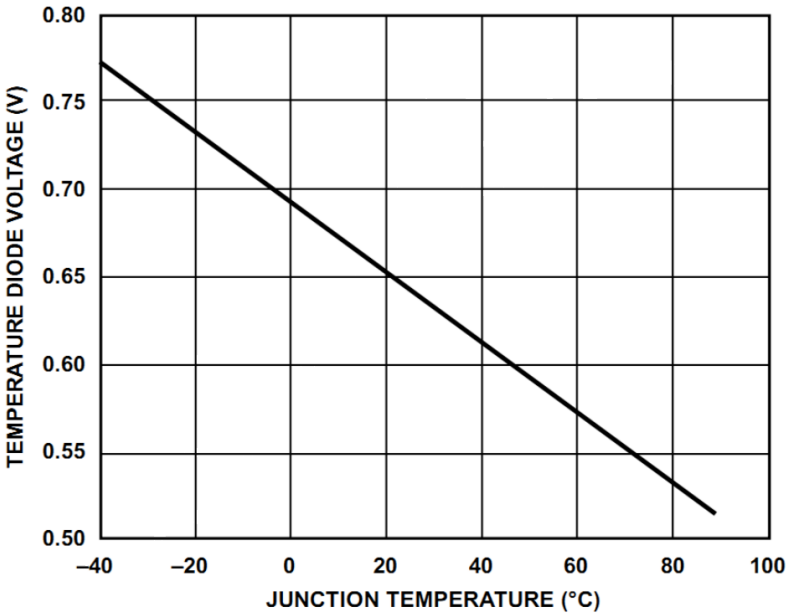


图39　温度二极管的典型电压响应

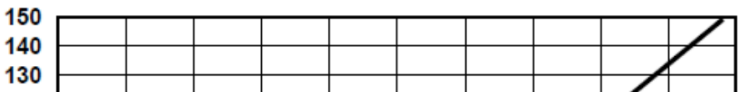


Figure 39: Typical voltage response of the temperature diode

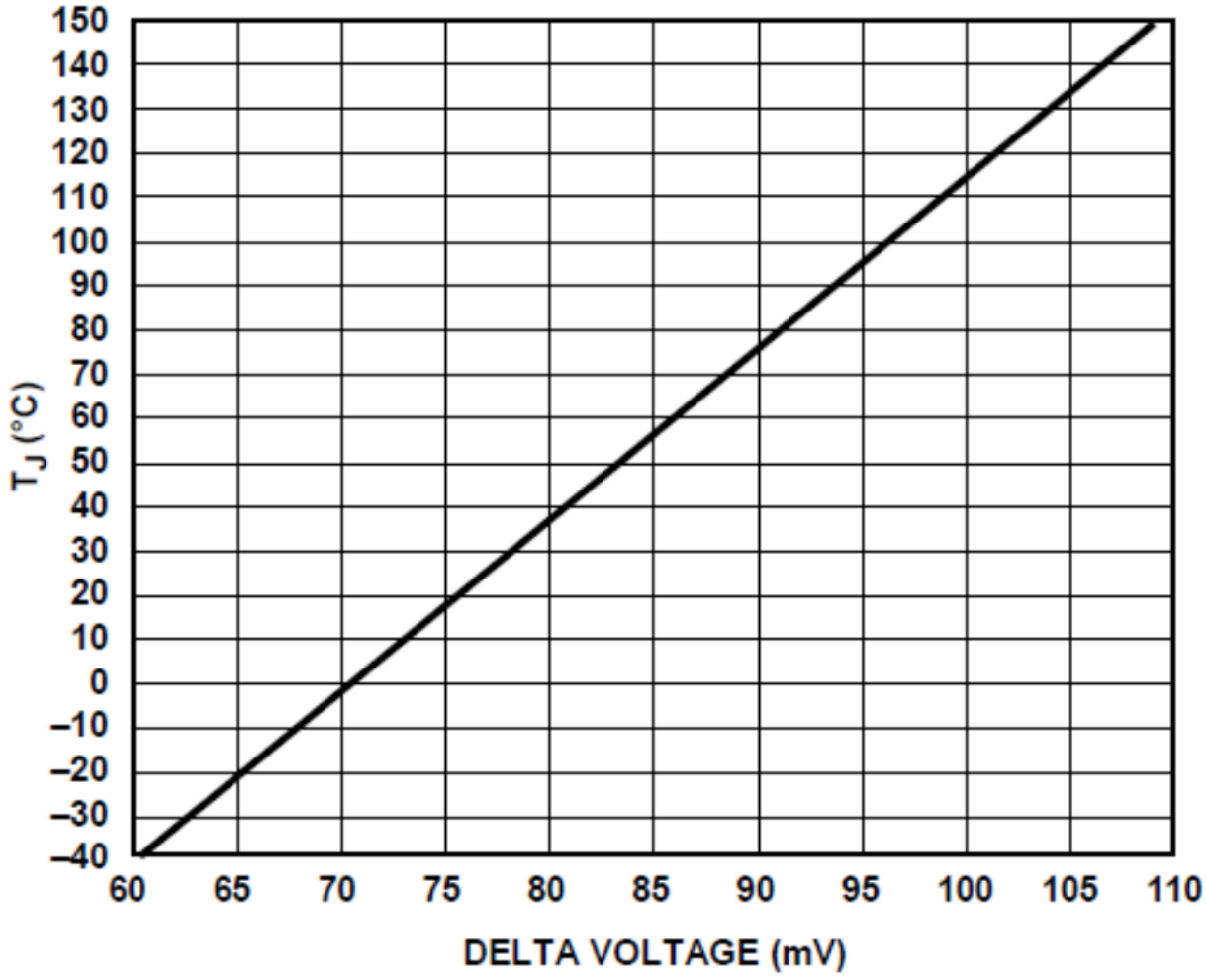


Figure 40: Relationship between △V and junction temperature

8、掉电和待机模式 / 8. Power-Down and Standby Modes

English: The SXA039 has a PDWN/STBY pin that can configure the device into power-down or standby mode. The default configuration is PDWN. The PDWN/STBY pin is a logic-high pin. In power-down mode, the JESD204B link is interrupted. The power-down option can also be set through registers 0x003F and 0x0040. In standby mode, the JESD204B link is not interrupted, and all converter samples are 0.

中文： SXA039 有一个 PDWN/STBY 引脚，可以将器件配置为掉电或待机模式。默认配置是 PDWN。PDWN/STBY 引脚是一个逻辑高电平引脚。当处于掉电模式时，JESD204B 链路会中断。掉电选项也可以通过寄存器 0x003F 和寄存器 0x0040 设置。在待机模式下，JESD204B 链路不中断，所有转换器样本为 0。

9、ADC 快速检测 / 9. ADC Fast Detect

English: In receiver applications, a reliable mechanism is needed to decide when converter clipping occurs. The standard overrange bit in the JESD204B output provides analog input status information with limited usefulness. Therefore, it is best to set a programmable threshold below full scale, so that gain can be reduced before clipping actually occurs. In addition, because the input signal slew rate is very high, the latency of this function is a major concern. Highly pipelined converters have significant latency. The

SXA039 includes fast-detect circuitry for individual channels to monitor the threshold and assert the FD_A/C and FD_B/D pins.

Fast threshold detect (FD_A/C and FD_B/D): Whenever the absolute value of the input signal exceeds the programmed upper threshold level (configured through registers 0x0248 and 0x0247), the FD_A/C or FD_B/D pin is set immediately. The FD bit is cleared only when the absolute value of the input signal falls below the lower threshold (configured through registers 0x024A and 0x0249S) and the duration exceeds the programmable dwell time (configured through registers 0x024C and 0x024B). This function provides hysteresis and prevents frequent toggling of the FD bit.

中文： 在接收机应用中，需要一种可靠机制，能够决定转换器何时发生簌位。JESD204B 输出中的标准超量程位提供了模拟输入状态信息作用有限。因此，最好可以设定低于满量程的可编程阈值，以便在簌位实际发生之前降低增益。此外，由于输入信号的压摆率很高，该功能的延迟是一个主要的问题。高度流水线转换器会有明显的延迟。SXA039 包含用于单个通道的快速检测电路，以监测阈值并置位 FD_A/C 和 FD_B/D 引脚。

快速阈值检测（FD_A/C 和 FD_B/D）： 只要输入信号的绝对值超过了可编程阈值上限值(通过寄存器 0x0248 和 0x0247 配置)电平，FD_A/C 或 FD_B/D 引脚就会将立即设置。只有当输入信号的绝对值下降至低于阈值下限(通过寄存器 0x024A 和 0x0249S 配置)，以及持续时间超过可编程停留时间(通过寄存器 0x024C 和 0x024B 配置)时，FD 位才会清零。此功能提供迟滞，并防止 FD 位频繁的切换。

[illegible]位测

[illegible]应用中，需要一种可靠机制，能够决定转换器何时发生箝位。JESD204B 输[illegible]位提供了模拟输入状态信息作用有限。因此，最好可以设定低于满量程的可[illegible]箝位实际发生之前降低增益。此外，由于输入信号的压摆率很高，该功能的[illegible]问题。高度流水线转换器会有明显的延迟。SXA039 包含用于单个通道的快[illegible]测阈值并置位 FD_A/C 和 FD_B/D 引脚。

[illegible]（FD_A/C 和 FD_B/D）

[illegible]信号的绝对值超过了可编程阈值上限值(通过寄存器 0x0248 和 0x0247 配置)[illegible]D_B/D 引脚就会将立即设置。只有当输入信号的绝对值下降至低于阈值下限[illegible]A 和 0x0249S 配置)，以及持续时间超过可编程停留时间(通过寄存器 0x024[illegible]时，FD 位才会清零。此功能提供迟滞，并防止 FD 位频繁的切换。

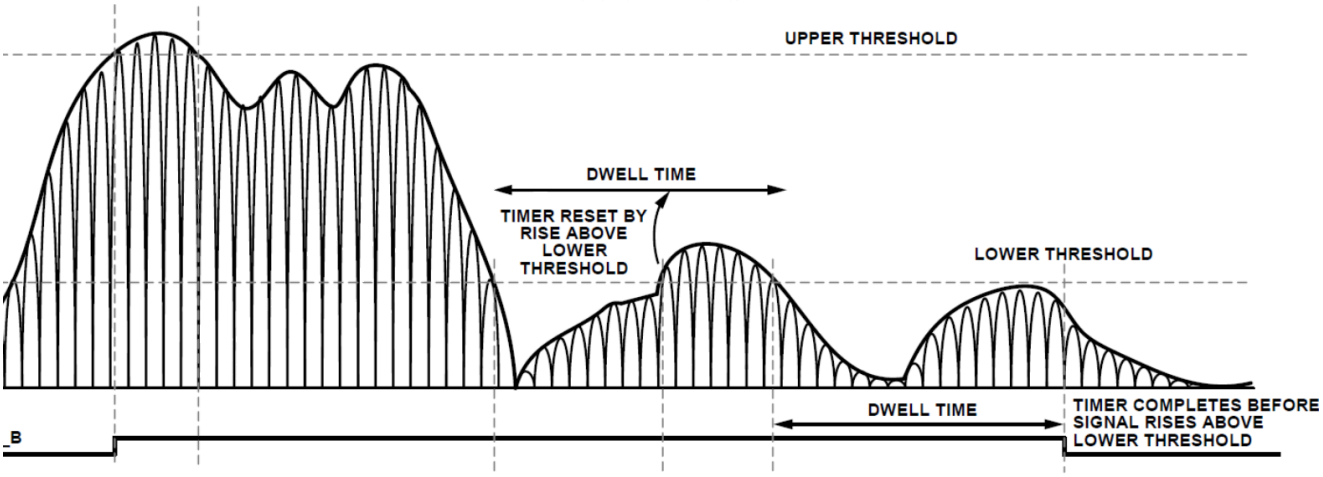


图41　FD_A/C 和 FD_B/D 信号阈值设置

[illegible] 0x024B 和寄存器 0x024C 设置成 0x00。

Figure 41: FD_A/C and FD_B/D signal threshold settings

English: Note: Setting registers 0x024B and 0x024C to 0x00 is not recommended. The operation of the upper and lower threshold registers and the dwell time registers is shown in Figure 41. If the input magnitude exceeds the value programmed in the fast-detect upper threshold registers at registers 0x0247 and 0x0248, the FD indicator is set. The selected threshold register is compared with the signal magnitude at the ADC output. The latency of fast upper-threshold detection is 28 clock cycles (maximum). The approximate upper threshold magnitude is defined as:

Upper threshold magnitude (dBFS) = 20log(threshold magnitude/2^13)

The FD indicator is cleared only until the signal falls below the lower threshold within the programmable dwell time. The lower threshold is programmed in the fast-detect lower threshold registers, located at registers 0x0249 and 0x024A. Compared with the signal magnitude at the ADC output, the fast-detect

lower threshold register is a 13-bit register. This comparison is subject to the ADC pipeline latency, but is accurate in terms of converter resolution. The lower threshold magnitude is defined as:

Lower threshold magnitude (dBFS) = 20log(threshold magnitude/2^13).

For example, to set an upper threshold value of -6dBFS, write 0xFFF to registers 0x0247 and 0x0248. To set a lower threshold of -10dBFS, write 0xA1D to registers 0x0249 and 0x024A. By placing the desired value in the fast-detect dwell time registers located at registers 0x024B and 0x024C, the dwell time can be programmed from 1 to 65,535 sample clock cycles. For more details, see registers 0x0040 and 0x0245 to 0x024C in the "Register Map" section. The recommended steps to enable this function are as follows: ① 0x20F0=0x05 ② 0x2007=0x0C ③ 0x2007=0x00 ④ 0x0040=0x00 ⑤ 0x0248=xx, 0x0247=xx; configured by the user according to the actual situation ⑥ 0x024A=xx, 0x0249=xx; configured by the user according to the actual situation ⑦ 0x024C=xx, 0x024B=xx; configured by the user according to the actual situation ⑧ 0x0245=0x01

中文： 备注：不推荐 0x024B 和寄存器 0x024C 设置成 0x00。 上阈值和下阈值寄存器以及驻留时间寄存器的操作如图 41 所示。 如果输入幅度超过位于寄存器 0x0247 和寄存器 0x0248 的快速检测阈值上限寄存器中编程的值，则置位 FD 指示灯。选择的阈值寄存器与 ADC 输出端的信号幅度进行比较。快速上阈值检测的延迟为 28 个时钟周期（最大）。近似的阈值上限幅度定义为：

阈值幅度上限（dBFS）=20log（阈值幅度/213）

直到信号在可编程的驻留时间内下降到阈值下限以下，FD 指示灯才会被清零。阈值下限是在快速检测阈值下限寄存器中编程的，位于寄存器 0x0249 和寄存器 0x024A。与 ADC 输出端的信号幅度相比，快速检测阈值下限寄存器是一个 13 位的寄存器。这种比较受制于 ADC 流水线延迟，但在转换器的分辨率方面是准确的。阈值下限幅度的定义是：

下阈值幅度（dBFS）=20log（阈值幅度/213）。

例如，要设置-6dBFS 的阈值上限值，将 0xFFF 写入寄存器 0x0247 和寄存器 0x0248。要设置一个较低的阈值为-10dBFS，向寄存器 0x0249 和寄存器 0x024A 写入 0xA1D。 通过在位于寄存器 0x024B 和寄存器 0x024C 的快速检测驻留时间寄存器中放置所需的值，可以在 1 至 65,535 个采样时钟周期内编程驻留时间。更多细节请参见"寄存器映射"部分的寄存器 0x0040 和寄存器 0x0245 至寄存器 0x024C。 推荐此功能开启步骤如下：①0x20F0=0x05 ②0x2007=0x0C ③0x2007=0x00 ④0x0040=0x00 ⑤0x0248=xx，0x0247=xx；用户根据实际情况配置 ⑥0x024A=xx，0x0249=xx；用户根据实际情况配置 ⑦0x024C=xx，0x024B=xx；用户根据实际情况配置 ⑧0x0245=0x01

10、数字下变频器（DDC）/ 10. Digital Downconverter (DDC)

①0x20F0=0x05

②0x2007=0x0C

③0x2007=0x00

④0x0040=0x00

⑤0x0248=xx，0x0247=xx；用户根据实际情况配置

⑥0x024A=xx，0x0249=xx；用户根据实际情况配置

⑦0x024C=xx，0x024B=xx；用户根据实际情况配置

⑧0x0245=0x01

数字下变频器（DDC）

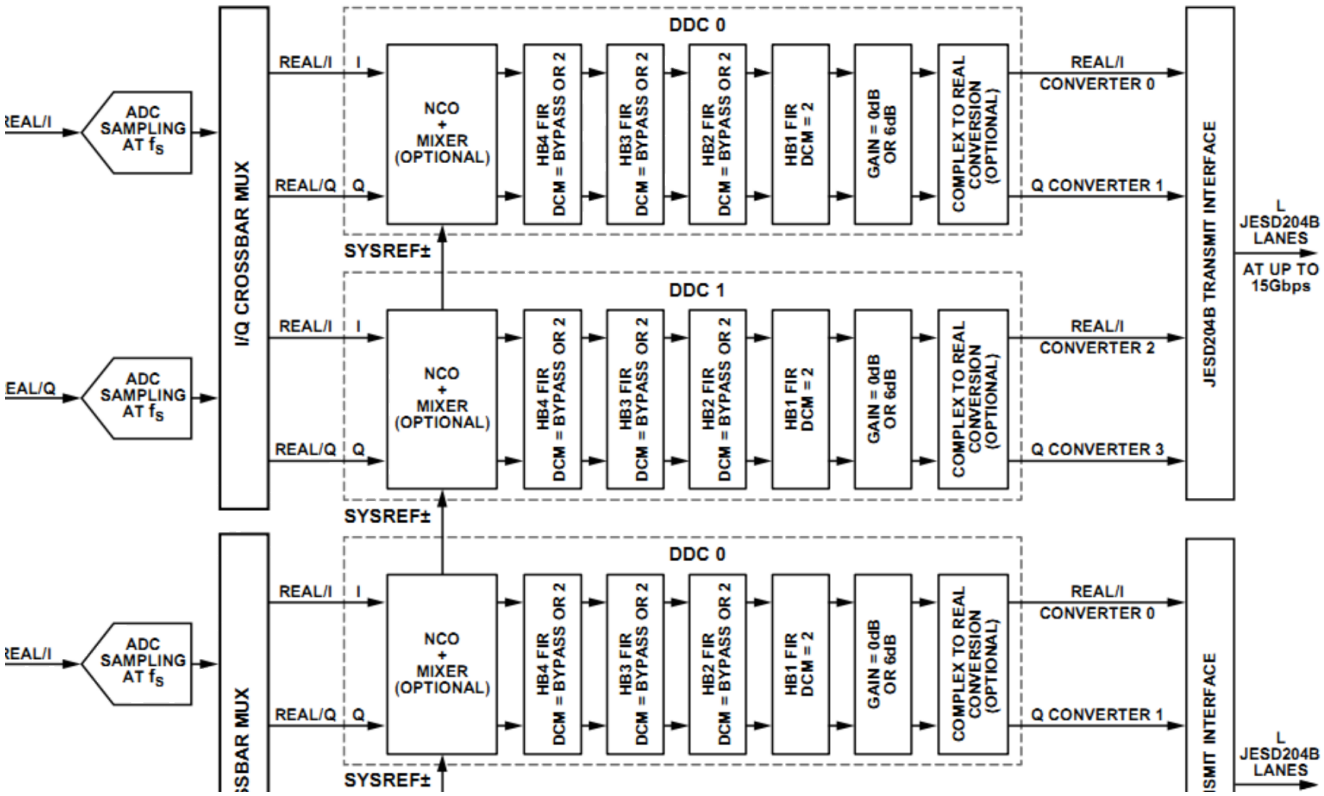


Figure 42: DDC detailed block diagram

English: The SXA039 includes two pairs of digital downconverters (DDC0 to DDC1), as shown in the figure above, used to filter and reduce the output data rate. This digital processing section includes an NCO, a gain stage, and a complex-to-real conversion stage. Each processing block has control lines allowing it to be individually enabled and disabled to provide the required processing function. The digital downconverter can be configured to output real data or complex output data.

The DDC outputs a 16-bit data stream. To enable this operation, the converter word size N is set to the default value of 16, although the analog core outputs only 14 bits. In full-bandwidth operation, the ADC output is a 14-bit word followed by two zeros, unless the tail bits are enabled.

10.1 DDC I/Q 输入选择 / 10.1 DDC I/Q Input Selection

English: Each DDC channel has two input ports, which can be paired through the I/Q crosspoint multiplexer to support real and complex inputs. For a real signal, both DDC input ports must select the same ADC channel (i.e., DDC input port I = ADC channel A, DDC input port Q = ADC channel A). For a complex signal, each DDC input port must select a different ADC channel (i.e., DDC input port I = ADC channel A, DDC input port Q = ADC channel B).

The input of each DDC is controlled by the DDC input select registers (register 0x0311, register 0x0331, register 0x0351, and register 0x0371).

中文： 每个 DDC 通道都有两个输入端口，可以通过 I/Q 纵模式多路复用器，配对支持实数和复数输入。对于实数信号，两个 DDC 输入端口必须选择相同的 ADC 通道（即，DDC 输入端口 I=ADC 通道 A，DDC 输入端口 Q=ADC 通道 A）。对于复数信号，每个 DDC 输入端口必须选择不同的 ADC 通道（即，DDC 输入端口 I=ADC 通道 A，DDC 输入端口 Q=ADC 通道 B）。

每个 DDC 的输入由 DDC 输入选择寄存器（寄存器 0x0311、寄存器 0x0331、寄存器 0x0351 和寄存器 0x0371）控制。

10.2 DDC I/Q 输出选择 / 10.2 DDC I/Q Output Selection

English: Each DDC channel has two output ports, which can be paired to support real and complex outputs. For a real output signal, only DDC output port I is used (DDC output port Q is invalid). For a complex I/Q output signal, both DDC output port I and DDC output port Q are used.

The I/Q output of each DDC channel is controlled by bit 3, the DDCx complex-to-real enable bit, in the DDCx control registers (register 0x0310, register 0x0330).

The chip Q ignore bit in the chip mode register (register 0x0200, bit 5) controls the chip output mixing of all DDC channels. When all DDC channels use real outputs, set this bit high to ignore all DDC Q output ports. When any DDC channel is set to use complex I/Q output, the user must clear this bit to use both DDC output port I and DDC output port Q.

中文： 每个 DDC 通道有两个输出端口，可以成对支持实数和复数输出。对于实数输出信号，只使用 DDC 输出端口 I（DDC 输出端口 Q 是无效的）。对于复数 I/Q 输出信号，都使用 DDC 输出端口 I 和 DDC 输出端口 Q。

每个 DDC 通道的 I/Q 输出由 DDCx 控制寄存器（寄存器 0x0310、寄存器 0x0330）中的 DDCx 复数-实数使能位 3 控制。

芯片模式寄存器（寄存器 0x0200，位 5）中的芯片 Q 忽略位控制所有 DDC 通道的芯片输出混频。当所有 DDC 通道使用实数输出时，将该位设置为高电平，以忽略所有 DDCQ 输出端口。当设置任何一个 DDC 通道为使用复数 I/Q 输出时，用户必须清除该位以同时使用 DDC 输出端口 I 和 DDC 输出端口 Q。

10.3 DDC 概述 / 10.3 DDC Overview

English: The two pairs of DDC blocks extract a portion of the full digital spectrum captured by the ADC. They are designed for IF sampling or oversampled baseband radios requiring large-bandwidth input signals.

Each DDC block contains the following signal processing stages: - Frequency conversion stage (optional) - Filter stage - Gain stage (optional) - Complex-to-real conversion stage (optional)

中文： 两个两对 DDC 模块提取 ADC 捕获的全数字频谱的一部分。它们设计用于中频采样或超采样基带无线电，需要大带宽输入信号。

每个 DDC 模块包含以下信号处理阶段： - 频率转换级（可选） - 滤波级 - 增益级（可选） - 复数-实数转换级（可选）

10.3.1 DDC 频率转换级（可选）/ 10.3.1 DDC Frequency Conversion Stage (Optional)

English: The DDC frequency conversion stage includes a 48/9-bit NCO and a quadrature mixer, which can be used for frequency conversion of real or complex input signals.

中文： DDC 频率转换级包括 489 位的 NCO 和正交混频器，可用于实数或复数输入信号的频率转换。

10.3.2 DDC 滤波器 / 10.3.2 DDC Filter

English: After downconversion to baseband, the filter stage uses multiple low-pass finite impulse response (FIR) filters to decimate the spectrum, achieving rate conversion. The decimation process reduces the output data rate, which in turn reduces the output interface rate.

中文： 在下移到基带后，滤波级使用多个低通有限脉冲响应（FIR）滤波器对频谱进行抽取，以实现速率转换。去分化过程降低了输出数据率，这反过来又降低了输出接口率。

10.3.3 DDC 增益级（可选）/ 10.3.3 DDC Gain Stage (Optional)

English: Due to the loss from mixing a real input signal to baseband, the DDC gain stage compensates by adding an additional 0dB or 6dB of gain.

中文： 由于将真实的输入信号混合到基带的损失，DDC 增益级通过增加一个额外的 0dB 或 6dB 的增益予以补偿。

10.3.4 DDC 复数到实数转换级（可选）/ 10.3.4 DDC Complex-to-Real Conversion Stage (Optional)

English: When a real output is required, this stage converts the complex output to real by performing an fS/4 mixing operation, together with a filter, to remove the complex components of the signal.

中文： 当需要实数输出时，该阶段通过执行 fS/4 混合操作，再加上一个滤波器，将复数输出转换为实数，以去除信号的复数成分。

10.4 数控振荡器（NCO）/ 10.4 Numerically Controlled Oscillator (NCO)

English: Each DDC contains an NCO. Each NCO implements the frequency conversion process by creating a complex exponential frequency (e^(−jωct)), which can be mixed with the input spectrum to convert the desired target-bandwidth frequency to a DC signal, filtered by the subsequent low-pass filter blocks to prevent aliasing. The NCO can be set via the frequency tuning word (FTW) and the phase offset word (POW).

中文： 每个 DDC 包含一个 NCO。每个 NCO 通过创建一个复杂的指数频率（e^(−jωct)）来实现频率转换过程，它可以与输入频谱混合，将所需频率目标带宽转换为直流信号，由后续的低通滤波器块过滤以防止混叠。NCO 可以通过频率控制字（FTW）和相位偏移字（POW）来设置。

10.4.1 设置 NCO FTW 和 POW / 10.4.1 Setting the NCO FTW and POW

English: The NCO frequency value is given by the 48-bit frequency value of the input NCO FTW: - 0x800 represents a frequency of –fS/2. - 0x000 represents DC (frequency 0 Hz). - 0x7FF represents a frequency of +fS/2 – fS/2^12.

The NCO frequency tuning word can be calculated by:

NCO_FTW = round(2^48 × mod(fC, fS) / fS)

NCO_FTW is the 48-bit two's-complement value representing the NCO FTW. fS is the SXA039 sampling frequency (clock rate), in Hz. fC is the desired carrier frequency, in Hz. Mod() is the modulo function. For example, Mod(110,100) = 10; for negative numbers, Mod(-32, 10) = -2. round() is the rounding function. For example, round(3.6) = 4; for negative numbers, round(-3.4) = -3. Note that this formula applies to signal aliasing in the digital domain (i.e., aliasing introduced when digitizing an analog signal). Each NCO can use a 48-bit POW, which can create a known phase relationship between multiple SXA039 chips or between individual DDC channels within one SXA039 chip. Use the following procedure to update the FTW and/or POW registers to ensure proper NCO operation: ① Write the FTW registers of all DDCs. ② Write the POW registers of all DDCs. ③ Synchronize the NCO via the DDC NCO soft reset bit (register 0x0300, bit 4), which can be accessed via SPI or via the SYSREF± pin. It is important to note that after all writes to the FTW or POW registers are complete, the NCO must be synchronized via SPI or the SYSREF± pin. This step is necessary to ensure proper NCO operation.

中文： NCO 频率值由输入 NCO FTW 的 48 位的频率值： ● 0x800 代表 –fS/2 的频率。 ● 0x000 代表 DC(频率为 0 Hz)。 ● 0x7FF 代表 +fS/2 – fS/212 的频率。

NCO 频率调谐字可通过下式计算：

NCO_FTW = round(2^48 × mod(fC, fS) / fS)

NCO_FTW 是代表 NCO FTW 的 48 位二进制补码数值。 fS 是 SXA039 采样频率(时钟速率)，单位为 Hz。fC 是所需的载波频率，单位为 Hz。 Mod()是求余函数。例如，Mod(110,100) = 10；对于负数，Mod(-32, 10) = -2。 round()是四舍五入函数。例如，round(3.6) = 4；对于负数，round(-3.4)= -3。 注意，此公式适用于数字域中的信号混叠(即数字化模拟信号时引入的混叠)。 每个 NCO 可使用 48 位 POW，可以在多个 SXA039 芯片或一个 SXA039 芯片内的单个 DDC 通道之间创建已知的相位关系。 使用以下过程更新 FTW 和/或 POW 寄存器，以确保 NCO 正常运行： ①写入所有 DDC 的 FTW 寄存器。 ②写入所有 DDC 的 POW 寄存器。 ③通过 DDC NCO 软复位位(寄存器 0x0300，位 4)同步 NCO，该位可通过 SPI 访问或通过 SYSREF±引脚的进行访问。 重要的是要注意，在完成对 FTW 或 POW 寄存器的所有写入之后，必须通过 SPI 或 SYSREF±引脚同步 NCO。此步骤对于确保 NCO 的正常运行是必要的。

10.4.2 NCO 同步 / 10.4.2 NCO Synchronization

English: Each NCO contains an individual phase accumulator word (PAW) used to determine the instantaneous phase of the NCO. The initial reset value of each PAW is determined by the POW described

in the "Setting NCO FTW and POW" section. The phase increment value of each PAW is determined by the FTW.

There are two methods to synchronize multiple PAWs within a chip: ① Use SPI. The DDC NCO soft reset bit (bit 4 of register 0x0300) in the DDC sync control register can be used to reset all PAWs in the chip. This can be achieved by toggling the DDC NCO soft reset bit. This method can only be used to synchronize DDCs inside the same SXA039 chip. ② Use the SYSREF± pin. If the SYSREF± pin is enabled through the SYSREF± control registers (register 0x0120 and register 0x0121), and DDC synchronization is enabled through bits [1:0] of the DDC sync control register (register 0x0300), then any subsequent SYSREF± event resets all PAWs in the chip. This method can synchronize DDC channels within the same SXA039 chip as well as DDC channels in different SXA039 chips.

中文： 每个 NCO 都含有一个单独的相位累加字(PAW)，用于确定 NCO 的瞬时相位。各 PAW 的初始复位值由"设置 NCO FTW 和 POW"部分所述的 POW 决定。各 PAW 的相位递增值由 FTW 决定。

同步芯片内的多个 PAW 有两种方法： ①使用 SPI。可以利用 DDC 同步控制寄存器中的 DDC NCO 软复位位（寄存器 0x0300 的位 4）来复位芯片中的所有 PAW。这可切换 DDC NCO 软复位位来实现。这种方法只能用来同步同一 SXA039 芯片内部的 DDC。 ②使用 SYSREF±引脚。如果通过 SYSREF±控制寄存器(寄存器 0x0120 和寄存器 0x0121)使能 SYSREF±引脚，并且通过 DDC 同步控制寄存器(寄存器 0x0300)的位[1:0]使能 DDC 同步，则随后的任何 SYSREF±事件都会复位芯片中的全部 PAW。这种方法既可同步同一 SXA039 芯片内的 DDC 通道，也可同步不同 SXA039 芯片内的 DDC 通道。

10.5 混频器 / 10.5 Mixer

English: The NCO is accompanied by a mixer whose operation is similar to an analog quadrature mixer. It uses the NCO frequency as the local oscillator to downconvert the input signal (real or complex). For a real input signal, this mixer performs a real mixer operation (using two multipliers). For a complex input signal, this mixer performs a complex mixer operation (using four multipliers and two adders). The mixer adjusts its operation according to the input signal (real or complex) provided to each channel. Using bit 7 of the DDC control registers (register 0x0310, register 0x0330) together with the index register (register 0x0009), the real or complex input selection of each DDC block can be controlled.

中文： NCO 伴随一个混频器，其操作类似于模拟正交混频器。它将 NCO 频率用作本振，对输入信号(实数或复数)进行下变频。对于实数输入信号，此混频器执行实数混频器操作(利用两个乘法器)。对于复数输入信号，此混频器执行复数混频器操作(利用四个乘法器和两个加法器)。混频器根据提供给各通道的输入信号(实数或复数)调整其操作。利用 DDC 控制寄存器(寄存器 0x0310、寄存器 0x0330)的位 7 结合对索引寄存器 (寄存器 0x0009)，可以控制各 DDC 模块的实数或复数输入选择。

10.6 FIR 滤波器 / 10.6 FIR Filters

English: Two pairs of 2×-decimation, low-pass, half-band, finite impulse response (FIR) filters : HB1 FIR, HB2 FIR, HB3 FIR, and HB4 FIR. These filters are located after the frequency conversion stage. After the target carrier is brought down to DC (carrier frequency = 0Hz), these filters efficiently reduce the sampling rate while providing sufficient aliasing suppression, preventing unwanted adjacent carriers around the target bandwidth from affecting the signal. The HB1 FIR is always enabled and cannot be bypassed. The HB2, HB3, and HB4 FIR filters are optional and can be bypassed to increase the output sampling rate.

中文： 两个两对 2 倍抽取、低通、半带、有限脉冲响应(FIR)滤波器：HB1 FIR、HB2 FIR、HB3 FIR 和 HB4FIR。这些滤波器位于频率转换级之后。目标载波降至 DC(载波频率=0Hz)之后，这些滤波器高效率地降低采样速率，同时提供充分的混叠抑制，防止目标带宽周围的无用邻近载波影响信号。HB1 FIR 始终使能，无法旁路。HB2、HB3 和 HB4 FIR 滤波器是可选的，可以旁路以提高输出采样速率。

10.7 DDC 增益级 / 10.7 DDC Gain Stage

English: Each DDC contains an independently controlled gain stage. A gain of 0dB or 6dB can be selected. When a real input signal is mixed down to baseband, the user is recommended to enable the 6dB gain to re-center the dynamic range of the signal within the full scale of the output bits. When a complex input signal is mixed to baseband, the mixer has already re-centered the dynamic range of the signal within the full scale of the output bits, and no additional gain is needed. However, the optional 6dB gain can be used to compensate for lower-strength signals. When the complex-to-real conversion stage is used, the 2× decimation portion of the HB1 FIR filter is bypassed.

中文： 各 DDC 包含一个独立控制的增益级。可以选择 0dB 或 6dB 的增益。实数输入信号下混频至基带时，建议用户使能 6dB 增益以将信号的动态范围中心重新定位在输出位的满量程内。复数输入信号混频至基带时，混频器已将信号的动态范围中心重新定位在输出位的满量程内，无需额外的增益。然而，可选的 6dB 增益可用来补偿强度较低的信号。使用复数至实数转换级时，旁路 HB1 FIR 滤波器的 2 倍降采样部分。

10.8 DDC 复数—实数转换 / 10.8 DDC Complex-to-Real Conversion

English: Each DDC contains an independently controlled complex-to-real conversion block. The complex-to-real conversion block reuses the last filter of the filter stage (HB1 FIR), together with an fS/4 complex mixer, to upconvert the signal. After the signal is upconverted, the Q portion of the complex mixer is no longer needed and is therefore discarded.

Note: After configuring the DDC and 204B, a datapath soft reset is required (write 0x02 to register 0x0001).

中文： 各 DDC 包含一个独立控制的复数至实数转换模块。复数至实数转换模块重利用滤波级的最后一个滤波器(HB1 FIR)，与一个 fS/4 复数混频器一起对信号进行上变频处理。信号上变频之后，复数混频器的 Q 部分不再需要，因而被丢弃。

注意：在配置 DDC 和 204B 后，需要数据路径软复位（0x0001 寄存器打 0x02）

11、数字输出 / 11. Digital Output

11.1 JESD204B 接口简介 / 11.1 JESD204B Interface Introduction

English: The SXA039 digital output is designed in accordance with the JEDEC standard JESD204B ("Serial Interface for Data Converters"). JESD204B is the protocol by which the SXA039 connects to digital processing devices through a serial interface (lane rates up to 15Gbps). Advantages of the JESD204B interface over LVDS include: less circuit board space required for data interface routing, and smaller packages for converters and logic devices.

中文： SXA039 数字输出根据 JEDEC 标准 JESD204B("数据转换器串行接口")进行设计。JESD204B 是 SXA039 通过串行接口(通道速率高达 15Gbps)连接数字处理设备的协议。JESD204B 接口相对于 LVDS 的优势包括：数据接口布线所需电路板空间更少，以及转换器和逻辑器件的封装更小。

11.2 设置 SXA039 接口 / 11.2 Setting Up the SXA039 Interface

English: At startup and at every ADC reset (datapath reset, soft reset, link power-down/power-up, or hard reset), a soft reset is recommended (write 0x02 to register 0x0001).

The JESD204B data transmit module can assemble the parallel data from the ADC into data frames and, using 8B/10B encoding and optional data scrambling, output serial data. During initial link establishment, special control characters are used to support lane synchronization; thereafter, synchronization is maintained by additional control characters embedded in the data stream. A JESD204B receiver is required to complete the serial link. For detailed information on the JESD204B interface, refer to the JESD204B standard.

The SXA039 JESD204B data transmit module can map at most 2 real ADCs or 4 virtual converters (when DDC is enabled) through either of the two links. A link can be configured to use 1 or 2 JESD204B lanes.

The JESD204B specification references multiple parameters to define a link; these parameters of the JESD204B transmitter (SXA039 output) and the JESD204B receiver (logic device input) must match. The SXA039 JESD204B outputs effectively function as two separate JESD204B links. If needed, SYSREF± can be used to synchronize the two JESD204B links.

A JESD204B link can be described by the following parameters: - L = number of data lanes per converter (data lanes per link) - M = number of converters per converter (virtual converters per link) - F = number of octets per frame - N ′ = number of bits per sample - N = converter resolution - CS = number of control bits per sample - K = number of frames per multiframe - S = number of samples transmitted per single converter per frame period - HD = high-density mode - CF = number of control words per frame clock period per converter

By default, the SXA039 is configured to use two pairs of converters and four 204B output lanes. Converter A and converter B data are output to SERDOUTAB0± and SERDOUTAB1±; converter C and converter D data are output to SERDOUTCD0± and SERDOUTCD1±. The SXA039 allows other configurations, such as combining the outputs of each converter pair into a single lane, or changing the mapping of the digital output path. These modes are set through the quick configuration registers in the SPI register map, including other customizable options.

中文： 启动时以及每次重置 ADC（数据路径重置、软重置、链路断电/上电或硬重置）时，建议软复位（寄存器 0x0001 写 0x02）。

JESD204B 数据发送模块可将来自 ADC 的并行数据组合成数据帧，并使用 8B/10B 编码以及可选数据加扰技术，输出串行数据。在链路初始建立过程中，使用特殊控制字符来支持通道同步；此后的同步靠数据流中嵌入的附加控制字符来维持。完成串行链路需要 JESD204B 接收机。有关 JESD204B 接口的详细信息，请参见 JESD204B 标准。

SXA039 JESD204B 数据发送模块通过两个链路中的任意一个最多可映射 2 个实际 ADC 或 4 个虚拟转换器(DDC 使能时)。可以配置链路以使用 1 个或 2 个 JESD204B 通道。

JESD204B 规范引用多个参数来定义链路，JESD204B 发射机(SXA039 输出)和 JESD204B 接收机(逻辑器件输入)的这些参数必须匹配。SXA039 的 JESD204B 输出作为两个单独的 JESD204B 链路有效地发挥作用。如果需要，可以使用 SYSREF±同步两个 JESD204B 链路。

JESD204B 链路可通过下列参数描述： ● L = 数据通路数/转换器(数据通路数/链路) ● M = 转换器数/转换器 (虚拟转换器数/链路) ● F = 8 位字数/帧 ● N′ = 每个样本的位数 ● N = 转换器分辨率 ● CS = 控制位数/样本 ● K = 每个多帧的帧数 ● S = 传送的样本数/单个转换器/帧周期 ● HD = 高密度模式 ● CF = 控制字数/帧时钟周期/转换器

默认情况下，SXA039 配置为使用两个两对转换器和四个 204B 输出通道。转换器 A 和转换器 B 数据输出到 SERDOUTAB0±和 SERDOUTAB1±，转换器 C 和转换器 D 数据输出到 SERDOUTCD0±和 SERDOUTCD1±。SXA039 允许其他配置，例如将每对转换器的输出组合到单个通道中，或者改变数字输出路径的映射。这些模式是通过 SPI 寄存器映射中的快速配置寄存器设置的，包括其他可自定义选项。

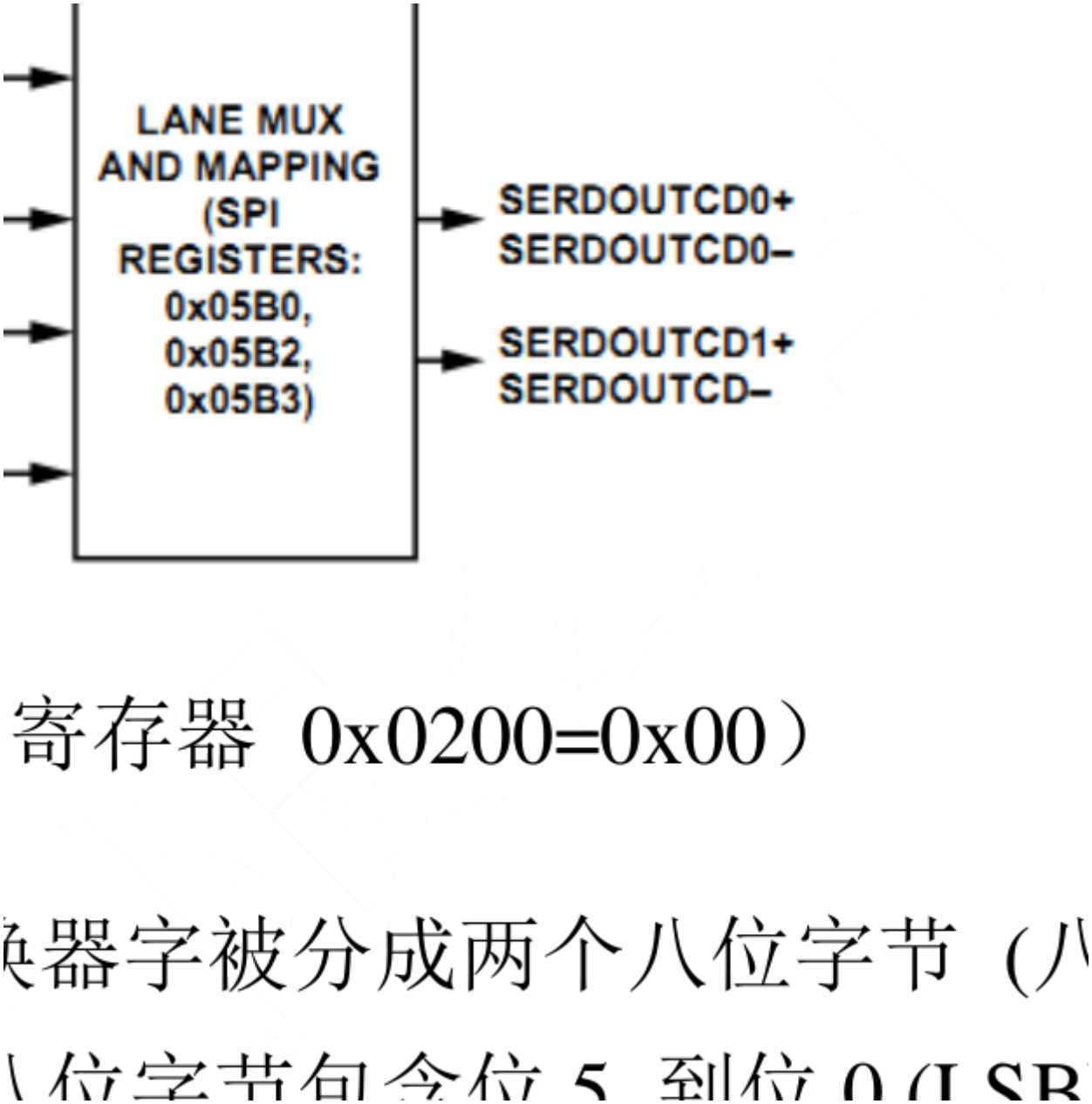


Figure 43: Simplified block diagram of the full-bandwidth mode transmit link (register 0x0200=0x00)

English: By default, in the SXA039, the 14-bit converter word of each converter is split into two octets (octet data). Bits 13 (MSB) to 6 are located in the first octet. The second octet contains bits 5 to 0 (LSB) and two tail bits. The tail bits can be configured as zeros or as a pseudo-random number sequence. The tail bits can also be used as control bits indicating overrange, SYSREF±, or fast-detect output. The control bit

MSB is filled and inserted first, such that CS=1 activates control bit 2, CS=2 activates control bit 2 and control bit 1, and CS=3 activates control bit 2, control bit 1, and control bit 0.

The resulting two 8-bit words can be scrambled. Scrambling is optional, but its use is recommended to avoid spectral spikes when transmitting similar digital data patterns. The scrambler uses a self-synchronous, polynomial-based algorithm defined by the equation 1+x14+x15. The descrambler in the receiver is a self-synchronous version of the scrambler polynomial.

Afterwards, these two 8-bit words are encoded by the 8B/10B encoder. The 8B/10B encoder encodes 8 data bits (1 octet) into a 10-bit symbol. Figure 44 shows how the 14-bit data is taken from the ADC, how the end bits are added, how the two octets are scrambled, and how the octets are encoded into two 10-bit symbols. Figure 44 shows the default data format.

中文： 默认情况下，在 SXA039 中，每个转换器的 14 位转换器字被分成两个八位字节（八位数据）。位 13 (MSB) 到位 6 位于第一个八位位组中。第二个八位字节包含位 5 到位 0 (LSB) 和两个尾位。尾位可以配置为零或伪随机数序列。尾位也可以用于指示超量程、SYSREF±或快速检测输出的控制位。首先填充并插入控制位 MSB，使得 CS=1 激活控制位 2，CS=2 激活控制位 2 和控制位 1，CS=3 激活控制位 2、控制位 1 和控制位 0。

可对生成的两个 8 位字进行加扰。加扰为可选项，但建议利用它来在传输相似的数字数据模式时避免频谱尖峰。加扰器采用自同步、基于多项式的算法，由方程 1+x14+x15 定义。接收机中的解扰器是加扰器多项式的自同步版本。

之后，这两个 8 位字通过 8B/10B 编码器进行编码。8B/10B 编码器将 8 个数据位(1 个 8 位字)编码为一个 10 位的符号。图 44 显示 14 位的数据是如何从 ADC 中取出、结束位如何添加 、两个 8 位字如何加扰，以及 8 位字如何被编码为两个 10 位符号。图 44 显示了默认的数据格式。

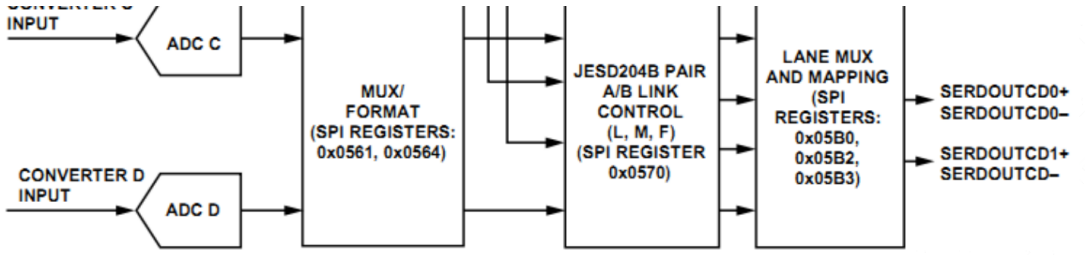


图43　全带宽模式的传输链路简化的方框图（寄存器 0x0200=0x00）

认情况下，在 SXA039 中，每个转换器的 14 位转换器字被分成两个八位字节 (八
立 13 (MSB) 到位 6 位于第一个八位位组中。第二个八位字节包含位 5 到位 0 (LSB
尾位。尾位可以配置为零或伪随机数序列。尾位也可以用于指示超量程、SYSREF±或
输出的控制位。首先填充并插入控制位 MSB，使得 CS=1 激活控制位 2，CS=2 激
2 和控制位 1，CS=3 激活控制位 2、控制位 1 和控制位 0。

可对生成的两个 8 位字进行加扰。加扰为可选项，但建议利用它来在传输相似的数
式时避免频谱尖峰。加扰器采用自同步、基于多项式的算法，由方程 $1+x^{14}+x^{15}$ 定义
中的解扰器是加扰器多项式的自同步版本。

之后，这两个 8 位字通过 8B/10B 编码器进行编码。8B/10B 编码器将 8 个数据位
)编码为一个 10 位的符号。图 44 显示 14 位的数据是如何从 ADC 中取出、结束位
两个 8 位字如何加扰，以及 8 位字如何被编码为两个 10 位符号。图 44 显示了
据格式。

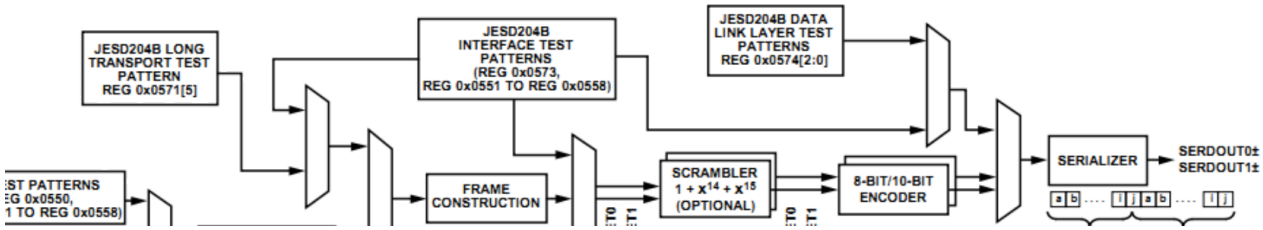


Figure 44: ADC output datapath for data frame transmission

English: The JESD204B hardware data flow from sample input to physical output can be divided into multiple layers: the transport layer, the data link layer, and the physical layer (serializer and output driver), as shown in Figure 45.

中文： 从样本输入到物理输出的 JESD204B 硬件数据流，可以分为多层：传输层、数据链路层和物理层(串行器和输出驱动器)，如图 45 所示。

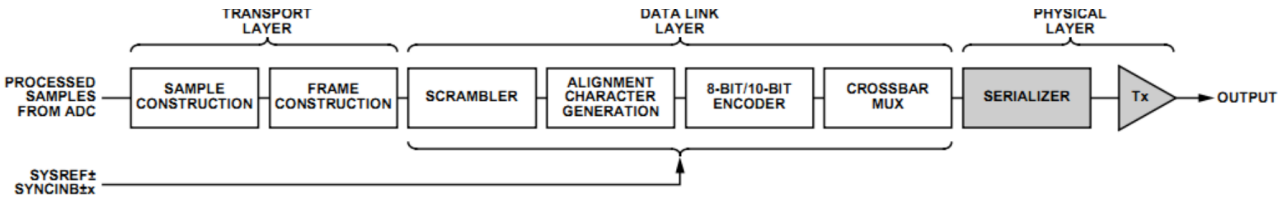


Figure 45: Data flow

English: The JESD204B transmitter (Tx) interface operates in Subclass 1 in accordance with JEDEC standard 204B (the SXA039 supports only Subclass 1). The link establishment process is divided into the following steps: code group synchronization, the SYNCINB±AB/SYNCINB±CD initial lane alignment sequence (ILAS), and user data and error correction.

中文： JESD204B 发射机(Tx)接口按照 JEDEC 标准 204B 的规定，以子类 1 工作（SXA039 只支持子类 1）。链路建立过程分为以下几步：代码组同步和 SYNCINB±AB/SYNCINB±CD 初始通道对齐序列(ILAS)以及用户数据和错误校正。

11.3 物理层 / 11.3 Physical Layer

English: The physical layer consists of the drivers specified by JEDEC standard 204B (July 2011). The differential digital outputs are powered on by default. Each driver uses a 100Ω dynamic internal termination resistor to reduce reflection interference. Placing a 100Ω differential termination resistor at the input of each receiver achieves a nominal 350mVp-p receiver swing (see Figure 47). A single-ended 50Ω termination resistor can also be used. When a single-ended termination resistor is used, the termination voltage is DRVDD1/2; in addition, a 0.1μF AC coupling capacitor can be used to terminate to any single-ended voltage.

中文： 物理层由 JEDEC 标准 204B(2011 年 7 月)所规定的驱动器组成。差分数字输出默认上电。每个驱动器利用 100Ω 的动态内部端接电阻来降低反射干扰。在每个接收机的输入端放置一个 100Ω 差分端接电阻，可实现标称 350mVp-p 的接收机摆幅(见图 47)。也可使用单端 50Ω 端接电阻。使用单端端接电阻时，端接电压为 DRVDD1/2；此外，还可使用 0.1μF 交流耦合电容以便端接至任意单端电压。

B 发射机(Tx)接口按照 JEDEC 标准 204B 的规定，以子类 1 工作（SXA0
。链路建立过程分为以下几步：代码组同步和 SYNCINB±AB/SYNCINB±C
:列(ILAS)以及用户数据和错误校正。

| JEDEC 标准 204B(2011 年 7 月)所规定的驱动器组成。差分数字输出默认
]用 100Ω 的动态内部端接电阻来降低反射干扰。在每个接收机的输入端放置
接电阻，可实现标称 350mVp-p 的接收机摆幅(见图 47)。也可使用单端 50Ω
.端端接电阻时，端接电压为 DRVDD1/2；此外，还可使用 0.1μF 交流耦合电
:单端电压。

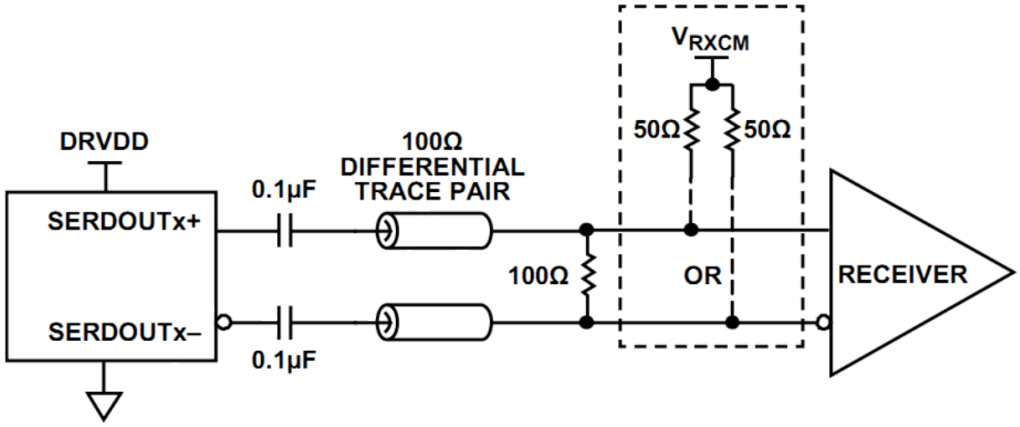


图46　直流耦合数字输出端接示例

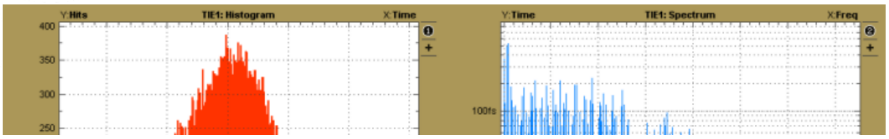


Figure 46: Example of DC-coupled digital output termination

ESD204B 发射机(Tx)接口按照 JEDEC 标准 204B 的规定，以子类 1 工作（SXA0
子类 1）。链路建立过程分为以下几步：代码组同步和 SYNCINB±AB/SYNCINB±C
道对齐序列(ILAS)以及用户数据和错误校正。

物理层

物理层由 JEDEC 标准 204B(2011 年 7 月)所规定的驱动器组成。差分数字输出默认
驱动器利用 100Ω 的动态内部端接电阻来降低反射干扰。在每个接收机的输入端放置
差分端接电阻，可实现标称 350mVp-p 的接收机摆幅(见图 47)。也可使用单端 50Ω
使用单端端接电阻时，端接电压为 DRVDD1/2；此外，还可使用 0.1μF 交流耦合电
接至任意单端电压。

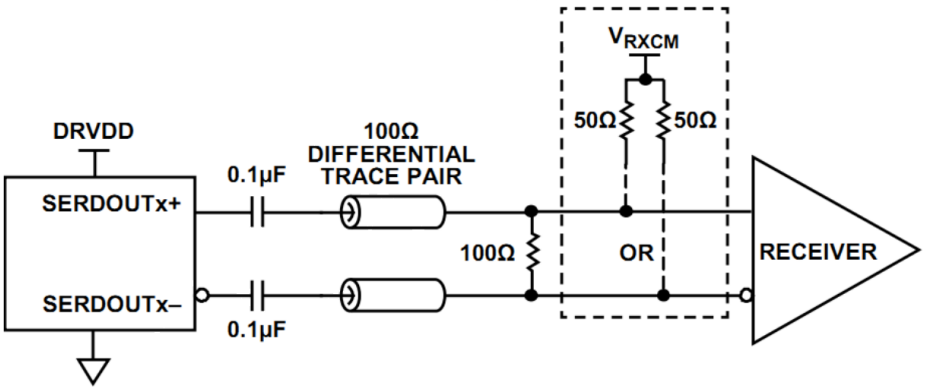


图46　直流耦合数字输出端接示例

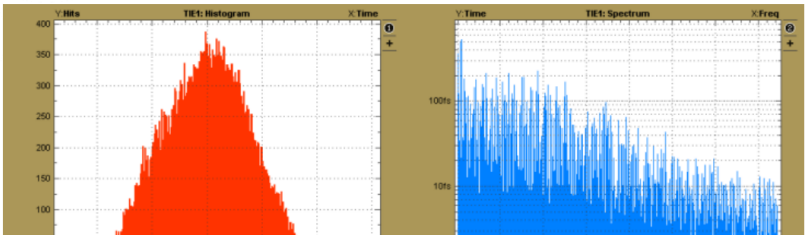


Figure 47: Digital output test result (15Gbps)

11.4 锁相环 / 11.4 Phase-Locked Loop

English: The phase-locked loop (PLL) is used to generate the serializer clock; it operates at the JESD204B lane rate. The PLL locked status can be checked via the PLL lock status bit (bit 7 of register 0x056F). This read-only bit informs the user whether a particular setting has achieved PLL lock. The setting of the JESD204B lane rate control (bits [7:4] of register 0x056E) must correspond to the lane rate.

中文： 锁相环(PLL)用于产生串行器时钟，它以 JESD204B 通道速率工作。PLL 锁定的状态可通过 PLL 锁定状态位(寄存器 0x056F 的位 7)来检查。此只读位告知用户特定设置是否实现了 PLL 锁定。JESD204B 通道速率控制(寄存器 0x056E 的位[7:4]) 的设置必须与通道速率对应。

12、ADC 应用模式和 JESD204BTx 转换器映射 / 12. ADC Application Modes and JESD204B Tx Converter Mapping

English: The SXA039 contains a configurable signal path that allows different functions to be enabled for different applications. These functions are controlled through the chip mode register 0x0200. The chip operating mode is controlled by bits [3:0] in this register, while chip Q ignore is controlled by bit 5.

The SXA039 contains the following modes: - Full-bandwidth mode: 2 pairs of 14-bit ADC cores operate at the full sampling rate. - DDC mode: 2 pairs of DDC channels.

After the chip application mode is selected, use the chip decimation ratio in register 0x0201, bits [3:0], to set the output decimation ratio. Output sampling rate = ADC sampling ratio / chip decimation ratio.

To support different application-layer modes, the SXA039 treats each sample stream (real, I, or Q) as coming from an independent virtual converter.

Transport layer mapping at exchange time. Figure 48 shows the virtual converters when complex output is used and their relationship to the DDC outputs.

Each DDC channel outputs two sample streams (I/Q) for complex data components (real + imaginary), or one sample stream for real (I) data. Depending on the DDC configuration, the SXA039 can be configured to use up to 4 virtual converters.

I/Q samples are always mapped in pairs: the I sample maps to the first virtual converter and the Q sample maps to the second virtual converter. With this transport-layer mapping, the number of virtual converters is the same whether a single real converter together with a digital downconversion block producing I/Q outputs is used, or analog downconversion with two real converters producing I/Q outputs is used.

中文： SXA039 包含一个可配置的信号路径，允许为不同的应用启用不同的功能。这些功能是通过芯片模式寄存器 0x0200 控制的。芯片工作模式由该寄存器中的位[3:0]控制，而芯片 Q 忽略是由位 5 控制。

SXA039 包含以下模式： - 全带宽模式：2 个两对 14 位 ADC 内核以全采样率运行。 - DDC 模式：2 个两对个 DDC 通道。

在选择了芯片应用模式后，使用寄存器 0x0201，位[3:0]中的芯片抽取比来设置输出抽取比。输出采样率=ADC 采样比/芯片抽取比。

为了支持不同的应用层模式，SXA039 将每个采样流（实数、I 数或 Q 数）视为来自独立的虚拟转换器。

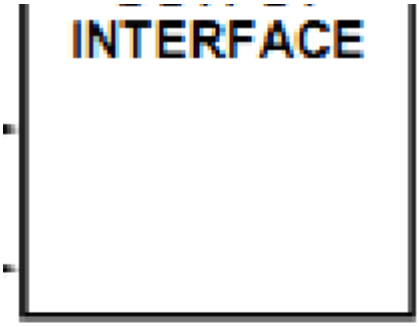
交换时的传输层映射。图 48 显示了使用复数输出时的虚拟转换器及其与 DDC 输出的关系。

每个 DDC 通道为复数数据分量（实数+虚数）输出两个样本流（I/Q），或为实数（I）数据输出一个样本流。根据 DDC 配置，SXA039 可配置为使用多达 4 个虚拟转换器。

I/Q 采样总是成对映射，I 采样映射到第一个虚拟转换器，Q 采样映射到第二个虚拟转换器。有了这种传输层的映射，不管是使用单一的实数转换器和产生 I/Q 输出的数字下频块，还是使用模拟下变频和产生 I/Q 输出的两个实数转换器，虚拟转换器的数量都是一样的。

表3 / Table 3 — DDC 配置和虚拟转换器映射表 / DDC Configuration and Virtual Converter Mapping

支持的虚拟转换器的数量 / Number of Supported Virtual Converters	芯片应用模式(寄存器 0x0200，位[3:0]) / Chip Application Mode (Register 0x0200, Bits [3:0])	忽略芯片 Q（寄存器 0x0200，位 5) / Chip Q Ignore (Register 0x0200, Bit 5)	虚拟转换器映射 0 / Virtual Converter Mapping 0	1	2	3
1或2 / 1 or 2	全带宽模式(0x0) / Full-bandwidth mode (0x0)	实数或复数(0x0) / Real or complex (0x0)	ADC A/C	ADC B/D	——	——
1	1 个 DDC（0x1）/ 1 DDC (0x1)	实数(仅 I）（0x1）/ Real (I only) (0x1)	DDC0 I	——	——	——
2	1 个 DDC（0x1）/ 1 DDC (0x1)	复数（I/Q）（0x0）/ Complex (I/Q) (0x0)	DDC0 I	DDC0 Q	——	——
2	2 个 DDC（0x2）/ 2 DDCs (0x2)	实数(仅 I）（0x1）/ Real (I only) (0x1)	DDC0 I	DDC1 I	——	——
4	2 个 DDC（0x2）/ 2 DDCs (0x2)	复数（I/Q）（0x0）/ Complex (I/Q) (0x0)	DDC0 I	DDC0 Q	DDC1 I	DDC1 Q



)204B 输出配置如下

Figure 48: DDC and virtual converter mapping

English: This product supports only JESD204B Subclass 1; N'=16 is recommended. The corresponding JESD204B output configuration is shown in the table below:

中文： 本产品只支持 JESD204B 子类 1，推荐使用 N'=16，对应的 JESD204B 输出配置如下表：

表4 / Table 4 — JESD204B 输出配置表 / JESD204B Output Configuration

虚拟转换器支持的数量（与 M 相同）/ Number of Supported Virtual Converters (Same as M)	JESD204B 串行通道速率 / JESD204B Serial Lane Rate	快速配置（寄存器0x0570）/ Quick Configuration (Register 0x0570)	L	M	F	S	HD	N	N'	CS	K
1	20×fOUT	0x01	1	1	2	1	0	8-16	16	0-3	32
1	10×fOUT	0x40	2	1	1	1	1	8-16	16	0-3	32
1	10×fOUT	0x41	2	1	2	2	0	8-16	16	0-3	32
2	40×fOUT	0x0A	1	2	4	1	0	8-16	16	0-3	32
2	20×fOUT	0x49	2	2	2	1	0	8-16	16	0-3	32
4	80×fOUT	0x13	1	4	8	1	0	8-16	16	0-3	32
4	40×fOUT	0x52	2	4	4	1	0	8-16	16	0-3	32

注意：L=1，M=4，F=8，S=1 的模式必须开加扰 / Note: the mode L=1, M=4, F=8, S=1 must enable scrambling.

表5 / Table 5 — 模式 1 组帧 / Mode 1 Framing: 0x570_Model_1 (L = 1, M = 1, F = 2, S = 1, NP = 16)

Lanes	Frame 0 — Octet 0	Frame 0 — Octet 1	Frame 1 — Octet 0	Frame 1 — Octet 1
0	M0S0[15:8]	M0S0[7:0]	M0S1[15:8]	M0S1[7:0]

表6 / Table 6 — 模式 2 组帧 / Mode 2 Framing: 0x570_Model_2 (L = 2, M = 1, F = 1, S = 1, NP = 16)

Lanes	Frame 0 — Octet 0	Frame 1 — Octet 0
0	M0S0[15:8]	M0S1[15:8]
1	M0S0[7:0]	M0S1[7:0]

表7 / Table 7 — 模式 3 组帧 / Mode 3 Framing: 0x570_Model_3 (L = 2, M = 1, F = 2, S = 2, NP = 16)

Lanes	Frame 0 — Octet 0	Frame 0 — Octet 1	Frame 1 — Octet 0	Frame 1 — Octet 1
0	M0S0[15:8]	M0S0[7:0]	M0S2[15:8]	M0S2[7:0]
1	M0S1[15:8]	M0S1[7:0]	M0S3[15:8]	M0S3[7:0]

表8 / Table 8 — 模式 4 组帧 / Mode 4 Framing: 0x570_Model_4 (L = 1, M = 2, F = 4, S = 1, NP = 16)

Lanes	Frame 0 — Octet 0	Octet 1	Octet 2	Octet 3	Frame 1 — Octet 0	Octet 1	Octet 2	Octet 3
0	M0S0[15:8]	M0S0[7:0]	M1S0[15:8]	M1S0[7:0]	M0S1[15:8]	M0S1[7:0]	M1S1[15:8]	M1S1[7:0]

表9 / Table 9 — 模式 5 组帧 / Mode 5 Framing: 0x570_Model_5 (L = 2, M = 2, F = 2, S = 1, NP = 16)

Lanes	Frame 0 — Octet 0	Octet 1	Frame 1 — Octet 0	Octet 1
0	M0S0[15:8]	M0S0[7:0]	M0S1[15:8]	M0S1[7:0]
1	M1S0[15:8]	M1S0[7:0]	M1S1[15:8]	M1S1[7:0]

表10 / Table 10 — 模式 6 组帧 / Mode 6 Framing: 0x570_Model6_ (L = 1, M = 4, F = 8, S = 1, NP = 16)（必须开加扰 / scrambling must be enabled)

Lanes	Frame 0 — Octet 0	Octet 1	Octet 2	Octet 3	Octet 4	Octet 5	Octet 6	Octet 7
0	M0S0[15:8]	M0S0[7:0]	M1S0[15:8]	M1S0[7:0]	M2S0[15:8]	M2S0[7:0]	M3S0[15:8]	M3S0[7:0]

表11 / Table 11 — 模式 7 组帧 / Mode 7 Framing: 0x570_Model_7 (L = 2, M = 4, F = 4, S = 1, NP = 16)

Lanes	Frame 0 — Octet 0	Octet 1	Octet 2	Octet 3	Frame 1 — Octet 0	Octet 1	Octet 2	Octet 3
0	M0S0[15:8]	M0S0[7:0]	M1S0[15:8]	M1S0[7:0]	M0S1[15:8]	M0S1[7:0]	M1S1[15:8]	M1S1[7:0]
1	M2S0[15:8]	M2S0[7:0]	M3S0[15:8]	M3S0[7:0]	M2S1[15:8]	M2S1[7:0]	M3S1[15:8]	M3S1[7:0]

13、多芯片同步 / 13. Multi-Chip Synchronization

English: The flowchart in Figure 49 describes the internal mechanism used for multi-chip synchronization in the SXA039. Determined by the sync mode bit (bit 0) in register 0x1FF, multi-chip synchronization can be performed by two methods. Each method involves a different application of the SYSREF± signal.

The default state of the sync mode bit is 0x0, which configures the chip synchronization of the SXA039. The JESD204B standard specifies the use of SYSREF± to provide deterministic latency within a single link. The same concept, when applied to a system with multiple converters and logic devices, can also provide multi-chip synchronization. In Figure 49, this synchronization mode is called normal mode.

SYSREF± input: The SYSREF± input signal serves as the high-precision system reference for deterministic latency and multi-chip synchronization. The SXA039 accepts one-shot or periodic input signals. The SYSREF± mode select bits (register 0x0120, bits [2:1]) select the input signal type and, when set, activate the SYSREF± state machine. If in single-shot (or N-shot) mode (register 0x0120, bits [2:1] = 2), after an appropriate SYSREF± transition is detected, the SYSREF± mode select bits self-clear. The minimum pulse width must be two CLK± cycles. If the clock divider (register 0x010B, bits [2:0]) is set to a value other than divide-by-1, multiply this minimum pulse width requirement by the division ratio (for example, if set to divide-by-2, the minimum pulse width is 4 CLK± cycles).

When a continuous SYSREF± signal is used (register 0x0120, bits [2:1] = 1), the period of the SYSREF± signal must be an integer multiple of the LMFC. The LMFC can be derived from the following formula:

LMFC = ADC clock / (S × K)

where: S is the JESD204B parameter for the number of samples per converter. K is the JESD204B parameter for the number of frames per multiframe.

中文： 图 49 中的流程图描述了 SXA039 中用于多芯片同步的内部机制。由寄存器 0x1FF 中的同步模式位(位 0)确定，可以通过两种方法进行多芯片同步。每种方法都涉及 SYSREF±信号的不同应用。

同步模式位的默认状态为 0x0，这将配置 SXA039 的芯片同步。JESD204B 标准指定使用 SYSREF±在单个链路中提供确定性延迟。同样的概念，当应用于具有多个转换器和逻辑器件的系统时，也可以提供多芯片同步。在图 49 中，该同步模式被称为正常模式。

SYSREF±输入： SYSREF±输入信号用作确定性延迟和多芯片同步的高精度系统参考。SXA039 接受单发或周期性输入信号。SYSREF± 模式选择位 (寄存器 0x0120，位 [2:1]) 选择输入信号类型，并在设置时激活 SYSREF±状态机。如果处于单次 (或 N) shot 模式 (寄存器 0x0120，位 [2:1] = 2)，则检测到适当的 SYSREF±转换后，SYSREF±模式选择位自清除。脉冲宽度的最小宽度必须为两个 CLK±周期。如果时钟分频器（寄存器

0x010B，位[2：0]）设置为 1 分频以外的值，则将此最小脉冲宽度要求乘以分频比（例如，如果设置为 2 分频，则最小脉冲宽度为 4 个 CLK±周期）。

当使用连续的 SYSREF±信号（寄存器 0x0120，位[2：1]=1）时，SYSREF±信号的周期必须是 LMFC 的整数倍。LMFC 可以用以下公式推导出：

LMFC = ADC clock/（S × K）

其中： S 是每个转换器的采样数的 JESD204B 参数。 K 是每个多帧的帧数的 JESD204B 参数。

表8 模式 4 组帧：

	0x570_Model_4 (L = 1, M = 2, F = 4, S = 1, NP = 16)							
	Frame 0				Frame 1			
Lanes	Octet 0	Octet 1	Octet 2	Octet 3	Octet 0	Octet 1	Octet 2	Octet 3
0	M0S0[15:8]	M0S0[7:0]	M1S0[15:8]	M1S0[7:0]	M0S1[15:8]	M0S1[7:0]	M1S1[15:8]	M1S1[7:0]

表9 模式 5 组帧：

	0x570_Model_5 (L = 2, M = 2, F = 2, S = 1, NP = 16)			
	Frame 0		Frame 1	
Lanes	Octet 0	Octet 1	Octet 0	Octet 1
0	M0S0[15:8]	M0S0[7:0]	M0S1[15:8]	M0S1[7:0]
1	M1S0[15:8]	M1S0[7:0]	M1S1[15:8]	M1S1[7:0]

表10 模式 6 组帧：

	0x570_Model6_ (L = 1, M = 4, F = 8, S = 1, NP = 16) （必须开加扰）							
	Frame 0							
Lanes	Octet 0	Octet 1	Octet 2	Octet 3	Octet 4	Octet 5	Octet 6	Octet 7
0	M0S0[15:8]	M0S0[7:0]	M1S0[15:8]	M1S0[7:0]	M2S0[15:8]	M2S0[7:0]	M3S0[15:8]	M3S0[7:0]

表11 模式 7 组帧：

	0x570_Model_7 (L = 2, M = 4, F = 4, S = 1, NP = 16)							
	Frame 0				Frame 1			
Lanes	Octet 0	Octet 1	Octet 2	Octet 3	Octet 0	Octet 1	Octet 2	Octet 3
0	M0S0[15:8]	M0S0[7:0]	M1S0[15:8]	M1S0[7:0]	M0S1[15:8]	M0S1[7:0]	M1S1[15:8]	M1S1[7:0]
1	M2S0[15:8]	M2S0[7:0]	M3S0[15:8]	M3S0[7:0]	M2S1[15:8]	M2S1[7:0]	M3S1[15:8]	M3S1[7:0]

13、 多芯片同步

图 49 中的流程图描述了 SXA039 中用于多芯片同步的内部机制。由寄存器 0x1FF 中的同步模式位(位 0) 确定，可以通过两种方法进行多芯片同步。每种方法都涉及 SYSREF±信号的不同应用。

Figure 49: SYSREF± capture scenarios and multi-chip synchronization

English: In addition, if the NCO requires continuous synchronization, the SYSREF± pin must also be an integer multiple of the NCO frequency for this function to operate correctly in continuous mode.

Use of a continuous SYSREF± signal is generally not recommended, because a periodic SYSREF± signal may couple into the sampling path, thereby producing spurs in the spectrum.

When in sample synchronization mode (normal mode) (register 0x01FF[0] = 0x0), the input clock divider, the DDCs, the signal monitor block, and the JESD204B link all use the SYSREF± input for synchronization.

To obtain the highest level of timing accuracy, SYSREF± must meet the setup and hold requirements relative to the CLK± input. The setup and hold window monitor in the SXA039 can be used to ensure these requirements are met.

SYSREF± setup and hold window monitor:

中文： 另外，如果 NCO 需要连续同步，SYSREF±引脚还必须是 NCO 频率的整数倍，此功能才能在连续模式下正确运行。

通常不建议使用连续 SYSREF± 信号，因为周期性 SYSREF±信号可能与采样路径耦合，从而在频谱中产生杂散。

当处于采样同步模式(正常模式) (寄存器 0x01FF[0]=0x0)时，输入时钟分频器、DDCs、信号监视器块和 JESD204B 链路都使用 SYSREF± 输入进行同步。

为了获得最高级别的定时精度，SYSREF±必须满足相对于 CLK±输入的建立和保持要求。可以使用 SXA039 中的建立和保持窗口监视器来确保满足这些要求。

SYSREF±建立和保持窗口监视器：

和保持窗口监视器来确保满足这些要求。

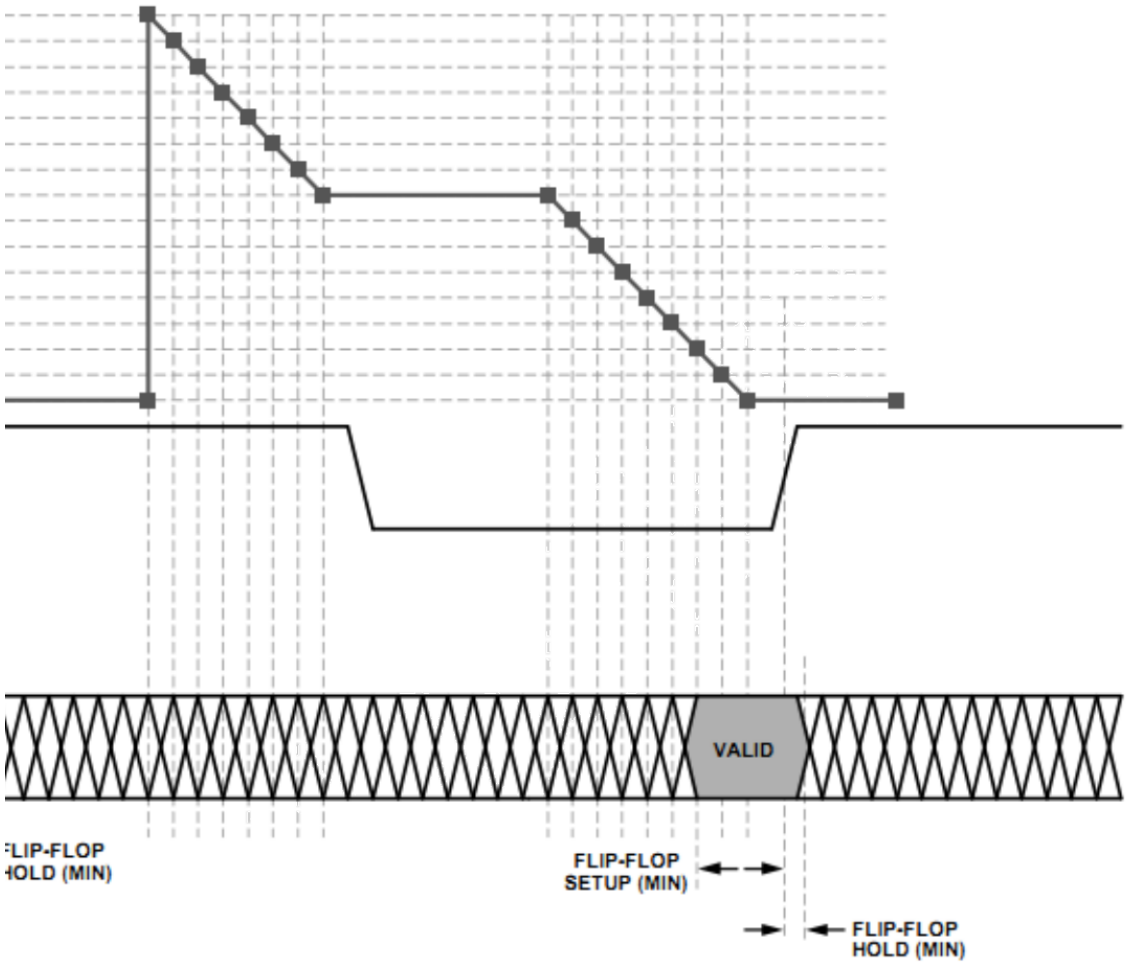


图50　SYSREF±建立时间检测器

Figure 50: SYSREF± setup time detector

使用 SXA039 中的建立和保持窗口监视器来确保满足这些要求。

EF±建立和保持窗口监视器

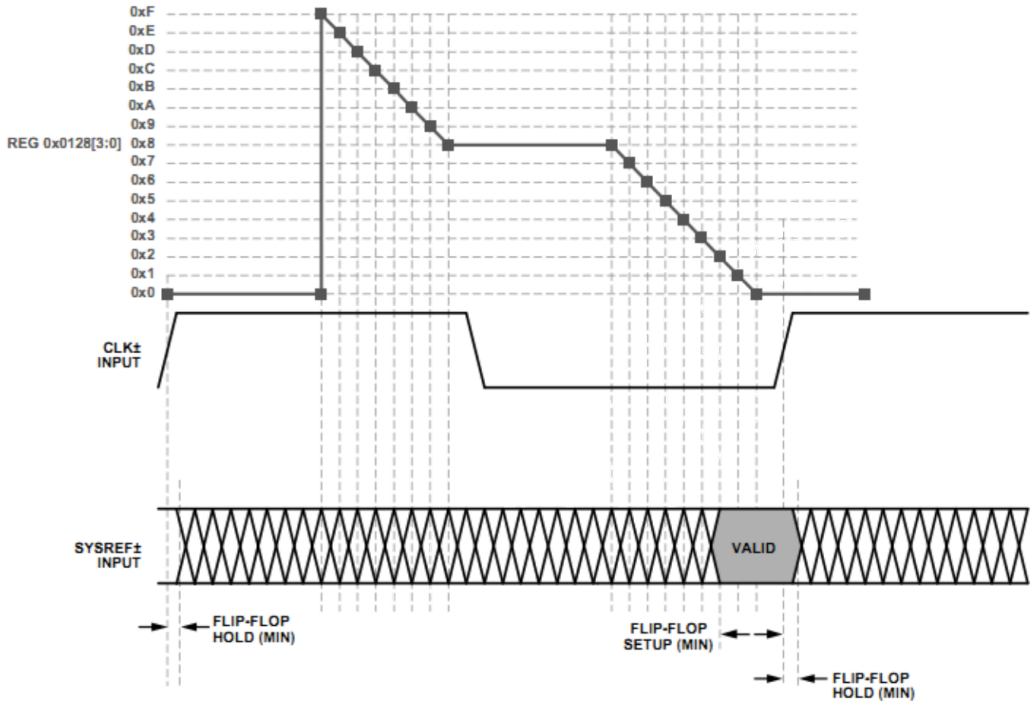


图50　SYSREF±建立时间检测器

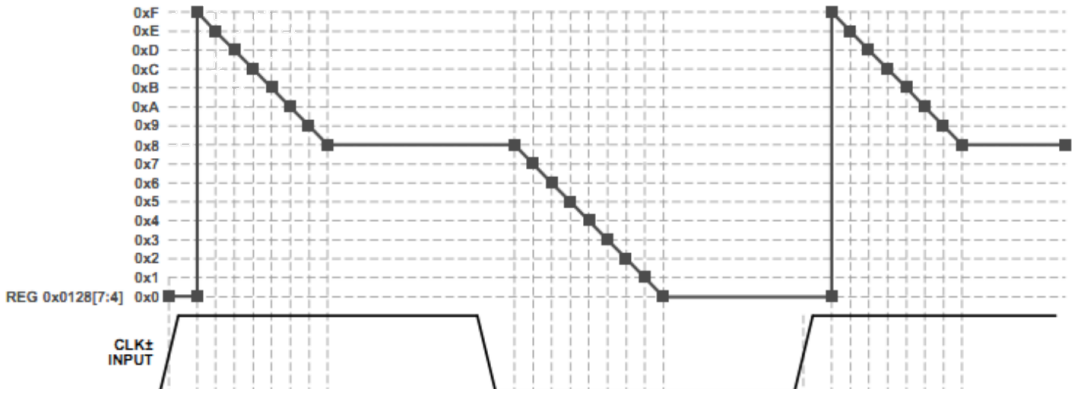


Figure 51: SYSREF± hold time detector

English: To ensure a valid SYSREF signal capture, the SXA039 has a SYSREF± setup and hold window monitor; this feature allows the system designer to determine the position of the SYSREF± signal relative to the CLK± signal through the setup/hold margin read via the register interface. Figures 50 and 51 show the setup and hold status values at different SYSREF± phases. The setup time detector returns the state of the SYSREF± signal before the CLK± edge, while the hold time detector returns the state of the SYSREF signal after the CLK± edge. Register 0x0128 stores the state of SYSREF± and lets the user know whether the SYSREF± signal has been captured by the ADC. The table below shows the description of the contents of register 0x128 and how to interpret them.

中文： 为了确保一个有效的 SYSREF 信号捕获，SXA039 有一个 SYSREF±建立和保持窗口监视器，该特性允许系统设计者通过寄存器读取接口上的建立/保持裕度量来确定 SYSREF±信号相对于 CLK±信号的位置。图 50 和图 51 显示了 SYSREF±不同阶段的建立和保持状态值。建立时间检测器返回 CLK±边缘之前的 SYSREF±信号的

状态，而保持时间检测器返回 CLK±边缘之后的 SYSREF 信号的状态。寄存器 0x0128 存储 SYSREF±的状态，并让用户知道 SYSREF±信号是否被 ADC 捕获。下表显示了寄存器 0x128 的内容描述以及如何解释它们。

表12 / Table 12 — 寄存器 0x128 的内容描述 / Description of the Contents of Register 0x128

寄存器 0x0128，位[7:4]保持状态 / Register 0x0128, Bits [7:4] Hold Status	寄存器 0x0128，位[3：0]建立状态 / Register 0x0128, Bits [3:0] Setup Status	描述 / Description
0x0	0x0 至 0x7	可能有建立错误。这个数字越小，建立余量就越小。/ Possible setup error. The smaller this number, the smaller the setup margin.
0x0 至 0x8	0x8	没有建立或保持错误（最佳保持余量）。/ No setup or hold error (best hold margin).
0x8	0x9 至 0xF	没有建立或保持错误（最佳建立和保持余量）。/ No setup or hold error (best setup and hold margin).
0x8	0x0	没有建立或保持错误（最佳建立余量）。/ No setup or hold error (best setup margin).
0x9 至 0xF	0x0	可能有保持错误。这个数字越大，保持余量越小。/ Possible hold error. The larger this number, the smaller the hold margin.
0x0	0x0	可能有建立或保持错误。/ Possible setup or hold error.

English: Note: ① For all ports marked with positive/negative (such as SYSREF±), use them exactly according to the positive/negative markings. Under normal circumstances, register 0x0120[4] is 0; when the SYSREF± pin is reversed relative to the peripheral clock circuit ±, register 0x0120[4] must be set to 1. ② It is recommended that the setup/hold state be near 0x0128=0x8F (0x8F~0x8C). If the above condition cannot be met, the setup/hold state can be set at 0x0128=0x80, but the SYSREF± signal must be adjusted left/right (moved left/right by more than 100ps) to ensure that the state displayed by register 0x0128 is always 0x80, or that the left-shifted state of the SYSREF± signal shows 0x80 and the right-shifted state shows 0x8F~0x8D.

中文： 注意： ①所有标注了正负的端口（如 SYSREF±等），请准确按照正负标注使用。正常情况下，寄存器 0x0120[4]为 0；当 SYSREF±引脚与外围时钟电路±接反时，寄存器 0x0120[4]需置为 1。 ②推荐建立保持状态在 0x0128=0x8F 附近（0x8F~0x8C）。如果不能满足上诉条件，可以将建立保持状态设置在 0x0128=0x80，但是需要左右调节 SYSREF±信号（左右挪动 100ps 以上），保证寄存器 0x0128 显示的状态都是 0x80，或者 SYSREF±信号左移状态显示 0x80，右移状态显示 0x8F~0x8D。

14、DDC 和 204B 使用示例及推荐 / 14. DDC and 204B Usage Examples and Recommendations

English: Scrambling is recommended for all 204B modes (0x58B[7]=1), N'=16.

中文： 204B 所有模式推荐开加扰（0x58B[7]=1），N'=16。

14.1 推荐模式 1：2 个 DDC，HB1+HB2+HB3+HB4，实输入，实输出 / 14.1 Recommended Mode 1: 2 DDCs, HB1+HB2+HB3+HB4, Real Input, Real Output

English: Configuration sequence: Configure the NCO frequency as required; 0x0200=0x22; real input + 2 DDCs 0x0201=0x03; DCM=8 0x0310=0x4A; 6dB on + complex-to-real + HB1+HB2+HB3+HB4 0x0330=0x4A; 6dB on + complex-to-real + HB1+HB2+HB3+HB4 User configures the remaining DDC parameters; configured by the user according to the actual situation 204B configuration: 0x570=0A ; L=1, M=2, F=4, S=1 Lane rate = Fs/8*40; configure the value of register 0x056E according to the lane rate 0x0001=0x02

中文： 配置顺序如下： 根据需求配置 NCO 频率； 0x0200=0x22；实数输入+2 个 DDC 0x0201=0x03；DCM=8 0x0310=0x4A；6dB 开+复转实+ HB1+HB2+HB3+HB4 0x0330=0x4A；6dB 开+复转实+ HB1+HB2+HB3+HB4 用户配置 DDC 其余参数；根据用户实际情况配置 204B 配置：0x570=0A ; L=1, M=2, F=4, S=1 Lane rate= Fs /8*40, 根据 Lane rate 配置寄存器 0x056E 的值 0x0001=0x02

14.2 推荐模式 2：2 个 DDC，HB1+HB2+HB3+HB4，实输入，复输出 / 14.2 Recommended Mode 2: 2 DDCs, HB1+HB2+HB3+HB4, Real Input, Complex Output

English: Configuration sequence: Configure the NCO frequency as required; 0x0200=0x02; real input + 2 DDCs 0x0201=0x04; DCM=16 0x0310=0x42; real input + 6dB on + HB1+HB2+HB3+HB4 0x0330=0x42; real input + 6dB on + HB1+HB2+HB3+HB4 User configures the remaining DDC parameters; configured by the user according to the actual situation 204B configuration: 0x570=0x13; L=1, M=4, F=8, S=1 Lane rate = Fs/16*80; configure the value of register 0x056E according to the lane rate 0x0001=0x02 Note: scrambling must be enabled for the 204B mode of Mode 2.

中文： 配置顺序如下： 根据需求配置 NCO 频率； 0x0200=0x02；实数输入+2 个 DDC 0x0201=0x04；DCM=16 0x0310=0x42；实数输入+6dB 开+ HB1+HB2+HB3+HB4 0x0330=0x42；实数输入+6dB 开+ HB1+HB2+HB3+HB4 用户配置 DDC 其余参数；根据用户实际情况配置 204B 配置：0x570=0x13; L=1, M=4, F=8, S=1 Lane rate= Fs /16*80,根据 Lane rate 配置寄存器 0x056E 的值 0x0001=0x02, 备注：Mode2 的 204B 模式必须开加扰

14.3 推荐模式 3：2 个 DDC，HB1+HB2，实输入，实输出 / 14.3 Recommended Mode 3: 2 DDCs, HB1+HB2, Real Input, Real Output

English: Configuration sequence: Configure the NCO frequency as required; 0x0200=0x22; real input + 2 DDCs 0x0201=0x01; DCM=2 0x0310=0x48; 6dB on + complex-to-real + HB1+HB2 0x0330=0x48; 6dB on + complex-to-real + HB1+HB2 User configures the remaining DDC parameters; configured by the user according to the actual situation 204B configuration: 0x570=0A ; L=1, M=2, F=4, S=1 Lane rate = Fs/2*40; configure the value of register 0x056E according to the lane rate 0x0001=0x02

中文： 配置顺序如下： 根据需求配置 NCO 频率； 0x0200=0x22；实数输入+2 个 DDC 0x0201=0x01；DCM=2 0x0310=0x48；6dB 开+复转实+ HB1+HB2 0x0330=0x48；6dB 开+复转实+ HB1+HB2 用户配置 DDC 其余参数；根据用户实际情况配置 204B 配置：0x570=0A ; L=1, M=2, F=4, S=1 Lane rate= Fs /2*40,根据 Lane rate 配置寄存器 0x056E 的值 0x0001=0x02

14.4 推荐模式 4：2 个 DDC，HB1，实输入，复输出 / 14.4 Recommended Mode 4: 2 DDCs, HB1, Real Input, Complex Output

English: Configuration sequence: Configure the NCO frequency as required; 0x0200=0x02; real input + 2 DDCs 0x0201=0x01; DCM=2 0x0310=0x43; DDC0 real input + 6dB on + HB1 filtering 0x0330=0x43; DDC1 real input + 6dB on + HB1 filtering User configures the remaining DDC parameters; configured by the user according to the actual situation 204B configuration: 0x570=0x52; L=2, M=4, F=4, S=1 Lane rate = Fs/2*40; configure the value of register 0x056E according to the lane rate 0x0001=0x02

中文： 配置顺序如下： 根据需求配置 NCO 频率； 0x0200=0x02；实数输入+2 个 DDC 0x0201=0x01；DCM=2 0x0310=0x43；DDC0 实数输入+6dB 开+ HB1 滤波 0x0330=0x43；DDC1 实数输入+6dB 开+ HB1 滤波 用户配置 DDC 其余参数；根据用户实际情况配置 204B 配置：0x570=0x52； L=2, M=4, F=4, S=1 Lane rate= Fs /2*40,根据 Lane rate 配置寄存器 0x056E 的值 0x0001=0x02

14.5 推荐模式 5：1 个 DDC，HB1，实输入，实输出 / 14.5 Recommended Mode 5: 1 DDC, HB1, Real Input, Real Output

English: Configuration sequence: Configure the NCO frequency as required; 0x0200=0x21; real input + 1 DDC 0x0201=0x00; DCM=1 0x0310=0x4B; DDC0 real input + 6dB on + HB1 filtering User configures the remaining DDC parameters; configured by the user according to the actual situation 204B configuration: 0x570=0x40; L=2, M=1, F=1, S=1 Lane rate = Fs/1*10; configure the value of register 0x056E according to the lane rate 0x0001=0x02

中文： 配置顺序如下： 根据需求配置 NCO 频率； 0x0200=0x21；实数输入+1 个 DDC 0x0201=0x00；DCM=1 0x0310=0x4B；DDC0 实数输入+6dB 开+ HB1 滤波 用户配置 DDC 其余参数；根据用户实际情况配置 s 204B 配置：0x570=0x40； L=2, M=1,F=1,S=1 Lane rate= Fs /1*10,根据 Lane rate 配置寄存器 0x056E 的值 0x0001=0x02

15、同步配置示例 / 15. Synchronization Configuration Examples

15.1 准备工作 / 15.1 Preparation

English: ① Check whether the clock chip ± ends are consistent with SYSREF±; if consistent, set register 0x0120 to 0x04; if not consistent, set it to 0x14. ② While meeting the above conditions, the SYSREF-to-clock setup and hold times must also be met; register 0x0128 can be read to check the setup/hold time status. ③ The SYSREF signal of this circuit supports LVDS/LVPECL modes. To ensure the quality of the circuit's SYSREF reception, the LVPECL mode with strong anti-interference capability is recommended.

中文： ①检查时钟芯片±端与 SYSREF±是否一致，如果一致，则寄存器 0x0120 设置成 0x04，如果不一致则设置成 0x14。 ②在满足上诉条件下，还需满足 SYSREF 与时钟的建立保持时间，可以读 0x0128 寄存器查看建立保持时间状态。 ③本电路的 SYSREF 信号支持 LVDS/LVPECL 模式。为了保证电路接收 SYSREF 的质量，建议使用抗干扰能力强的 LVPECL 模式。

15.2 建议步骤（以推荐模式 4 为例，使用 one-shoot 模式进行同步）/ 15.2 Recommended Steps (Taking Recommended Mode 4 as an Example, Using One-Shot Mode for Synchronization)

15.2.1 上电后初始配置 / 15.2.1 Initial Configuration After Power-Up

English: Ensure the device clock provided by the clock chip is stable and SYSREF is in the "low level" state. 0x0000=0x81; prevents unstable power-up of the supplies from causing the circuit to enter an abnormal state. Wait 10ms (recommended); 0x0108=0x00 (recommended); input clock divide-by-1. 0x20F0=0x05; 0x2007=0x0C; 0x2007=0x00; (algorithm reset) 0x0200=0x02; 2 DDCs 0x0201=0x01; DCM=2 0x0310=0x43; DDC0 real input + 6dB on + HB1 filtering 0x0330=0x43; DDC1 real input + 6dB on + HB1 filtering 0x0570=0x52; 204B mode L=2, M=4, F=4, S=1 0x058B=0x81; scrambling on 0x0311=xxxx; configured by the user according to the actual situation 0x0331=xxxx; configured by the user according to the actual situation Configure FTW; configured by the user according to the actual situation Configure POW; configured by the user according to the actual situation Remaining user configuration; configured by the user according to the actual situation 0x056E=xxxx; user configures the lane rate according to the actual situation 0x010A=0x80; enable input clock divider synchronization; this function must be enabled for divide-by-2 and divide-by-4 0x0120=0x00; synchronization off 0x0300=0x00; DDC synchronization off 0x0001=0x02; soft reset Wait 5ms (recommended) 0x1228=0x4F; digital interface configuration 0x1228=0x0F; digital interface configuration 0x1222=0x04; digital interface configuration 0x1222=0x00; digital interface configuration 0x1262=0x08; digital interface configuration 0x1262=0x00; digital interface configuration Wait 10ms (recommended) 0x0300=0x03; enable DDC synchronization, one-shot 0x0121=0x00; set one-shot mode 0x0120=0x04; enable synchronization Configure the clock chip to send a SYSREF pulse.

中文： 确保时钟芯片提供的器件时钟稳定，SYSREF 处于"低电平"状态 0x0000=0x81；防止电源上电不稳定，导致电路进入异常状态 建议等待 10ms； 建议 0x0108=0x00；输入时钟 1 分频 0x20F0=0x05； 0x2007=0x0C；0x2007=0x00；(算法复位) 0x0200=0x02；2 个 DDC 0x0201=0x01；DCM=2 0x0310=0x43；DDC0 实数输入 +6dB 开+ HB1 滤波 0x0330=0x43；DDC1 实数输入+6dB 开+ HB1 滤波 0x0570=0x52；204B 模式为 L=2, M=4,F=4,S=1 0x058B=0x81；开加扰 0x0311=xxxx；用户根据实际情况配置 0x0331=xxxx；用户根据实际情况配置 配置 FTW；用户根据实际情况配置 配置 POW；用户根据实际情况配置 其余用户配置；用户根据实际情况配置 0x056E=xxxx；用户根据实际情况配置 lane 速率 0x010A=0x80；开启输入时钟分频同步；二、四分频必须开启此功能 0x0120=0x00；关闭同步 0x0300=0x00；关闭 DDC 同步 0x0001=0x02；软复位 建议等待 5ms 0x1228=0x4F；数字接口配置 0x1228=0x0F；数字接口配置 0x1222=0x04；数字接口配置 0x1222=0x00；数字接口配置 0x1262=0x08；数字接口配置 0x1262=0x00；数字接口配置 建议等待 10ms 0x0300=0x03；开启 DDC 同步，one-shoot 0x0121=0x00；设置 one-shoot 模式 0x0120=0x04；开启同步 配置时钟芯片发送 SYSREF 脉冲

15.2.2 在器件不掉电情况下，改变数字功能的工作模式后，同步配置步骤 / 15.2.2 Synchronization Configuration Steps After Changing the Digital Function Operating Mode Without Powering Down the Device

English: Configure the digital function mode; configured by the user according to the actual situation. Configure the 204B mode and lane rate; the user configures the lane rate according to the actual situation. 0x0120=0x00; ensure synchronization is off. 0x0300=0x00; ensure DDC synchronization is off. 0x0001=0x02; soft reset. Wait 5ms (recommended). 0x1228=0x4F; digital interface configuration. 0x1228=0x0F; digital interface configuration. 0x1222=0x04; digital interface configuration. 0x1222=0x00; digital interface configuration. 0x1262=0x08; digital interface configuration. 0x1262=0x00; digital interface configuration.

Wait 10ms (recommended). 0x0300=0x03; enable DDC synchronization, one-shot. 0x0121=0x00; set one-shot mode. 0x0120=0x04; enable synchronization. Configure the clock chip to send a SYSREF pulse.

中文： 配置数字功能模式；用户根据实际情况配置 配置 204B 模式以及 lane 速率；用户根据实际情况配置 lane 速率 0x0120=0x00；确保同步关闭 0x0300=0x00；确保 DDC 同步关闭 0x0001=0x02；软复位 建议等待 5ms 0x1228=0x4F；数字接口配置 0x1228=0x0F；数字接口配置 0x1222=0x04；数字接口配置 0x1222=0x00；数字接口配置 0x1262=0x08；数字接口配置 0x1262=0x00；数字接口配置 建议等待 10ms 0x0300=0x03；开启 DDC 同步，one-shoot 0x0121=0x00；设置 one-shoot 模式 0x0120=0x04；开启同步 配置时钟芯片发送 SYSREF 脉冲

15.3 建议步骤（以推荐模式 4 为例，使用 Continuous 模式进行同步）/ 15.3 Recommended Steps (Taking Recommended Mode 4 as an Example, Using Continuous Mode for Synchronization)

15.3.1 上电后初始配置 / 15.3.1 Initial Configuration After Power-Up

English: Ensure the device clock provided by the clock chip is stable; turning off the SYSREF signal of the clock chip is recommended; 0x0000=0x81; prevents unstable power-up of the supplies from causing the circuit to enter an abnormal state. Wait 10ms (recommended); 0x0108=0x00 (recommended); input clock divide-by-1. 0x20F0=0x05; 0x2007=0x0C; 0x2007=0x00; (algorithm reset) 0x0200=0x02; 2 DDCs 0x0201=0x01; DCM=2 0x0310=0x43; DDC0 real input + 6dB on + HB1 filtering 0x0330=0x43; DDC1 real input + 6dB on + HB1 filtering 0x0570=0x52; 204B mode L=2, M=4, F=4, S=1 0x058B=0x81; scrambling on 0x0311=xxxx; configured by the user according to the actual situation 0x0331=xxxx; configured by the user according to the actual situation Configure FTW; configured by the user according to the actual situation; note that the FTW frequency must be an integer multiple of the SYSREF frequency. Configure POW; configured by the user according to the actual situation Remaining user configuration; configured by the user according to the actual situation 0x056E=xxxx; user configures the lane rate according to the actual situation 0x010A=0x80; enable input clock divider synchronization; this function must be enabled for divide-by-2 and divide-by-4 0x0120=0x00; synchronization off 0x0300=0x00; DDC synchronization off 0x0001=0x02; soft reset Wait 5ms (recommended) 0x1228=0x4F; digital interface configuration 0x1228=0x0F; digital interface configuration 0x1222=0x04; digital interface configuration 0x1222=0x00; digital interface configuration 0x1262=0x08; digital interface configuration 0x1262=0x00; digital interface configuration Wait 10ms (recommended) 0x0300=0x01; enable DDC synchronization, Continuous mode 0x0120=0x02; enable synchronization Configure the clock chip to send SYSREF.

中文： 确保时钟芯片提供的器件时钟稳定，建议时钟芯片的 SYSREF 信号关闭； 0x0000=0x81；防止电源上电不稳定，导致电路进入异常状态 建议等待 10ms； 建议 0x0108=0x00；输入时钟 1 分频 0x20F0=0x05；0x2007=0x0C； 0x2007=0x00；(算法复位) 0x0200=0x02；2 个 DDC 0x0201=0x01；DCM=2 0x0310=0x43；DDC0 实数输入+6dB 开+ HB1 滤波 0x0330=0x43；DDC1 实数输入+6dB 开+ HB1 滤波 0x0570=0x52；204B 模式为 L=2, M=4,F=4,S=1 0x058B=0x81；开加扰 0x0311=xxxx；用户根据实际情况配置 0x0331=xxxx；用户根据实际情况配置 配置 FTW；用户根据实际情况配置，需要注意的是，FTW 的频率必须是 SYSREF 频率的整数倍。配置 POW；用户根据实际情况配置 其余用户配置；用户根据实际情况配置 0x056E=xxxx；用户根据实际情况配置 lane 速率 0x010A=0x80；开启输入时钟分频同步；二、四分频必须开启此功能 0x0120=0x00；关闭同步 0x0300=0x00；关闭 DDC 同步 0x0001=0x02；软复位 建议等待 5ms 0x1228=0x4F；数字接口配置 0x1228=0x0F；数字接口配置 0x1222=0x04；数字接口配置 0x1222=0x00；数字接口配置 0x1262=0x08；数字接口配置 0x1262=0x00；数字接口配置 建议等待 10ms 0x0300=0x01；开启 DDC 同步，Continuous 模式 0x0120=0x02；开启同步 配置时钟芯片发送 SYSREF

15.3.2 在器件不掉电情况下，改变数字功能的工作模式后，同步配置步骤 / 15.3.2 Synchronization Configuration Steps After Changing the Digital Function Operating Mode Without Powering Down the Device

English: Turning off the SYSREF signal of the clock chip is recommended; Configure the digital function mode; configured by the user according to the actual situation. Configure the 204B mode and lane rate; the user configures the lane rate according to the actual situation. 0x0120=0x00; ensure synchronization is off. 0x0300=0x00; ensure DDC synchronization is off. 0x0001=0x02; soft reset. Wait 5ms (recommended). 0x1228=0x4F; digital interface configuration. 0x1228=0x0F; digital interface configuration. 0x1222=0x04; digital interface configuration. 0x1222=0x00; digital interface configuration. 0x1262=0x08; digital interface configuration. 0x1262=0x00; digital interface configuration. Wait 10ms (recommended). 0x010A=0x80 ; enable clock divider synchronization. If the clock divider is divide-by-1, this step is optional; if the clock divider is not divide-by-1, this step is mandatory. 0x0300=0x01; enable DDC synchronization, Continuous. 0x0120=0x02; enable synchronization. Configure the clock chip to send SYSREF.

中文： 建议关闭时钟芯片的 SYSREF 信号； 配置数字功能模式；用户根据实际情况配置 配置 204B 模式以及 lane 速率；用户根据实际情况配置 lane 速率 0x0120=0x00；确保同步关闭 0x0300=0x00；确保 DDC 同步关闭 0x0001=0x02；软复位 建议等待 5ms 0x1228=0x4F；数字接口配置 0x1228=0x0F；数字接口配置 0x1222=0x04；数字接口配置 0x1222=0x00；数字接口配置 0x1262=0x08；数字接口配置 0x1262=0x00；数字接口配置 建议等待 10ms 0x010A=80；开启时钟分频器同步。如果时钟分频器是 1 分频，此步骤可选；如果时钟分频器不是 1 分频，则必须有此步骤。 0x0300=0x01；开启 DDC 同步，Continuous 0x0120=0x02；开启同步 配置时钟芯片发送 SYSREF

寄存器 / Registers

1、内存映射 / 1. Memory Map

English: Read the memory map register table. Each address in the memory map register table has 8 bits. The memory map is divided into the following sections: - Analog circuit SPI registers (0x0000 to 0x000F) - Clock/SYSREF/chip power-down pin control registers (0x003F to 0x01FF) - Chip operating mode control registers (0x0200 to 0x0201) - Fast detect and signal monitoring control registers (0x0245 to 0x027A) - DDC function registers (0x0300 to 0x03CD) - Digital output and test mode registers (0x0550 to 0x05CB and 0x1222 to 0x01262) - VREF/analog input control registers (0x18A6 to 0x1A4D and 0x0701 to 0x073B)

The memory map registers record the hexadecimal value of each address in detail. For example, the output sampling mode, register address 0x0561, has a default value of 0x01, which means the lowest bit is 1 and the remaining bits are 0.

中文： 读取内存映射寄存器表。内存映射寄存器表中的每个地址都有 8 位。内存映射分为以下部分： • 模拟电路 SPI 寄存器（0x0000 至 0x000F） • 时钟/SYSREF/芯片掉电引脚控制寄存器（0x003F 至 0x01FF） • 芯片工作模式控制寄存器（0x0200 至 0x0201）• 快速检测和信号监控控制寄存器（0x0245 至 0x027A） • DDC 功能寄存器（0x0300 至 0x03CD） • 数字输出和测试模式寄存器（0x0550 至 0x05CB 和 0x1222 至 0x01262） • VREF/模拟输入控制寄存器（0x18A6 至 0x1A4D 和 0x0701 至 0x073B)

内存映射寄存器详细记录了每个地址的十六进制值。例如输出采样模式，寄存器地址 0x0561，默认值为 0x01，这意味着最低位为 1，其余位为 0。

2、默认值 / 2. Default Values

English: After reset, key registers are loaded with default values. The default values of the registers are in the memory map register table.

中文： 复位后，关键寄存器加载默认值。寄存器的默认值在存储器映射寄存器表中。

3、逻辑电平 / 3. Logic Levels

English: The logic level terms are explained as follows: - "Bit is set" means "the bit is set to logic 1" or "the bit is written with logic 1." - "Bit is cleared" means "the bit is set to logic 0" or "the bit is written with logic 0." - X indicates a don't-care bit.

中文： 逻辑电平术语的解释如下： • "位已设置"即"该位已设置为逻辑 1"或"该位已写入逻辑 1。" • "清除位"即"该位已设置为逻辑 0"或"该位已写入逻辑 0。" • X 表示无关位。

4、通道特定寄存器 / 4. Channel-Specific Registers

English: The SXA039 is a pair of dual-channel data converters ; some channel setting functions, such as the buffer control register (register 0x1A4C), can have a different value for each channel. In this case, the register and bit addresses of each channel are basically the same. Register 0x0008 is used to configure channel A/C or channel B/D, while register 0x0009 is used to select a different "pair", i.e., to select the "A/B pair" or the "C/D pair". In a write cycle, if both 0x0008 and 0x0009 are set, subsequent writes affect the registers of all four channels. In a read cycle, 0x0008 sets only channel A/C or channel B/D to read registers; if 0x0009 selects the "A/B pair", channel A or channel B is read; if 0x0009 selects the "C/D pair", channel C or channel D is read. If 0x0008 is also set, then if 0x0009 selects the "A/B pair", channel A is read; if 0x0009 selects the "C/D pair", channel C is read. If both 0x0008 and 0x0009 are set, channel A is read. All other registers and bits are considered global, and changes to these registers and bits affect the entire device, and independent setting of channel functions between channels is not allowed. For example, the settings in register 0x0005 do not affect global registers and bits.

中文： SXA039 是作为一对双通道数据转换器，一些通道设置功能，如缓冲控制寄存器（寄存器 0x1A4C），每个通道可以是不同的值。在这种情况下，每个通道的寄存器和位地址基本一致。寄存器 0x0008 用于配置通道 A/C 或通道 B/D，而寄存器 0x0009 用于配置选中不同的"对"，即选中"A/B 对"或者"C/D 对"。在写周期，如果 0x0008 和 0x0009 都设置了，后续的写入会影响四个通道的寄存器。在读周期中，0x0008 只设置通道 A/C 或通道 B/D 读取寄存器；如果 0x0009 设置了"A/B 对"，则读取 A 通道或者 B 通道；如果 0x0009 设置了"C/D 对",则读取 C 通道或者 D 通道。如果 0x008 同时设置，则如果 0x0009 设置了"A/B 对"，则读取 A 通道；如果 0x0009 设置了"C/D 对",则读取 C 通道。如果 0x0008 和 0x0009 都设置了，那么读取 A 通道。所有其他寄存器和位都被认为是全局的，并且对这些寄存器和位的更改会影响整个设备，并且通道之间不允许独立设置通道功能。如寄存器 0x0005 中的设置不影响全局寄存器和位。

5、SPI 软复位 / 5. SPI Soft Reset

English: After writing 0x81 to register 0x0000 to issue a soft reset command, 10ms is required before recovery. When used in application settings, ensure that sufficient delay is programmed into the firmware for the soft reset before starting operation.

中文： 将 0x81 打到寄存器 0x0000 发出软复位指令后，需要 10ms 才能恢复。当用于应用设置时，确保在开始运行之前软复位编程到固件中有足够的延迟。

6、内存映射寄存器表 / 6. Memory Map Register Table

表13 / Table 13 — 模拟设备 SPI 寄存器 / Analog Device SPI Registers

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0000	Global map SPI Configuration A	7	软复位镜像（自清零） Soft reset mirror (self-clearing)	0 1	发出软复位时，用户必须等待 5 毫秒才能写入其它寄存器，以提供足够的时间来完成引导加载程序。 When issuing a soft reset, the user must wait 5 ms before writing other registers to provide sufficient time to complete the boot loader. 什么也不做。 Do nothing. 重置 SPI 和寄存器（自清零）。 Reset SPI and registers (self-clearing).	0x0	读/写、自清零 Read/ write, self-clearing
0x0000	Global map SPI Configuration A	6	LSB 优先镜像 LSB-first mirror	1 0	对于所有 SPI 操作，最低有效位优先移动。 For all SPI operations, the least significant bit is shifted first. 对于所有 SPI 操作，最高有效位优先移动。 For all SPI operations, the most significant bit is shifted first.	0x0	读/写 Read/ write
0x0000	Global map SPI Configuration A	5	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0000	Global map SPI Configuration A	[4:3]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0000	Global map SPI Configuration A	2	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0000	Global map SPI Configuration A	1	LSB 优先 LSB first	1 0	对于所有 SPI 操作，最低有效位优先移动。 For all SPI operations, the least significant bit is shifted first. 对于所有 SPI 操作，最高有效位优先移动。 For all SPI operations, the most significant bit is shifted first.	0x0	读/写 Read/ write
0x0000	Global map SPI Configuration A	0	软复位（自清零） Soft reset (self-clearing)	0 1	发出软复位时，用户必须等待 5 毫秒才能写入其它寄存器，以提供足够的时间来完成引导加载程序。 When issuing a soft reset, the user must wait 5 ms before writing other registers to provide sufficient time to complete the boot loader. 什么也不做。 Do nothing. 重置 SPI 和寄存器（自清零）。 Reset SPI and registers (self-clearing).	0x0	读/写、自清零 Read/ write, self-clearing
0x0001	Global map SPI Configuration B	[7:2]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0001		1	数据路径软复位（自清		正常操作。 Normal operation.	0x0	读/写、自清零

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	Global map SPI Configuration B		零） Datapath soft reset (self-clearing)	0 1	数据路径软复位（自清零）。 Datapath soft reset (self-clearing).		Read/write, self-clearing
0x0001	Global map SPI Configuration B	0	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0002	Pair map Chip configuration (local)	[7:2]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0002	Pair map Chip configuration (local)	[1:0]	通道电源模式 Channel power mode	00 10 11	通道电源模式。 Channel power mode. 正常模式（通电）。 Normal mode (powered). 待机模式；禁用数字数据路径时钟；启用 JESD204B 接口。 Standby mode; disable digital datapath clocks; enable JESD204B interface. 掉电模式；禁用数字数据通道时钟；数字数据路径保持复位；禁用 JESD204B 接口。 Power-down mode; disable digital data channel clocks; digital datapath held in reset; disable JESD204B interface.	0x0	读/写 Read/write
0x0008	Pair map Device index	[7:2]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0008	Pair map Device index	1	通道 B/D Channel B/D	0 1	ADC Core B/D 不接收下一个 SPI 命令。 ADC Core B/D does not receive the next SPI command. ADC Core B/D 接收下一个 SPI 命令。 ADC Core B/D receives the next SPI command.	0x1	读 Read
0x0008	Pair map Device index	0	通道 A/C Channel A/C	0 1	ADC Core A/C 不接收下一个 SPI 命令。 ADC Core A/C does not receive the next SPI command. ADC Core A/C 接收下一个 SPI 命令。 ADC Core A/C receives the next SPI command.	0x1	读/写 Read/write
0x0009	Global map Pair index	[7:2]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0009	Global map Pair index	1	对 C/D Pair C/D	0 1	ADC Core C/D 不接收下一个 SPI 命令。 ADC Core C/D does not receive the next SPI command. ADC Core C/D 接收下一个 SPI 命令。 ADC Core C/D receives the next SPI command.	0x1	读/写 Read/write
0x0009	Global map Pair index	0	对 A/B Pair A/B	0 1	ADC Core A/B 不接收下一个 SPI 命令。 ADC Core A/B does not receive the next SPI command. ADC Core A/B 接收下一个 SPI 命令。 ADC Core A/B receives the next SPI command.	0x1	读/写 Read/write
0x000A	Pair map Scratch pad	[7:0]			芯片抓取板寄存器。此寄存器为软件调试提供一致的内存位置。 Chip scratch pad register. This register	0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			抓取板 Scratch pad		provides a consistent memory location for software debugging.		读/写 Read/ write
0x000F	Pair map Transfer	[7:1]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x000F	Pair map Transfer	0	芯片转换 Chip transfer	0 1	自清零芯片转换位。当 DDC 相位更新模式（寄存器 0x0300，位 7）=1 时，此位用于更新 DDC FTW/POW 量和相位偏移寄存器，这使得同步更新 DDC 混频器频率成为可能。该位还用于更新可编程滤波器（PFILT）的系数。 Self-clearing chip transfer bit. When DDC phase update mode (register 0x0300, bit 7) = 1, this bit is used to update the DDC FTW/POW quantities and phase offset registers, which makes synchronous updating of the DDC mixer frequency possible. This bit is also used to update the coefficients of the programmable filter (PFILT). 什么也不做。只有在转移完成后，位才清除。 Do nothing. The bit is cleared only after the transfer completes. 自清零位用来同步从主寄存器到从寄存器的数据传输。 Self-clearing bit used to synchronize data transfer from master registers to slave registers.	0x0	读/写 Read/ write

表14 / Table 14 — 时钟/SYSREF/芯片掉电引脚控制寄存器 / Clock/SYSREF/Chip Power-Down Pin Control Registers

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x003F	Pair map Chip PDWN pin (local)	7	局部芯片 PDWN 封装禁用 Local chip PDWN disable	0 1	功能由寄存器 0x0040，位[7:6]决定。 Function determined by register 0x0040, bits [7:6]. 启用掉电引脚（PDWN/STBY）（默认）。 Enable power-down pin (PDWN/STBY) (default). 禁用/忽略掉电引脚（PDWN/STBY）。 Disable/ignore power-down pin (PDWN/STBY).	0x0	读/写 Read/ write
0x003F	Pair map Chip PDWN pin (local)	[6:0]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0040	Pair map Chip Pin Control 1	[7:6]	芯片 PDWN 引脚功能 Chip PDWN pin function	00 01 10	外部掉电引脚功能。外部掉电引脚（PDWN/STBY）的使用比通道通电模式位的优先级更高。PDWN/STBY 引脚仅用在寄存器 0x0040，位[7:6]=00 或 01 时。 External power-down pin function. Use of the external power-down pin (PDWN/STBY) takes priority over the channel power mode bits. The PDWN/STBY pin is used only when register 0x0040, bits [7:6] = 00 or 01. 掉电引脚（默认）。使用外部掉电引脚（PDWN/	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					STBY）使芯片达到全掉电模式。 Power-down pin (default). Use the external power-down pin (PDWN/STBY) to bring the chip to full power-down mode. 待机引脚。使用外部掉电引脚（PDWN/STBY）使芯片进入待机模式。 Standby pin. Use the external power-down pin (PDWN/STBY) to bring the chip into standby mode. 禁用引脚。忽略掉电引脚（PDWN/STBY）。 Disable pin. Ignore the power-down pin (PDWN/STBY).		
0x0040	Pair map Chip Pin Control 1	[5:3]	芯片 FD_B/D 引脚功能 Chip FD_B/D pin function	000 001 010 111	快速检测 B/D 引脚功能。 Fast detect B/D pin function. 快速检测 B/D 输出。 Fast detect B/D output. JESD204B LMFC 输出。 JESD204B LMFC output. JESD204B internal SYNC 输出 JESD204B internal SYNC output. 禁用。弱掉电配置为输入（默认）。 Disabled. Weak power-down configured as input (default).	0x7	读/写 Read/ write
0x0040	Pair map Chip Pin Control 1	[2:0]	芯片 FD_A/C 引脚功能 Chip FD_A/C pin function	000 001 010 111	快速检测 A/C 引脚功能。 Fast detect A/C pin function. 快速检测 A/C 输出。 Fast detect A/C output. JESD204B LMFC 输出。 JESD204B LMFC output. JESD204B internal SYNC 输出 JESD204B internal SYNC output. 禁用。弱掉电配置为输入（默认）。 Disabled. Weak power-down configured as input (default).	0x7	读/写 Read/ write
0x0108	Pair map Clock divider control	[7:3]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0108	Pair map Clock divider control	[2:0]	输入时钟分频器 Input clock divider	00 01 11	1 分频 Divide by 1. 2 分频（默认） Divide by 2 (default). 4 分频 Divide by 4.	0x1	读/写 Read/ write
0x0109	Pair map Clock divider phase (local)	[7:4]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0109	Pair map Clock divider	[3:0]	时钟分频器相位偏移	0000 0001 0010	0 输入时钟周期延迟。 0 input clock cycle delay. ½输入时钟周期延迟。	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	phase (local)		Clock divider phase offset	… 1110 1111	½ input clock cycle delay. 1 输入时钟周期延迟。 1 input clock cycle delay. … 7 输入时钟周期延迟。 7 input clock cycle delay. 7½输入时钟周期延迟。 7½ input clock cycle delay.		
0x010A	Pair map Clock divider and SYSREF control	7	时钟分频器自动相位调整启用 Clock divider automatic phase adjustment enable	0 1	时钟分频器自动相位调整启用。启用时，寄存器 0x0129，位[3:0]包含了在捕获 SYSREF 的分频器的相位。实际分频器相位偏移=寄存器 0x0129，位[3:0]+寄存器 0x0109，位[3:0]。 Clock divider automatic phase adjustment enable. When enabled, register 0x0129, bits [3:0] contain the phase of the divider at SYSREF capture. Actual divider phase offset = register 0x0129, bits [3:0] + register 0x0109, bits [3:0]. 不通过 SYSREF±调整时钟相位（禁用）。 Do not adjust clock phase via SYSREF± (disabled). SYSREF 自动调节时钟分频器相位（启用）。 SYSREF automatically adjusts the clock divider phase (enabled).	0x0	读/写 Read/ write
0x010A	Pair map Clock divider and SYSREF control	[6:4]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x010A	Pair map Clock divider and SYSREF control	[3:2]	时钟分频器负偏斜窗口 Clock divider negative skew window	00 01 10 11	时钟分频器负偏斜窗口（测量½输入设备时钟）。忽略入设备时钟之前的½个时钟周期数，通过该时钟，忽略捕获的 SYSREF 转换。仅用在寄存器 0x010A，位 7=1 时。寄存器 0x010A，位[3:2]+寄存器 0x010A，位[1:0][寄存器 0x0108，位[2:0]。倾斜允许 SYSREF 采样中存在一些不确定性，而不干扰输入时钟分频器。此外在改变控制字段时，必须禁用 SYSREF（寄存器 0x0120，位[2:1]=0x0）。 Clock divider negative skew window (measured in ½ input device clocks). The number of ½ clock cycles before the input device clock by which captured SYSREF transitions are ignored. Used only when register 0x010A, bit 7 = 1. Register 0x010A, bits [3:2] + register 0x010A, bits [1:0] [register 0x0108, bits [2:0]. Skew allows some uncertainty in SYSREF sampling without disturbing the input clock divider. In addition, when changing control fields, SYSREF must be disabled (register 0x0120, bits [2:1] = 0x0). 无负倾斜；必须准确捕获 SYSREF。 No negative skew; SYSREF must be captured accurately. ½设备时钟负倾斜。 ½ device clock negative skew. 1 设备时钟负倾斜。	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					1 device clock negative skew. 1½设备时钟负倾斜。 1½ device clock negative skew.		
0x010A	Pair map Clock divider and SYSREF control	[1:0]	时钟分频器正偏斜窗口 Clock divider positive skew window	00 01 10 11	时钟分频器正偏斜窗口（测量½输入设备时钟）。 Number of clock cycles after the input device clock by which captured SYSREF transitions are ignored. 仅用在寄存器 0x010A，位 7=1 时。寄存器 0x010A，位[3:2]+寄存器 0x010A，位[1:0][寄存器 0x0108，位[2:0]。倾斜允许 SYSREF 采样中存在一些不确定性，而不干扰输入时钟分频器。此外在改变控制字段时，必须禁用 SYSREF（寄存器 0x0120，位[2:1]=0x0）。 Clock divider positive skew window (measured in ½ input device clocks). Number of clock cycles after the input device clock by which captured SYSREF transitions are ignored. Used only when register 0x010A, bit 7 = 1. Register 0x010A, bits [3:2] + register 0x010A, bits [1:0] [register 0x0108, bits [2:0]. Skew allows some uncertainty in SYSREF sampling without disturbing the input clock divider. In addition, when changing control fields, SYSREF must be disabled (register 0x0120, bits [2:1] = 0x0). 无负倾斜；必须准确捕获 SYSREF。 No negative skew; SYSREF must be captured accurately. ½设备时钟正倾斜。 ½ device clock positive skew. 1 设备时钟正倾斜。 1 device clock positive skew. 1½设备时钟正倾斜。 1½ device clock positive skew.	0x0	读/写 Read/ write
0x010B	Pair map Clock divider SYSREF status	[7:4]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x010B	Pair map Clock divider SYSREF status	[3:0]	时钟分频器 SYSREF 偏移 Clock divider SYSREF offset		时钟分频器相位状态（以½个时钟周期测量）。相位偏移应用于捕获 SYSREF 信号的内部时钟分频器相位。仅当寄存器 0x010A，位 7=1 时使用。当寄存器 0x010A，位 7=1，寄存器 0x010A，位[3:2]=0 十进制，寄存器 0x10A，位[1:0]=0 十进制，时钟分频器 SYSREF 偏移量=寄存器 0x0129，位[3:0]。 Clock divider phase status (measured in ½ clock cycles). The phase offset is applied to the internal clock divider phase that captures the SYSREF signal. Used only when register 0x010A, bit 7 = 1. When register 0x010A, bit 7 = 1, register 0x010A, bits [3:2] = 0 decimal, register 0x10A, bits [1:0] = 0 decimal, the clock divider SYSREF offset = register 0x0129, bits [3:0].	0x0	读 Read
0x0110		[7:3]	保留 Reserved		保留 Reserved.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	Pair map Clock delay control						
0x0110	Pair map Clock delay control	[2:0]	时钟延迟模式选择 Clock delay mode select	000 010 011 100 110	时钟延迟模式选择。与寄存器 0x0111 和寄存器 0x0112 一起使用。 Clock delay mode select. Used together with register 0x0111 and register 0x0112. 无时钟延迟。 No clock delay. 精细延迟：只有 0 到 16 个延迟步骤有效。 Fine delay: only 0 to 16 delay steps are valid. 精细延迟（最低抖动）：只有 0 到 16 个延迟步骤有效。 Fine delay (lowest jitter): only 0 to 16 delay steps are valid. 精细延迟：所有 192 个延迟步骤均有效。 Fine delay: all 192 delay steps are valid. 精细延迟启用（所有 192 个延迟步骤均有效）。超精细延迟启用（所有 128 个延迟步骤均有效）。 Fine delay enabled (all 192 delay steps valid). Super fine delay enabled (all 128 delay steps valid).	0x0	读/写 Read/write
0x0111	Pair map Clock super fine delay (local)	[7:0]	时钟超精细延迟调整 Clock super fine delay adjust	0x00 … 0x08 … 0x80	时钟超精细延迟调整。这是一个无符号控件，用于以 0.25ps 的步长调整超精细采样时钟延迟。这些位仅在寄存器 0x0110，位[2:0]=010 或 110 时使用。 Clock super fine delay adjust. This is an unsigned control used to adjust the super fine sampling clock delay in 0.25ps steps. These bits are used only when register 0x0110, bits [2:0] = 010 or 110. 0 延迟步骤 0 delay steps. … 8 延迟步骤 8 delay steps. … 128 延迟步骤 128 delay steps.	0x0	读/写 Read/write
0x0112	Pair map Clock fine delay (local)	[7:0]	设置时钟精细延迟 Clock fine delay setting	0x00 … 0x08 … 0xC0	时钟精细延迟调整。这是一个无符号控件，用于以 1.725ps 的步长调整精细采样时钟偏移。这些位仅在寄存器 0x0110、位[2:0]=0x2、0x3、0x4 或 0x6 时使用。最小值=0。最大值=192。增量＝1。单位为延迟步长。 Clock fine delay adjust. This is an unsigned control used to adjust the fine sampling clock offset in 1.725ps steps. These bits are used only when register 0x0110, bits [2:0] = 0x2, 0x3, 0x4, or 0x6. Minimum = 0. Maximum = 192. Increment = 1. Unit is delay steps. 0 延迟步骤 0 delay steps. …	0xC0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					8 延迟步骤 8 delay steps. … 192 延迟步骤 192 delay steps.		
0x0113	Pair map Digital clock super fine delay	[7:0	数字时钟超精细延迟调整 Digital clock super fine delay adjust	0x00 … 0x08 … 0x80	时钟超精细延迟调整。这是一个无符号控件，用于以 0.25ps 的步长调整超精细采样时钟延迟。这些位仅在寄存器 0x0110，位[2:0]=010 或 110 时使用。 Clock super fine delay adjust. This is an unsigned control used to adjust the super fine sampling clock delay in 0.25ps steps. These bits are used only when register 0x0110, bits [2:0] = 010 or 110. 0 延迟步骤 0 delay steps. … 8 延迟步骤 8 delay steps. … 128 延迟步骤 128 delay steps.	0x0	读/写 Read/ write
0x0114	Pair map Digital Clock fine delay (local)	[7:0]	设置数字时钟精细延迟 Digital clock fine delay setting	0x00 … 0x08 … 0xC0	时钟精细延迟调整。这是一个无符号控件，用于以 1.725ps 的步长调整精细采样时钟偏移。这些位仅在寄存器 0x0110、位[2:0]=0x2、0x3、0x4 或 0x6 时使用。最小值=0。最大值=192。增量＝1。单位为延迟步长。 Clock fine delay adjust. This is an unsigned control used to adjust the fine sampling clock offset in 1.725ps steps. These bits are used only when register 0x0110, bits [2:0] = 0x2, 0x3, 0x4, or 0x6. Minimum = 0. Maximum = 192. Increment = 1. Unit is delay steps. 0 延迟步骤 0 delay steps. … 8 延迟步骤 8 delay steps. … 192 延迟步骤 192 delay steps.	0xC0	读/写 Read/ write
0x011A	Pair map Clock detection	[7:5]	保留 Reserved			0x2C	读/写 Read/ write
0x011A	Pair map Clock detection	[4:3]	时钟探域值 Clock detection threshold	01 11	域值 1：采样率大于 300MSPS Threshold 1: sample rate greater than 300MSPS. 阈值 2：采样率小于 150MSPS Threshold 2: sample rate less than 150MSPS.	0x1	读/写 Read/ write
0x011A	Pair map Clock detection	[2]	时钟检测使能 Clock detection enable	1 0	Enable Disable	0x1	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x011A	Pair map Clock detection	[1:0]	保留 Reserved		保留 Reserved.		
0x011B	Pair map Clock status	[7:1]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x011B	Pair map Clock status	0	输入时钟检测 Input clock detect	0 1	时钟检测状态。 Clock detection status. 未检测输入时钟。 Input clock not detected. 检测/锁定输入时钟。 Input clock detected/locked.	0x0	读 Read
0x011C	Pair map Clock Duty Cycle Stabilizer 1 control (local)	[7:2]	保留 Reserved		保留 Reserved.	0x0	读/写 Read/ write
0x011C	Pair map Clock Duty Cycle Stabilizer 1 control (local)	1	DCS1 启用 DCS1 enable	0 1	时钟 DCS1 启用。 Clock DCS1 enable. DCS1 旁路。 DCS1 bypassed. DCS1 启用。 DCS1 enabled.	0x1	读/写 Read/ write
0x011C	Pair map Clock Duty Cycle Stabilizer 1 control (local)	0	DCS1 通电 DCS1 power	0 1	时钟 DCS1 通电。 Clock DCS1 power. DCS1 掉电。 DCS1 powered down. DCS1 通电。 DCS1 powered.	0x1	读/写 Read/ write
0x011E	Pair map Clock Duty Cycle Stabilizer 2 control	[7:2]	保留 Reserved		保留 Reserved.	0x2C	读/写 Read/ write
0x011E	Pair map Clock Duty Cycle Stabilizer 2 control	1	DCS2 启用 DCS2 enable	0 1	时钟 DCS2 启用。 Clock DCS2 enable. DCS2 旁路。 DCS2 bypassed. DCS2 启用。 DCS2 enabled.	0x1	读/写 Read/ write
0x011E	Pair map Clock Duty Cycle Stabilizer 2 control	0	DCS2 通电 DCS2 power	0 1	时钟 DCS2 通电。 Clock DCS2 power. DCS2 掉电。 DCS2 powered down. DCS2 通电。 DCS2 powered.	0x1	读/写 Read/ write
0x0120	Pair map SYSREF Control 1	7	保留 Reserved		保留 Reserved.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0120	Pair map SYSREF Control 1	6	SYSREF±标志复位 SYSREF± flag reset	0 1	正常标志操作。 Normal flag operation. SYSREF±标志保持复位（设置/保持错误标志清除）。 SYSREF± flag held in reset (setup/hold error flags cleared).	0x0	读/写 Read/write
0x0120	Pair map SYSREF Control 1	5	保留 Reserved		保留 Reserved.	0x0	读/写 Read/write
0x0120	Pair map SYSREF Control 1	4	SYSREF±转换选择 SYSREF± transition select	0 1	在使用所选 CLK±沿，SYSREF±在低到高转换时有效。更改此设置时，必须禁用 SYSREF±模式选择。 On the selected CLK± edge, SYSREF± is valid on a low-to-high transition. When changing this setting, the SYSREF± mode selection must be disabled. 在使用所选 CLK±沿，SYSREF±在低到高转换时有效。更改此设置时，必须禁用 SYSREF±模式选择。 On the selected CLK± edge, SYSREF± is valid on a low-to-high transition. When changing this setting, the SYSREF± mode selection must be disabled.	0x0	读/写 Read/write
0x0120	Pair map SYSREF Control 1	3	CLK±边缘选择 CLK± edge select	0 1	在 CLK±输入的上升沿捕获。 Capture on the rising edge of the CLK± input. 在 CLK±输入的下降沿捕获。 Capture on the falling edge of the CLK± input.	0x0	读/写 Read/write
0x0120	Pair map SYSREF Control 1	[2:1]	SYSREF±模式选择 SYSREF± mode select	0 1 10	禁用 Disabled. 持续 Continuous. N-shot	0x0	读/写 Read/write
0x0120	Pair map SYSREF Control 1	0	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0121	Pair map SYSREF Control 2	[7:4]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0121	Pair map SYSREF Control 2	[3:0]	SYSREF N-shot 忽略计数器选择 SYSREF N-shot ignore counter select	0000 0001 0010 0011 … 1110 1111	仅下一个 SYSREF±转换（不要忽略）。 Only the next SYSREF± transition (do not ignore). 忽略第一个 SYSREF±转换。 Ignore the first SYSREF± transition. 忽略前两个 SYSREF±转换。 Ignore the first two SYSREF± transitions. 忽略前三个 SYSREF±转换。 Ignore the first three SYSREF± transitions. … 忽略前 14 个 SYSREF±转换。 Ignore the first 14 SYSREF± transitions.	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					忽略前 15 个 SYSREF±转换。 Ignore the first 15 SYSREF± transitions.		
0x0122	Pair map SYSREF Control 3	[7:4]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0122	Pair map SYSREF Control 3	[3:2]	SYSREF 窗口负 SYSREF window negative	00 01 10 11	负倾斜窗口（以样本时钟测量）。采样时钟之前忽略捕获的 SYSREF 转换的时钟周期数。 Negative skew window (measured in sample clocks). Number of clock cycles before the sample clock for which captured SYSREF transitions are ignored. 无负偏斜；必须准确捕获 SYSREF No negative skew; SYSREF must be captured accurately. 负偏斜的一个样本时钟。 Negative skew of one sample clock. 负偏斜的两个样本时钟。 Negative skew of two sample clocks. 负偏斜的三个样本时钟。 Negative skew of three sample clocks.	0x0	读/写 Read/ write
0x0122	Pair map SYSREF Control 3	[1:0]	SYSREF 窗口正 SYSREF window positive	00 01 10 11	正倾斜窗口（以样本时钟测量）。采样时钟之前忽略捕获的 SYSREF 转换的时钟周期数。 Positive skew window (measured in sample clocks). Number of clock cycles before the sample clock for which captured SYSREF transitions are ignored. 无正偏斜；必须准确捕获 SYSREF。 No positive skew; SYSREF must be captured accurately. 正偏斜的一个样本时钟。 Positive skew of one sample clock. 正偏斜的两个样本时钟。 Positive skew of two sample clocks. 正偏斜的三个样本时钟。 Positive skew of three sample clocks.	0x0	读/写 Read/ write
0x0123	Pair map SYSREF Control 4	7	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0123	Pair map SYSREF Control 4	[6:0]	SYSREF±时间戳延迟，位[6:0] SYSREF± timestamp delay, bits [6:0]	0 1 … 1111111	SYSREF±时间戳延迟（以转换器采样时钟周期为单位）。 SYSREF± timestamp delay (in converter sample clock cycles). 0 采样时钟周期延迟。 0 sample clock cycle delay. 1 采样时钟周期延迟。 1 sample clock cycle delay. … 127 采样时钟周期延迟。 127 sample clock cycle delay.	0x00	读/写 Read/ write
0x0128	Pair map SYSREF Status 1	[7:4]	SYSREF±保持状态		SYSREF±保持状态。 SYSREF± hold status.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			SYSREF± hold status				
0x0128	Pair map SYSREF Status 1	[3:0]	SYSREF±设置状态 SYSREF± setup status		SYSREF±设置状态。 SYSREF± setup status.	0x0	读 Read
0x0129	Pair map SYSREF Status 2	[7:4]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0129	Pair map SYSREF Status 2	[3:0]	捕获 SYSREF 时的时钟分频器相位 Clock divider phase at SYSREF capture	0000 0001 0010 0011 0100 … 1111	SYSREF 分频器相位。表示捕获 SYSREF 时分频器的相位。 SYSREF divider phase. Indicates the phase of the divider when SYSREF is captured. 同相位 Same phase. SYSREF±比时钟延迟½个周期。 SYSREF± delayed ½ cycle relative to the clock. SYSREF±比时钟延迟 1 个周期。 SYSREF± delayed 1 cycle relative to the clock. SYSREF±延迟了 1½个输入时钟周期。 SYSREF± delayed 1½ input clock cycles. SYSREF±延迟了 2 个输入时钟周期。 SYSREF± delayed 2 input clock cycles. … SYSREF±延迟了 7½个输入时钟周期。 SYSREF± delayed 7½ input clock cycles.	0x0	读 Read
0x012A	Pair map SYSREF Status 3	[7:0]	SYSREF 计数器，当捕获 SYSREF 时，位[7:0]递增 SYSREF counter, bits [7:0] increment when SYSREF is captured		SYSREF 计数。每当捕获 SYSREF±事件时，运行计数器递增。通过寄存器 0x0120，位 6 复位。在 255 处环绕。仅当寄存器 0x0120，位[2:1]设置为禁用时，才读取这些位。 SYSREF count. Each time a SYSREF± event is captured, the running counter increments. Reset via register 0x0120, bit 6. Wraps around at 255. Read these bits only when register 0x0120, bits [2:1] are set to disabled.	0x0	读 Read
0x01FF	Pair map Chip sync mode	[7:1]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x01FF	Pair map Chip sync mode	0	同步模式 Sync mode	0 1	JESD204B 同步模式。SYSREF 信号重置所有内部时钟分频器。按照 JESD204B 标准的规定，在同步多个芯片时使用此模式。如果任何分频器的相位必须改变，JESD204B 链路将断开。 JESD204B sync mode. The SYSREF signal resets all internal clock dividers. Use this mode when synchronizing multiple chips as specified by the JESD204B standard. If the phase of any divider must change, the JESD204B link will be broken. 时间戳模式。SYSREF 信号不重置内部时钟分频器。在此模式下，JESD204B 链路和信号监视器不受 SYSREF 信号的影响。SYSREF 信号在样本通过 ADC 时为样本加上时间戳，并用作 JESD204B 输出字中的控制位。	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					Timestamp mode. The SYSREF signal does not reset the internal clock dividers. In this mode, the JESD204B link and signal monitor are not affected by the SYSREF signal. The SYSREF signal timestamps samples as they pass through the ADC and is used as a control bit in the JESD204B output word.		

表15 / Table 15 — 芯片工作模式控制寄存器（全是 Pair map）/ Chip Operating Mode Control Registers (All Pair Map)

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0200	Chip mode	[7:6]	保留 Reserved		保留 Reserved.	0x0	读/写 Read/ write
0x0200	Chip mode	5	芯片 Q 忽略 Chip Q ignore	0 1	芯片实数（I）是唯一的选择。 The chip real (I) is the only selection. 选择实数（I）和复数（Q）。 Select real (I) and complex (Q). 仅选择实数（I），忽略复数（Q） Select real (I) only, ignore complex (Q).	0x0	读/写 Read/ write
0x0200	Chip mode	4	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0200	Chip mode	[3:0]	芯片应用模式 Chip application mode	0000 0001 0010	全带宽模式（默认）。 Full-bandwidth mode (default). 一个 DDC 模式（仅 DDC0）。 One DDC mode (DDC0 only). 两个 DDC 模式（仅 DDC0 和 DDC1） Two DDC mode (DDC0 and DDC1 only).	0x0	读/写 Read/ write
0x0201	Chip decimation ratio	[7:4]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0201	Chip decimation ratio	[3:0]	芯片抽取比 Chip decimation ratio	0000 0001 0010 0011 0100	芯片抽取比。 Chip decimation ratio. 全采样率（1 倍抽取，DDCs 旁路）。 Full sample rate (1× decimation, DDCs bypassed). 2 倍抽取 2× decimation. 4 倍抽取 4× decimation. 8 倍抽取 8× decimation.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					16 倍抽取 16× decimation.		

表16 / Table 16 — 快速检测和信号检测控制寄存器（全是 Pair map）/ Fast Detect and Signal Monitor Control Registers (All Pair Map)

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0245	Fast detect control (local)	[7:4]	保留 Reserved		保留。 Reserved.	0x0	R
0x0245	Fast detect control (local)	3	Force FD_A/ FD_B/FD_C/ FD_D 引脚 Force FD pins	0 1	快速检测引脚的正常操作。 Normal operation of the fast detect pins. 在快速检测引脚上强制一个值（见位 2）。 Force a value on the fast detect pins (see bit 2).	0x0	读/写 Read/ write
0x0245	Fast detect control (local)	2	Force FD_A/ FD_B/FD_C/ FD_D 引脚的强制值 Forced value of FD pins		当强制输出时，该通道的快速检测输出引脚设置为该值。 When the output is forced, the fast detect output pin of that channel is set to this value.	0x0	读/写 Read/ write
0x0245	Fast detect control (local)	1	保留 Reserved		保留。 Reserved.	0x0	R
0x0245	Fast detect control (local)	0	启用快速检测输出 Enable fast detect output	0 1	禁用快速检测。 Disable fast detect. 启用快速检测。 Enable fast detect.	0x0	读/写 Read/ write
0x0247	Fast detect up LSB (local)	[7:0]	快速检测阈值上限 Fast detect upper threshold		快速检测阈值上限的 LSBs。与精细 ADC 幅度相比较，该寄存器包含可编程 13 位阈值上限的 8 个 LSBs。 LSBs of the fast detect upper threshold. Compared with the fine ADC magnitude, this register contains the 8 LSBs of the programmable 13-bit upper threshold.	0x0	读/写 Read/ write
0x0248	Fast detect up MSB (local)	[7:5]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0248	Fast detect up MSB (local)	[4:0]	快速检测阈值上限 Fast detect upper threshold		快速检测阈值上限的 MSBs。与精细 ADC 幅度相比较，该寄存器包含可编程 13 位阈值上限的 5 个 MSBs。 MSBs of the fast detect upper threshold. Compared with the fine ADC magnitude, this register contains the 5 MSBs of the programmable 13-bit upper threshold.	0x0	读/写 Read/ write
0x0249	Fast detect low LSB (local)	[7:0]	快速检测阈值下限 Fast detect		快速检测阈值下限的 LSBs。与精细 ADC 幅度相比较，该寄存器包含可编程 13 位阈值下限的 8 个 LSBs。 LSBs of the fast detect lower threshold.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			lower threshold		Compared with the fine ADC magnitude, this register contains the 8 LSBs of the programmable 13-bit lower threshold.		
0x024A	Fast detect low MSB (local)	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x024A	Fast detect low MSB (local)	[4:0]	快速检测阈值下限 Fast detect lower threshold		快速检测低阈值的 MSBs。与精细 ADC 幅度相比较，该寄存器包含可编程 13 位阈值下限的 5 个 MSBs。 MSBs of the fast detect lower threshold. Compared with the fine ADC magnitude, this register contains the 5 MSBs of the programmable 13-bit lower threshold.	0x0	读/写 Read/ write
0x024B	Fast detect dwell LSB (local)	[7:0]	快速检测停留时间 Fast detect dwell time		快速检测驻留时间计数器目标的 LSBs。这是 16 位计数器的负载值，用于确定在 FD_x 引脚复位为 0 之前 ADC 数据必须保持在阈值下限以下多长时间。 LSBs of the fast detect dwell time counter target. This is the load value of a 16-bit counter used to determine how long the ADC data must remain below the lower threshold before the FD_x pin is reset to 0.	0x0	读/写 Read/ write
0x024C	Fast detect dwell MSB (local)	[7:0]	快速检测停留时间 Fast detect dwell time		快速检测驻留时间计数器目标的 MSBs。这是 16 位计数器的负载值，用于确定在 FD_x 引脚复位为 0 之前 ADC 数据必须保持在阈值下限以下多长时间。 MSBs of the fast detect dwell time counter target. This is the load value of a 16-bit counter used to determine how long the ADC data must remain below the lower threshold before the FD_x pin is reset to 0.	0x0	读/写 Read/ write
0x026F	Signal monitor sync control	[7:2]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x026F	Signal monitor sync control	1	信号监视器下一个同步模式 Signal monitor next-sync mode	0 1	信号监视器下一个同步模式。 Signal monitor next synchronization mode. 持续模式。 Continuous mode. 下一个同步模式。只有 SYSREF±引脚的下一个有效沿用于同步信号监视器块。忽略 SYSREF±引脚的后续沿。当捕获下一个 SYSREF 时，清除寄存器 0x026F，位 0。SYSREF±引脚必须是信号监测器周期的整数倍，才能使该功能在持续模式下正常工作。 Next sync mode. Only the next valid edge of the SYSREF± pin is used to synchronize the signal monitor block. Subsequent edges of the SYSREF± pin are ignored. When the next SYSREF is captured, register 0x026F, bit 0 is cleared. The SYSREF± pin must be an integer multiple of the signal monitor period for this function to operate correctly in continuous mode.	0x0	读/写 Read/ write
0x026F		0				0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	Signal monitor sync control		信号监视器同步模式 Signal monitor sync mode	0 1	启用信号监视器同步模式。 Enable signal monitor synchronization mode. 禁用同步。 Disable synchronization. 如果寄存器 0x026F，位 1=1，则只有 SYSREF±引脚的下一个有效沿用于同步信号监控器块。忽略 SYSREF±引脚的后续沿。当接收到下一个 SYSREF 信号时，清除该位。必须启用 SYSREF±输入引脚，以同步信号监视器块。 If register 0x026F, bit 1 = 1, only the next valid edge of the SYSREF± pin is used to synchronize the signal monitor block. Subsequent edges of the SYSREF± pin are ignored. When the next SYSREF signal is received, this bit is cleared. The SYSREF± input pin must be enabled to synchronize the signal monitor block.		读/写 Read/ write
0x0270	Signal monitor control (local)	[7:0]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0270	Signal monitor control (local)	1	峰值检测器 Peak detector	0 1	禁用峰值检测器。 Disable the peak detector. 启用峰值检测器。 Enable the peak detector.	0x0	读/写 Read/ write
0x0270	Signal monitor control (local)	0	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0271	Signal Monitor Period 0 (local)	[7:0]	信号监视器周期[7:0] Signal monitor period [7:0]		24 位值的位[7:0]，设置信号监视器在其上执行操作的输出时钟周期数。仅支持偶数值。 Bits [7:0] of a 24-bit value, setting the number of output clock cycles over which the signal monitor operates. Only even values are supported.	0x0	读/写 Read/ write
0x0272	Signal Monitor Period 1 (local)	[7:0]	信号监视器周期[15:8] Signal monitor period [15:8]		24 位值的位[15:8]，设置信号监视器在其上执行操作的输出时钟周期数。仅支持偶数值。 Bits [15:8] of a 24-bit value, setting the number of output clock cycles over which the signal monitor operates. Only even values are supported.	0x0	读/写 Read/ write
0x0273	Signal Monitor Period 2 (local)	[7:0]	信号监视器周期[23:16] Signal monitor period [23:16]		24 位值的位[23:16]，设置信号监视器在其上执行操作的输出时钟周期数。仅支持偶数值。 Bits [23:16] of a 24-bit value, setting the number of output clock cycles over which the signal monitor operates. Only even values are supported.	0x0	读 Read
0x0274	Signal monitor status control (local)	[7:5]	保留 Reserved		保留 Reserved.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0274	Signal monitor status control (local)	4	结果更新 Result update	1	更新信号监视器状态寄存器，寄存器 0x0275 至寄存器 0x0278。自清零。 Update the signal monitor status registers, registers 0x0275 to 0x0278. Self-clearing.	0x0	读/写 Read/ write
0x0274	Signal monitor status control (local)	3	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0274	Signal monitor status control (local)	[2:0]	结果选择 Result select	001	峰值检测器置于状态回读信号上。 Peak detector placed on the status readback signal.	0x0	读/写 Read/ write
0x0275	Signal Monitor Status 0 (local)	[7:0]	信号监视器结果[7:0] Signal monitor result [7:0]		信号监视器状态结果。该 20 位值包含由信号监视器块计算的状态结果。 Signal monitor status result. This 20-bit value contains the status result calculated by the signal monitor block.	0x0	读 Read
0x0276	Signal Monitor Status 1 (local)	[7:0]	信号监视器结果[15:8] Signal monitor result [15:8]		信号监视器状态结果。 Signal monitor status result.	0x0	读 Read
0x0277	Signal Monitor Status 2 (local)	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0277	Signal Monitor Status 2 (local)	[3:0]	信号监视器结果[19:16] Signal monitor result [19:16]		信号监视器状态结果。 Signal monitor status result.	0x0	读 Read
0x0278	Signal monitor status frame counter (local)	[7:0]	周期计算结果[7:0] Period calculation result [7:0]		信号监视器帧计数器状态位。每当周期计数器到期时，帧计数器递增。 Signal monitor frame counter status bits. Each time the period counter expires, the frame counter increments.	0x0	读 Read
0x0279	Signal monitor serial frame counter (local)	[7:2]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0279	Signal monitor serial frame counter (local)	[1:0]	通过 JESD204B 启用信号监视器输出 Enable signal monitor	00 01	禁用。 Disabled. 启用 Enabled.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			output via JESD204B				
0x027A	SPORT over JESD204B input selection (local)	[7:6]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x027A	SPORT over JESD204B input selection (local)	1	通过 JESD204B 输入选择输出 Input selection output via JESD204B	0 1	信号监视器串行成帧器输入选择。当每单个比特为 1 时，在帧内发送相应的信号统计信息。 Signal monitor serial framer input selection. When each individual bit is 1, the corresponding signal statistics are sent within the frame. 禁用。 Disabled. 插入串行帧中的峰值检测器数据。 Peak detector data inserted into the serial frame.	0x1	读/写 Read/ write
0x027A	SPORT over JESD204B input selection (local)	0	保留 Reserved		保留 Reserved.	0x0	读 Read

表17 / Table 17 — DDC 功能寄存器（见数字下变频器（DDC）部分，全是 Pair map）/ DDC Function Registers (See the Digital Downconverter (DDC) Section; All Pair Map)

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0300	DDC SYNC control	7	DDC FTW/ POW/MAW 更新模式 DDC FTW/ POW/MAW update mode	0 1	选择 DDC FTW/POW/MAW/MBW 更新模式。 Select the DDC FTW/POW/MAW/MBW update mode. 即时/持续更新。FTW/POW/MAW/MBW 值立即更新。 Immediate/continuous update. FTW/POW/MAW/MBW values update immediately. 设置芯片传输位（寄存器 0x000F，位 0）时，同步更新 FTW/POW/MAW/MBW 值。 When the chip transfer bit (register 0x000F, bit 0) is set, FTW/POW/MAW/MBW values update synchronously.	0x0	读/写 Read/ write
0x0300	DDC SYNC control	[6:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0300	DDC SYNC control	4	DDC NCO 软复位 DDC NCO soft reset	0 1	此位可用于同步 DDC 块内的所有 NCO。 This bit can be used to synchronize all NCOs within the DDC block. 正常操作。 Normal operation. DDC 保持复位。 DDC held in reset.	0x0	读/写 Read/ write
0x0300	DDC SYNC control	[3:2]	保留 Reserved		保留。 Reserved.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0300	DDC SYNC control	1	DDC 下一次同步 DDC next sync	0 1	连续模式。NCO 频率必须是 SYSREF 频率的整数倍，此功能才能在持续模式下正确运行。 Continuous mode. The NCO frequency must be an integer multiple of the SYSREF frequency for this function to operate correctly in continuous mode. 只有 SYSREF±引脚的下一个有效沿用于同步 DDC 块中的 NCO。忽略 SYSREF±引脚的后续沿。当找到下一个 SYSREF 信号时，清除 DDC 同步模式位（寄存器 0x0300，位 0）。 Only the next valid edge of the SYSREF± pin is used to synchronize the NCOs in the DDC block. Subsequent edges of the SYSREF± pin are ignored. When the next SYSREF signal is found, the DDC sync mode bit (register 0x0300, bit 0) is cleared.	0x0	读/写 Read/ write
0x0300	DDC SYNC control	0	DDC 同步模式 DDC sync mode	0 1	必须启用 SYSREF±输入引脚以同步 DDCs。 The SYSREF± input pin must be enabled to synchronize the DDCs. 禁用同步。 Disable synchronization. 启用同步。如果寄存器 0x0300，位 1=1，则只有 SYSREF±引脚的下一个有效沿用于同步 DDC 块中的 NCO。忽略 SYSREF±引脚的后续沿。当接收到下一个 SYSREF 信号时，清除该位。 Enable synchronization. If register 0x0300, bit 1 = 1, only the next valid edge of the SYSREF± pin is used to synchronize the NCOs in the DDC block. Subsequent edges of the SYSREF± pin are ignored. When the next SYSREF signal is received, this bit is cleared.	0x0	读/写 Read/ write
0x0310	DDC0 control	7	DDC0 混频器选择 DDC0 mixer select	0 1	实数混频器（I 和 Q 输入必须来自同一实数通道）。 Real mixer (I and Q inputs must come from the same real channel). 复数混频器（I 和 Q 必须来自独立的、实的和虚的正交 ADC 接收信道；模拟解调器）。 Complex mixer (I and Q must come from independent, real and imaginary, quadrature ADC receive channels; analog demodulator).	0x0	读/写 Read/ write
0x0310	DDC0 control	6	DDC0 增益选择 DDC0 gain select	0 1	增益可用于补偿与将输入信号向下混频到基带并滤除其负分量相关的 6dB 损耗。 Gain can be used to compensate for the 6dB loss associated with mixing the input signal down to baseband and filtering out its negative components. 0dB 增益。 0dB gain. 6dB 增益（乘以 2） 6dB gain (multiply by 2).	0x0	读/写 Read/ write
0x0310	DDC0 control	[5:4]	DDC0 中频（IF）模式 DDC0 IF mode	00 01	变量中频模式。 Variable IF mode. 0Hz 中频模式。 0Hz IF mode.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
				10 11	fS Hz 中频模式。 fS Hz IF mode. 测试模式。 Test mode.		
0x0310	DDC0 control	3	DDC0 复数到实数启用 DDC0 complex-to-real enable	0 1	复数（I 和 Q）输出包含有效数据。 Complex (I and Q) outputs contain valid data. 仅实数（I）输出。复数到实数启用。使用额外的 fS 混合转换为实数。 Real (I) output only. Complex-to-real enabled. Uses additional fS mixing to convert to real.	0x0	读/写 Read/write
0x0310	DDC0 control	[2:0]	DDC0 抽取率选择 DDC0 decimation rate select	000 001 010 011	DDC0 滤波器选择。 DDC0 filter selection. HB1+HB2 滤波器选择：2 倍抽取（启用复数到实数），或按 4 倍抽取（禁用复数到实数）。 HB1+HB2 filter selection: 2× decimation (complex-to-real enabled), or 4× decimation (complex-to-real disabled). HB1+HB2+HB3 滤波器选择：4 倍抽取（启用复数到实数），或按 8 倍抽取（禁用复数到实数）。 HB1+HB2+HB3 filter selection: 4× decimation (complex-to-real enabled), or 8× decimation (complex-to-real disabled). HB1+HB2+HB3+HB4 滤波器选择：8 倍抽取（启用复数到实数），或按 16 倍抽取（禁用复数到实数）。 HB1+HB2+HB3+HB4 filter selection: 8× decimation (complex-to-real enabled), or 16× decimation (complex-to-real disabled). 滤波器选择：1 倍抽取（启用复数到实数），或按 2 倍抽取（禁用复数到实数）。 Filter selection: 1× decimation (complex-to-real enabled), or 2× decimation (complex-to-real disabled).	0x0	读/写 Read/write
0x0311	DDC0 input select	[7:4]	保留 Reserved		保留 Reserved.	0x0	读/写 Read/write
0x0311	DDC0 input select	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0311	DDC0 input select	2	DDC0 Q 输入选择 DDC0 Q input select	0 1	通道 A。 Channel A. 通道 B。 Channel B.	0x0	读/写 Read/write
0x0311	DDC0 input select	1	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0311	DDC0 input select	0	DDC0 1 输入选择 DDC0 I input select	0 1	通道 A。 Channel A. 通道 B。 Channel B.	0x0	读/写 Read/write
0x0314	DDC0 Phase Increment 0	[7:0]	DDC0 相位增量[7:0] DDC0 phase		FTW。NCO 的两个互补相位增量值。复数混合频率 =（DDC 相位增量 xfS）/2^48。 FTW. Two's-complement phase increment value	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			increment [7:0]		of the NCO. Complex mixing frequency = (DDC phase increment × fS)/2^48.		
0x0315	DDC0 Phase Increment 1	[7:0]	DDC0 相位增量[15:8] DDC0 phase increment [15:8]		FTW。NCO 的两个互补相位增量值。复数混合频率 =（DDC 相位增量 xfS）/248。 FTW. Two's-complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/2^48.	0x0	读/写 Read/ write
0x0316	DDC0 Phase Increment 2	[7:0]	DDC0 相位增量[23:16] DDC0 phase increment [23:16]		FTW。NCO 的两个互补相位增量值。复数混合频率 =（DDC 相位增量 xfS）/248。 FTW. Two's-complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/2^48.	0x0	读/写 Read/ write
0x0317	DDC0 Phase Increment 3	[7:0]	DDC0 相位增量[31:24] DDC0 phase increment [31:24]		FTW。NCO 的两个互补相位增量值。复数混合频率 =（DDC 相位增量 xfS）/248。 FTW. Two's-complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/2^48.	0x0	读/写 Read/ write
0x0318	DDC0 Phase Increment 4	[7:0]	DDC0 相位增量[39:32] DDC0 phase increment [39:32]		FTW。NCO 的两个互补相位增量值。复数混合频率 =（DDC 相位增量 xfS）/248。 FTW. Two's-complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/2^48.	0x0	读/写 Read/ write
0x031A	DDC0 Phase Increment 5	[7:0]	DDC0 相位增量[47:40] DDC0 phase increment [47:40]		FTW。NCO 的两个互补相位增量值。复数混合频率 =（DDC 相位增量 xfS）/248。 FTW. Two's-complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/2^48.	0x0	读/写 Read/ write
0x031D	DDC0 Phase Offset 0	[7:0]	DDC0 相位偏移[7:0] DDC0 phase offset [7:0]		两个补充了 NCO 的 POW。 Two's-complement POW of the NCO.	0x0	读/写 Read/ write
0x031E	DDC0 Phase Offset 1	[7:0]	DDC0 相位偏移[15:8] DDC0 phase offset [15:8]		两个补充了 NCO 的 POW。 Two's-complement POW of the NCO.	0x0	读/写 Read/ write
0x031F	DDC0 Phase Offset 2	[7:0]	DDC0 相位偏移[23:16] DDC0 phase offset [23:16]		两个补充了 NCO 的 POW。 Two's-complement POW of the NCO.	0x0	读/写 Read/ write
0x0320	DDC0 Phase Offset 3	[7:0]	DDC0 相位偏移[31:24] DDC0 phase offset [31:24]		两个补充了 NCO 的 POW。 Two's-complement POW of the NCO.	0x0	读/写 Read/ write
0x0321	DDC0 Phase Offset 4	[7:0]	DDC0 相位偏移[39:32] DDC0 phase offset [39:32]		两个补充了 NCO 的 POW。 Two's-complement POW of the NCO.	0x0	读/写 Read/ write
0x0322	DDC0 Phase Offset 5	[7:0]	DDC0 相位偏移[47:40]		两个补充了 NCO 的 POW。 Two's-complement POW of the NCO.	0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			DDC0 phase offset [47:40]				读/写 Read/ write
0x0327	DDC0 test enable	[7:3]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0327	DDC0 test enable	2	DDC0 Q 输出测试模式启用 DDC0 Q output test mode enable	0 1	Q 样本始终使用测试模式 B 块。使用通道相关寄存器 0x0550，位[3:0]，选择测试模式。 Q samples always use test mode B block. Use the channel-dependent register 0x0550, bits [3:0], to select the test mode. 测试模式禁用。 Test mode disabled. 测试模式启用。 Test mode enabled.	0x0	读/写 Read/ write
0x0327	DDC0 test enable	1	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0327	DDC0 test enable	0	DDC0 1 输出测试模式启用 DDC0 I output test mode enable	0 1	I 样本始终使用测试模式 A 块。使用通道相关寄存器 0x0550，位[3:0]，选择测试模式。 I samples always use test mode A block. Use the channel-dependent register 0x0550, bits [3:0], to select the test mode. 测试模式禁用。 Test mode disabled. 测试模式启用。 Test mode enabled.	0x0	读/写 Read/ write
0x0330	DDC1 control	7	DDC1 混频器选择 DDC1 mixer select	0 1	实数混频器（I 和 Q 输入必须来自同一实数通道）。 Real mixer (I and Q inputs must come from the same real channel). 复数混频器（I 和 Q 必须来自独立的、实的和虚的正交 ADC 接收信道；模拟解调器）。 Complex mixer (I and Q must come from independent, real and imaginary, quadrature ADC receive channels; analog demodulator).	0x0	读/写 Read/ write
0x0330	DDC1 control	6	DDC1 增益选择 DDC1 gain select	0 1	增益可用于补偿与将输入信号向下混频到基带并滤除其负分量相关的 6dB 损耗。 Gain can be used to compensate for the 6dB loss associated with mixing the input signal down to baseband and filtering out its negative components. 0dB 增益。 0dB gain. 6dB 增益（乘以 2） 6dB gain (multiply by 2).	0x0	读/写 Read/ write
0x0330	DDC1 control	[5:4]	DDC1 中频模式 DDC1 IF mode	00 01 10 11	可变中频模式。 Variable IF mode. 0Hz 中频模式。 0Hz IF mode. fs 中频模式。 fS IF mode. 测试模式。 Test mode.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0330	DDC1 control	3	DDC1 复数到实数启用 DDC1 complex-to-real enable	0 1	复数（I 和 Q）输出包含有效数据。 Complex (I and Q) outputs contain valid data. 仅实数（I）输出。复数到实数启用。使用额外的 fS 混合转换为实数。 Real (I) output only. Complex-to-real enabled. Uses additional fS mixing to convert to real.	0x0	读/写 Read/ write
0x0330	DDC1 control	[2:0]	DDC1 抽取率选择 DDC1 decimation rate select	000 001 010 011	抽取滤波器选择。 Decimation filter selection. HB1+HB2 滤波器选择：2 倍抽取（复数到实数启用），或 4 倍抽取（复数到实数禁用）。 HB1+HB2 filter selection: 2× decimation (complex-to-real enabled), or 4× decimation (complex-to-real disabled). HB1+HB2+HB3 滤波器选择：4 倍抽取（复数到实数启用），或 8 倍抽取（复数到实数禁用）。 HB1+HB2+HB3 filter selection: 4× decimation (complex-to-real enabled), or 8× decimation (complex-to-real disabled). HB1+HB2+HB3+HB4 滤波器选择：8 倍抽取（复数到实数启用），或 16 倍抽取（复数到实数禁用）。 HB1+HB2+HB3+HB4 filter selection: 8× decimation (complex-to-real enabled), or 16× decimation (complex-to-real disabled). HB1 滤波器选择：1 倍抽取（复数到实数启用），或 2 倍抽取（复数到实数禁用）。 HB1 filter selection: 1× decimation (complex-to-real enabled), or 2× decimation (complex-to-real disabled).	0x0	读/写 Read/ write
0x0331	DDC1 input select	[7:4]	保留 Reserved		保留 Reserved.	0x0	读/写 Read/ write
0x0331	DDC1 input select	3	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0331	DDC1 input select	2	DDC1 Q 输入选择 DDC1 Q input select	0 1	通道 A。 Channel A. 通道 B。 Channel B.	0x1	读/写 Read/ write
0x0331	DDC1 input select	1	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0331	DDC1 input select	0	DDC1 I 输入选择 DDC1 I input select	0 1	通道 A。 Channel A. 通道 B。 Channel B.	0x1	读/写 Read/ write
0x0334	DDC1 Phase Increment 0	[7:0]	DDC1 相位增量[7:0] DDC1 phase increment [7:0]		FTW。NCO 的两个互补相位增量值。复混合频率=（DDC 相位增量 xfS）/248。 FTW. Two's-complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/2^48.	0x0	读/写 Read/ write
0x0335	DDC1 Phase Increment 1	[7:0]	DDC1 相位增量[15:8] DDC1 phase		FTW。NCO 的两个互补相位增量值。复混合频率=（DDC 相位增量 xfS）/248。 FTW. Two's-complement phase increment value	0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			increment [15:8]		of the NCO. Complex mixing frequency = (DDC phase increment × fS)/2^48.		读/写 Read/ write
0x0336	DDC1 Phase Increment 2	[7:0]	DDC1 相位增量[23:16] DDC1 phase increment [23:16]		FTW。NCO 的两个互补相位增量值。复混合频率=（DDC 相位增量 xfS）/248。 FTW. Two's-complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/2^48.	0x0	读/写 Read/ write
0x0337	DDC1 Phase Increment 3	[7:0]	DDC1 相位增量[31:24] DDC1 phase increment [31:24]		FTW。NCO 的两个互补相位增量值。复混合频率=（DDC 相位增量 xfS）/248。 FTW. Two's-complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/2^48.	0x0	读/写 Read/ write
0x0338	DDC1 Phase Increment 4	[7:0]	DDC1 相位增量[39:32] DDC1 phase increment [39:32]		FTW。NCO 的两个互补相位增量值。复混合频率=（DDC 相位增量 xfS）/248。 FTW. Two's-complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/2^48.	0x0	读/写 Read/ write
0x033A	DDC1 Phase Increment 5	[7:0]	DDC1 相位增量[47:40] DDC1 phase increment [47:40]		FTW。NCO 的两个互补相位增量值。复混合频率=（DDC 相位增量 xfS）/248。 FTW. Two's-complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS)/2^48.	0x0	读/写 Read/ write
0x033D	DDC1 Phase Offset 0	[7:0]	DDC1 相位偏移[7:0] DDC1 phase offset [7:0]		两个补充了 NCO 的 POW。 Two's-complement POW of the NCO.	0x0	读/写 Read/ write
0x033E	DDC1 Phase Offset 1	[7:0]	DDC1 相位偏移[15:8] DDC1 phase offset [15:8]		两个补充了 NCO 的 POW。 Two's-complement POW of the NCO.	0x0	读/写 Read/ write
0x033F	DDC1 Phase Offset 2	[7:0]	DDC1 相位偏移[23:16] DDC1 phase offset [23:16]		两个补充了 NCO 的 POW。 Two's-complement POW of the NCO.	0x0	读/写 Read/ write
0x0340	DDC1 Phase Offset 3	[7:0]	DDC1 相位偏移[31:24] DDC1 phase offset [31:24]		两个补充了 NCO 的 POW。 Two's-complement POW of the NCO.	0x0	读/写 Read/ write
0x0341	DDC1 Phase Offset 4	[7:0]	DDC1 相位偏移[39:32] DDC1 phase offset [39:32]		两个补充了 NCO 的 POW。 Two's-complement POW of the NCO.	0x0	读/写 Read/ write
0x0342	DDC1 Phase Offset 5	[7:0]	DDC1 相位偏移[47:40] DDC1 phase offset [47:40]		两个补充了 NCO 的 POW。 Two's-complement POW of the NCO.	0x0	读/写 Read/ write
0x0347	DDC1 test enable	[7:3]	保留 Reserved		保留 Reserved.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0347	DDC1 test enable	2	DDC1 Q 输出测试模式启用 DDC1 Q output test mode enable	0 1	Q 样本始终使用测试模式 B 块。使用信道相关寄存器 0x0550，位[3:0]时选择测试模式。 Q samples always use test mode B block. Use the channel-dependent register 0x0550, bits [3:0], to select the test mode. 测试模式禁用。 Test mode disabled. 测试模式启用。 Test mode enabled.	0x0	读/写 Read/ write
0x0347	DDC1 test enable	1	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0347	DDC1 test enable	0	DDC1 I 输出测试模式启用 DDC1 I output test mode enable	0 1	I 样本始终使用测试模式 A 块。使用信道相关寄存器 0x0550，位[3:0]时选择测试模式。 I samples always use test mode A block. Use the channel-dependent register 0x0550, bits [3:0], to select the test mode. 测试模式禁用。 Test mode disabled. 测试模式启用。 Test mode enabled.	0x0	读/写 Read/ write

注：内存映射中 DDC 功能寄存器范围为 0x0300 至 0x03CD（见内存映射节），本表按原件列出至 0x0347；寄存器 0x0351、0x0371 在第 10.1 节中被引用（DDC 输入选择），原件寄存器表未单列。

表18 / Table 18 — 数据输出和测试模式（全是 pair map）/ Data Output and Test Modes (All Pair Map)

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0550	ADC test mode control (local)	7	用户模式选择 User pattern select	0 1	测试模式用户模式选择。该位仅在寄存器 0x0550，位[3:0]=4'b1000（用户输入模式）时使用。否则，它将被忽略。用户模式 1 在用户模式 1MSB（0x0552）和用户模式 1LSB（0x0551）寄存器中找到。用户模式 2 位于用户模式 2 MSB（0x0554）和用户模式 2LSB（0x0553）寄存器中，依此类推，等。 Test mode user pattern selection. This bit is used only when register 0x0550, bits [3:0] = 4'b1000 (user input mode). Otherwise, it is ignored. User pattern 1 is found in the user pattern 1 MSB (0x0552) and user pattern 1 LSB (0x0551) registers. User pattern 2 is located in the user pattern 2 MSB (0x0554) and user pattern 2 LSB (0x0553) registers, and so on. 连续/重复模式。将每个用户模式（1、2、3 和 4）置于输出 1 个时钟周期，然后重复。（输出以下用户模式：1，2，3，4，1，2，3，4，1，2，3，4 等等） Continuous/repeat mode. Place each user pattern (1, 2, 3, and 4) on the output for 1 clock cycle, then repeat. (Outputs the	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					following user patterns: 1, 2, 3, 4, 1, 2, 3, 4, 1, 2, 3, 4, etc.) 单一模式。将每个用户模式（1、2、3 和 4）放在输出上然后输出全零。（输出以下用户模式：1，2，3，4，然后输出全零。） Single mode. Place each user pattern (1, 2, 3, and 4) on the output and then output all zeros. (Outputs the following user patterns: 1, 2, 3, 4, then outputs all zeros.)		
0x0550	ADC test mode control (local)	6	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0550	ADC test mode control (local)	5	复位 PN 长发生器 Reset PN long generator	0 1	测试模式为长伪随机数测试生成器重置。 Test mode long pseudo-random number test generator reset. 长 PN 结启用。 Long PN enabled. 长 PN 结禁用。 Long PN disabled.	0x0	读/写 Read/ write
0x0550	ADC test mode control (local)	4	复位 PN 短发生器 Reset PN short generator	0 1	测试模式为短伪随机数测试生成器重置。 Test mode short pseudo-random number test generator reset. 长 PN 结启用。 Long PN enabled. 长 PN 结禁用。 Long PN disabled.	0x0	读/写 Read/ write
0x0550	ADC test mode control (local)	[3:0]	测试模式选择 Test mode select	0000 0001 0010 0011 0100 0101 0110 0111 1000 1111	测试模式生成器选择。 Test mode generator selection. 关闭（正常操作）。 Off (normal operation). 中间电平短码。 Midscale short code. 正满量程。 Positive full scale. 负满量程。 Negative full scale. 交替棋盘。 Alternating checkerboard. PN 序列（长）。 PN sequence (long). PN 序列（短）。 PN sequence (short). 1/0 字交替。 1/0 word toggle. 用户模式测试模式（与寄存器 0x0550、位 7 和用户模式 1、用户模式 2、用户模式 3 和用户模式 4 寄存器一起使用）。 User pattern test mode (used together with register 0x0550, bit 7 and the user pattern 1, user pattern 2, user pattern 3, and user pattern 4 registers). 斜坡输出。 Ramp output.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0559	Output Mode Control 1	[7:4]	转换器控制位 1 选择 Converter control bit 1 select	0000 0001 0010 0011 0101	拉低（1'b0）。 Pull low (1'b0). 超量程位。 Overrange bit. 信号检测器位。 Signal detector bit. 快速检测（FD）位。 Fast detect (FD) bit. SYSREF。	0x0	读/写 Read/ write
0x0559	Output Mode Control 1	[3:0]	转换器控制位 0 选择 Converter control bit 0 select	0000 0001 0010 0011 0101	拉低（1'b0）。 Pull low (1'b0). 超量程位。 Overrange bit. 信号检测器位。 Signal detector bit. 快速检测（FD）位。 Fast detect (FD) bit. SYSREF。	0x0	读/写 Read/ write
0x055A	Output Mode Control 1	[7:4]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x055A	Output Mode Control 1	[3:0]	转换器控制位 2 选择 Converter control bit 2 select	0000 0001 0010 0011 0101	拉低（1'b0）。 Pull low (1'b0). 超量程位。 Overrange bit. 信号检测器位。 Signal detector bit. 快速检测（FD）位。 Fast detect (FD) bit. SYSREF。	0x0	读/写 Read/ write
0x0561	Out sample mode	[7:3]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0561	Out sample mode	2	样本反转 Sample invert	0 1	ADC 采样数据不反转。 ADC sample data not inverted. ADC 采样数据反转。 ADC sample data inverted.	0x0	读/写 Read/ write
0x0561	Out sample mode	[1:0]	数据格式选择 Data format select	00 01	偏移二进制。 Offset binary. 两个补码（默认）。 Two's complement (default).	0x1	读/写 Read/ write
0x0564	Out channel select	[7:1]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0564	Out channel select	0	转换器通道交换控制 Converter channel swap control	0 1	正常通道排序。 Normal channel ordering. 通道交换启用。 Channel swap enabled.	0x0	读/写 Read/ write
0x056E	PLL control	[7:4]	JESD204B 通道速率控制 JESD204B lane rate control	0000 0001 0101 0011	通道速率=6.75 Gbps 到 13 Gbps。 Lane rate = 6.75 Gbps to 13 Gbps. 通道速率=3.375 Gbps 到 6.75 Gbps。 Lane rate = 3.375 Gbps to 6.75 Gbps.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					通道速率=1.6875 Gbps 到 3.375 Gbps。 Lane rate = 1.6875 Gbps to 3.375 Gbps. 通道速率=13.5 Gbps 到 15 Gbps。 Lane rate = 13.5 Gbps to 15 Gbps.		
0x056E	PLL control	[3:0]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x056F	PLL status	7	PLL 锁定状态 PLL lock status	0 1	未锁定。 Not locked. 锁定。 Locked.	0x0	读 Read
0x056F	PLL status	[6:4]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x056F	PLL status	3	PLL 锁定失锁 PLL lock lost		失错标志位，指示某个时间发生了失锁。通过设置寄存器 0x0571，位 0 清除。 Loss-of-lock flag bit, indicating that a loss of lock occurred at some time. Cleared by setting register 0x0571, bit 0.		
0x056F	PLL status	[2:0]	保留 Reserved		保留 Reserved.		
0x0570	JTX Quick configuration	[7:6]	Quick Configuration L Quick configuration L	0 1	数据通道数 L=2^0x0570[7:6] Number of data lanes L = 2^(0x0570[7:6]). L=1 L=2	0x01	读/写 Read/ write
0x0570	JTX Quick configuration	[5:3]	Quick Configuration M Quick configuration M	0 1 10	虚拟转换器数 M=2^0x0570[5:3] Number of virtual converters M = 2^(0x0570[5:3]). M=1 M=2 M=4	0x01	
0x0570	JTX Quick configuration	[2:0]	Quick Configuration F Quick configuration F	0 1 10 11	帧数 F=2^0x0570[2:0] Number of frames F = 2^(0x0570[2:0]). F=1 F=2 F=4 F=8 只有当 0x0570=0xFF 时，L,M,F 才由 0x058B[4:0]、0x58E[7:0]和 0x58C[7:0]确定 Only when 0x0570 = 0xFF are L, M, F determined by 0x058B[4:0], 0x58E[7:0], and 0x58C[7:0].	0x01	
0x0571	JESD204B Link Control 1	7	待机模式 Standby mode	0 1	待机模式强制所有转换器样本为零。 Standby mode forces all converter samples to zero. 待机模式强制代码组同步（/K28.5/个字符）。 Standby mode forces code group synchronization (/K28.5/ characters).	0x0	读/写 Read/ write
0x0571	JESD204B Link Control 1	6	尾数位（t）PN Tail bit (t) PN	0 1	禁用。 Disabled.	0x0	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					启用。 Enabled.		
0x0571	JESD204B Link Control 1	5	长传输层测试 Long transport layer test	0 1	禁用 JESD204B 测试样本。 Disable JESD204B test samples. 启用 JESD204B 测试样本。在所有链路通道上发送的长传输层测试样本序列。 Enable JESD204B test samples. Long transport layer test sample sequence sent on all link lanes.	0x0	读/写 Read/ write
0x0571	JESD204B Link Control 1	4	通道同步 Lane synchronization	0 1	禁用 FACI 使用/K28.7/。 Disable FACI using /K28.7/. 启用 FACI 使用/K28.3/和/K28.7/。 Enable FACI using /K28.3/ and /K28.7/.	0x1	读/写 Read/ write
0x0571	JESD204B Link Control 1	[3:2]	ILAS 序列模式 ILAS sequence mode	00 01 11	禁用初始通道对齐序列。 Disable the initial lane alignment sequence. 启用初始通道对齐序列。 Enable the initial lane alignment sequence. 初始通道对齐顺序始终处于测试模式。 JESD204B 数据链路层测试模式，其中在所有通道上发送重复通道对齐序列。 Initial lane alignment sequence always in test mode. JESD204B data link layer test mode, in which a repeated lane alignment sequence is sent on all lanes.	0x1	读/写 Read/ write
0x0571	JESD204B Link Control 1	1	FACI	0 1	启用帧对齐字符插入。 Enable frame alignment character insertion. 禁用帧对齐字符插入。仅用于调试。 Disable frame alignment character insertion. For debug only.	0x0	读/写 Read/ write
0x0571	JESD204B Link Control 1	0	链路控制 Link control	0 1	启用 JESD204B 串行传输链路。传输代码组同步的/K28.5/个字符由 SYNC~引脚控制。 Enable the JESD204B serial transmit link. Transmission of the code group synchronization /K28.5/ characters is controlled by the SYNC~ pin. JESD204B 串行传输链路掉电（保持复位和时钟门控）。 JESD204B serial transmit link powered down (held in reset and clock gated).	0x0	读/写 Read/ write
0x0572	JESD204B Link Control 2	[7:6]	SYNCINB±引脚控制 SYNCINB± pin control	00 10 11	正常模式。 Normal mode. 忽略 SYNCINB±（强制 CGS）。 Ignore SYNCINB± (force CGS). 忽略 SYNCINB±（强制 ILAS/用户数据）。 Ignore SYNCINB± (force ILAS/user data).	0x0	读/写 Read/ write
0x0572	JESD204B Link Control 2	5	SYNCINB±引脚反转 SYNCINB± pin invert	0 1	SYNCINB±引脚未反转。 SYNCINB± pin not inverted. SYNCINB±引脚反转。 SYNCINB± pin inverted.	0x0	读/写 Read/ write
0x0572	JESD204B Link Control 2	4	SYNCINB±引脚类型	0 1	LVDS 差分对 SYNC~输入。 LVDS differential pair SYNC~ input.	0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			SYNCINB± pin type		CMOS 单端 SYNC~输入。使用 SYNCINB+。 CMOS single-ended SYNC~ input. Use SYNCINB+.		读/写 Read/write
0x0572	JESD204B Link Control 2	3	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0572	JESD204B Link Control 2	2	8 位/10 位旁路 8-bit/10-bit bypass	0 1	8 位/10 位启用。 8-bit/10-bit enabled. 8 位/10 位旁路（最高有效位为 2）。 8-bit/10-bit bypass (most significant bit is 2).	0x0	读/写 Read/write
0x0572	JESD204B Link Control 2	1	8 位/10 位反转 8-bit/10-bit invert	0 1	正常。 Normal. 反转 a、b、c、d、e、f、g、h、i、j 符号。 Invert the a, b, c, d, e, f, g, h, i, j symbols.	0x0	读/写 Read/write
0x0572	JESD204B Link Control 2	0	保留 Reserved		保留 Reserved.	0x0	读/写 Read/write
0x0573	JESD204B Link Control 3	[7:6]	校验和模式 Checksum mode	00 01 10 11	校验和是链路配置表中所有 8 位寄存器的总和。 Checksum is the sum of all 8-bit registers in the link configuration table. 校验和是所有单个链路配置字段（LSB 对齐）的总和。 Checksum is the sum of all individual link configuration fields (LSB aligned). 禁用校验和（设置为零）。仅用于测试目的。 Disable checksum (set to zero). For test purposes only. 未使用。 Unused.	0x0	读/写 Read/write
0x0573	JESD204B Link Control 3	[5:4]	测试注入点 Test injection point	0 1 10	N'样本输入。 N' sample input. 8 位/10 位输出的 10 位数据（用于 PHY 测试）。 10-bit data of the 8-bit/10-bit output (for PHY test). 加扰器输入端的 8 位数据。 8-bit data at the scrambler input.	0x0	读/写 Read/write
0x0573	JESD204B Link Control 3	[3:0]	JESD204B 测试模式 JESD204B test mode	0000 0001 0010 0011 0100 0101 0110 0111 1000 1110 1111	正常操作（禁用测试模式）。 Normal operation (test mode disabled). 交替棋盘。 Alternating checkerboard. 1/0 字交替。 1/0 word toggle. 31 位 PN 序列：x31+x28+1。 31-bit PN sequence: x31+x28+1. 23 位 PN 序列：x23+x18+1。 23-bit PN sequence: x23+x18+1. 15 位 PN 序列：x15+x14+1。 15-bit PN sequence: x15+x14+1. 9 位 PN 序列：x9+x5+1。 9-bit PN sequence: x9+x5+1.	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					7 位 PN 序列：x7+x6+1。 7-bit PN sequence: x7+x6+1. 斜坡输出。 Ramp output. 持续/重复用户测试。 Continuous/repeated user test. 单用户测试。 Single user test.		
0x0574	JESD204B Link Control 4	[7:4]	ILAS 延迟 ILAS delay	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	在 SYNCINB±解除置位后，在第一个 LMFC 传输 ILAS。 Transmit ILAS at the first LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第二个 LMFC 传输 ILAS。 Transmit ILAS at the second LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第三个 LMFC 传输 ILAS。 Transmit ILAS at the third LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第四个 LMFC 传输 ILAS。 Transmit ILAS at the fourth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第五个 LMFC 传输 ILAS。 Transmit ILAS at the fifth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第六个 LMFC 传输 ILAS。 Transmit ILAS at the sixth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第七个 LMFC 传输 ILAS。 Transmit ILAS at the seventh LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第八个 LMFC 传输 ILAS。 Transmit ILAS at the eighth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第九个 LMFC 传输 ILAS。 Transmit ILAS at the ninth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第十个 LMFC 传输 ILAS。 Transmit ILAS at the tenth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第十一个 LMFC 传输 ILAS。 Transmit ILAS at the eleventh LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第十二个 LMFC 传输 ILAS。 Transmit ILAS at the twelfth LMFC after	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第十三个 LMFC 传输 ILAS。 Transmit ILAS at the thirteenth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第十四个 LMFC 传输 ILAS。 Transmit ILAS at the fourteenth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第十五个 LMFC 传输 ILAS。 Transmit ILAS at the fifteenth LMFC after SYNCINB± is deasserted. 在 SYNCINB±解除置位后，在第十六个 LMFC 传输 ILAS。 Transmit ILAS at the sixteenth LMFC after SYNCINB± is deasserted.		
0x0574	JESD204B Link Control 4	3	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0574	JESD204B Link Control 4	[2:0]	链路层测试模式 Link layer test mode	000 001 010 011 100 101 110 111	正常工作（链路层测试模式禁用）。 Normal operation (link layer test mode disabled). /D21.5/字符的持续序列。 Continuous sequence of /D21.5/ characters. 保留。 Reserved. 保留。 Reserved. 修改 PRAT 测试序列。 Modified PRAT test sequence. JSPAT 测试序列。 JSPAT test sequence. JTSPAT 测试序列。 JTSPAT test sequence. 保留。 Reserved.	0x0	读/写 Read/ write
0x0578	JESD204B LMFC offset	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0578	JESD204B LMFC offset	[4:0]	LMFC 相位偏移值 LMFC phase offset value		LMFC 相位偏移值（以帧时钟为单位）。参阅确定性延迟部分。 LMFC phase offset value (in frame clocks). See the deterministic latency section.	0x0	读/写 Read/ write
0x0580	JESD204B DID configuration	[7:0]	JESD204B DID 值 JESD204B DID value		JESD204B 串行设备标识（DID）号。 JESD204B serial device identification (DID) number.	0x0	读/写 Read/ write
0x0581	JESD204B BID configuration	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0581	JESD204B BID configuration	[3:0]	JESD204B BID 值 JESD204B BID value		JESD204B BID 号（延伸至 DID）。 JESD204B BID number (extension of DID).	0x0	读/写 Read/ write
0x0583		[7:5]				0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	JESD204B LID0 configuration		保留 Reserved		保留。 Reserved.		读 Read
0x0583	JESD204B LID0 configuration	[4:0]	通道 0 LID 值 Lane 0 LID value		通道 0 的 JESD204B 串行通道识别（LID）号。 JESD204B serial lane identification (LID) number of lane 0.	0x0	读/写 Read/ write
0x0584	JESD204B LID1 configuration	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0584	JESD204B LID1 configuration	[4:0]	通道 1 LID 值 Lane 1 LID value		通道 1 的 JESD204B 串行 LID 号。 JESD204B serial LID number of lane 1.	0x1	读/写 Read/ write
0x0585	JESD204B LID2 configuration	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0585	JESD204B LID2 configuration	[4:0]	通道 2 LID 值 Lane 2 LID value		通道 2 的 JESD204B 串行 LID 号。 JESD204B serial LID number of lane 2.	0x2	读/写 Read/ write
0x0586	JESD204B LID3 configuration	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0586	JESD204B LID3 configuration	[4:0]	通道 3 LID 值 Lane 3 LID value		通道 3 的 JESD204B 串行 LID 号。 JESD204B serial LID number of lane 3.	0x3	读/写 Read/ write
0x0587	JESD204B LID4 configuration	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0587	JESD204B LID4 configuration	[4:0]	通道 4 LID 值 Lane 4 LID value		通道 4 的 JESD204B 串行 LID 号。 JESD204B serial LID number of lane 4.	0x4	读/写 Read/ write
0x0588	JESD204B LID5 configuration	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0588	JESD204B LID5 configuration	[4:0]	通道 5 LID 值 Lane 5 LID value		通道 5 的 JESD204B 串行 LID 号。 JESD204B serial LID number of lane 5.	0x5	读/写 Read/ write
0x0589	JESD204B LID6 configuration	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x0589	JESD204B LID6 configuration	[4:0]	通道 6 LID 值 Lane 6 LID value		通道 6 的 JESD204B 串行 LID 号。 JESD204B serial LID number of lane 6.	0x6	读/写 Read/ write
0x058A	JESD204B LID7 configuration	[7:5]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x058A	JESD204B LID7 configuration	[4:0]	通道 7 LID 值 Lane 7 LID value		通道 7 的 JESD204B 串行 LID 号。 JESD204B serial LID number of lane 7.	0x7	读/写 Read/ write
0x058B	JESD204B scrambling and number of lanes (L) configuration	7	JESD204B 加扰（SCR） JESD204B scrambling (SCR)	0 1	JESD204B 加扰器禁用（SCR=0）。 JESD204B scrambler disabled (SCR=0). JESD204B 加扰器启用（SCR=1）。（无论寄存器 0x0570，为何值，此位都有效） JESD204B scrambler enabled (SCR=1). (This	0x1	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					bit is valid regardless of the value of register 0x0570.)		
0x058B	JESD204B scrambling and number of lanes (L) configuration	[6:5]	保留 Reserved		保留。 Reserved.	0x0	读/写 Read/ write
0x058B	JESD204B scrambling and number of lanes (L) configuration	[4:0]	JESD204B 通道（L） JESD204B lanes (L)	0x0 0x1 0x3	每链路 1 通道（L=1）。 1 lane per link (L=1). 每链路 2 通道（L=2）。 2 lanes per link (L=2). 每链路 4 通道（L=4）。 4 lanes per link (L=4).	0x1	读/写 Read/ write
0x058C	JESD204B link number of octets per frame (F)	[7:0]	JESD204B F 配置 JESD204B F configuration	0000 0001 0010 0011 0101 0111	JESD204B 每帧的 8 位字数 (F=0x058C[7:0]+1)。 JESD204B number of octets per frame (F = 0x058C[7:0] + 1). F=1。 F=2。 F=3。 F=4。 F=6。 F=8。 （当寄存器 0x0570=0xFF 时此位都有效） (This bit is valid when register 0x0570 = 0xFF.)	0x0	读/写 Read/ write
0x058D	JESD204B link number of octets per frame (K)	[7:5]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x058D	JESD204B link number of octets per frame (K)	[4:0]	JESD204B K 配置 JESD204B K configuration		JESD204B 每多帧的帧数 (K=0x058C[4:0]+1)。仅用在 FxK 可被 4 整除的值。 JESD204B number of frames per multiframe (K = 0x058C[4:0] + 1). Used only for values where F×K is divisible by 4.	0x1F	读/写 Read/ write
0x058E	JESD204B link number of converters (M)	[7:0]	JESD204B M 配置 JESD204B M configuration	000 001 011 111	JESD204B 每个设备链路的转换器数量 (M=JESD204B M 配置)。 JESD204B number of converters per device link (M = JESD204B M configuration). 链路连接至一个虚拟转换器（M=1）。 Link connected to one virtual converter (M=1). 链路连接至两个虚拟转换器（M=2）。 Link connected to two virtual converters (M=2). 链路连接至四个虚拟转换器（M=4）。 Link connected to four virtual converters (M=4). 链路连接至八个虚拟转换器（M=8）。 Link connected to eight virtual converters (M=8). （当寄存器 0x0570=0xFF 时此位都有效）	0x1	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					(This bit is valid when register 0x0570 = 0xFF.)		
0x058F	JESD204B number of control bits (CS) and ADC resolution (N)	[7:6]	每个样本的控制位（CS）数 Number of control bits per sample (CS)	000 001 010 011	无控制位（CS=0）。 No control bits (CS=0). 1 控制位（CS=1），仅控制位 2。 1 control bit (CS=1), control bit 2 only. 2 控制位（CS=2），仅控制位 2 和控制位 1。 2 control bits (CS=2), control bit 2 and control bit 1 only. 3 控制位（CS=3），所有控制位（控制位 2，控制位 1 和控制位 0）。 3 control bits (CS=3), all control bits (control bit 2, control bit 1, and control bit 0).	0x0	读/写 Read/ write
0x058F	JESD204B number of control bits (CS) and ADC resolution (N)	5	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x058F	JESD204B number of control bits (CS) and ADC resolution (N)	[4:0]	ADC 转换器分辨率（N） ADC converter resolution (N)	00110 00111 01000 01001 01010 01011 01100 01101 01110 01111	N=7 位分辨率。 N = 7-bit resolution. N=8 位分辨率。 N = 8-bit resolution. N=9 位分辨率。 N = 9-bit resolution. N=10 位分辨率。 N = 10-bit resolution. N=11 位分辨率。 N = 11-bit resolution. N=12 位分辨率。 N = 12-bit resolution. N=13 位分辨率。 N = 13-bit resolution. N=14 位分辨率。 N = 14-bit resolution. N=15 位分辨率。 N = 15-bit resolution. N=16 位分辨率。 N = 16-bit resolution.	0xF	读/写 Read/ write
0x0590	JESD204B SCV NP configuration	[7:5]	子类支持 Subclass support	001	子类 1。 Subclass 1.	0x1	读/写 Read/ write
0x0590	JESD204B SCV NP configuration	[4:0]	每个样本(N')的 ADC 位数 ADC bits per sample (N')	00111 01111	N'=8（不推荐） N' = 8 (not recommended). N'=16（默认） N' = 16 (default).	0xF	读/写 Read/ write
0x0591	JESD204B JV S configuration	[7:5]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0591	JESD204B JV S configuration	[4:0]	每个转换器帧周期的样本 Samples per		每个转换器帧周期的样本 (S=0x0591[4:0]+1)。 Samples per converter frame period (S = 0x0591[4:0] + 1).	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			converter frame period				
0x0592	JESD204B HD CF configuration	7	HD 值 HD value	0 1	高密度格式禁用。 High-density format disabled. 高密度格式启用。 High-density format enabled.	0x0	读 Read
0x0592	JESD204B HD CF configuration	[6:5]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x0592	JESD204B HD CF configuration	[4:0]	每链路每帧时钟周期的控制字（CF） Control words per link per frame clock period (CF)		每链路每帧时钟周期的控制字数 (CF=Register0x0592,Bits[4:0])。 Number of control words per link per frame clock period (CF = Register 0x0592, Bits [4:0]).	0x0	读 Read
0x05B0	JESD204B lane powerdown	7	保留 Reserved		保留 Reserved.	0x1	读/写 Read/ write
0x05B0	JESD204B lane powerdown	6	保留 Reserved		保留 Reserved.	0x1	读/写 Read/ write
0x05B0	JESD204B lane powerdown	5	保留 Reserved		保留 Reserved.	0x1	读/写 Read/ write
0x05B0	JESD204B lane powerdown	4	保留 Reserved		保留 Reserved.	0x1	读/写 Read/ write
0x05B0	JESD204B lane powerdown	3	保留 Reserved		保留 Reserved.	0x1	读/写 Read/ write
0x05B0	JESD204B lane powerdown	2	JESD204B Lane 1 power-down	0 1	物理通道 1 强制掉电。 Physical lane 1 forced power-down. SERDOUT1±正常工作。 SERDOUT1± operates normally. SERDOUT1±掉电。 SERDOUT1± powered down.	0x0	读/写 Read/ write
0x05B0	JESD204B lane powerdown	1	保留 Reserved		保留 Reserved.	0x1	读/写 Read/ write
0x05B0	JESD204B lane powerdown	0	JESD204B Lane 0 power-down	0 1	物理通道 0 强制掉电。 Physical lane 0 forced power-down. SERDOUT0±正常工作。 SERDOUT0± operates normally. SERDOUT0±掉电。 SERDOUT0± powered down.	0x0	读/写 Read/ write
0x05B2	JESD204B Lane Assign 0	7	保留 Reserved		保留 Reserved.	0x0	读 Read

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x05B2	JESD204B Lane Assign 0	[6:4]	保留 Reserved		保留 Reserved.	0x0	读/写 Read/ write
0x05B2	JESD204B Lane Assign 0	3	保留 Reserved		保留 Reserved.	0x0	读 Read
0x05B2	JESD204B Lane Assign 0	[2:0]	SERDOUT0±通道分配 SERDOUT0± lane assignment	000 001	物理通道 0 分配。 Physical lane 0 assignment. 逻辑通道 0（默认）。 Logical lane 0 (default). 逻辑通道 1。 Logical lane 1.	0x0	读/写 Read/ write
0x05B3	JESD204B Lane Assign 1	7	保留 Reserved		保留 Reserved.	0x0	读 Read
0x05B3	JESD204B Lane Assign 1	[6:4]	保留 Reserved		保留 Reserved.	0x0	读/写 Read/ write
0x05B3	JESD204B Lane Assign 1	3	保留 Reserved		保留 Reserved.	0x0	读 Read
0x05B3	JESD204B Lane Assign 1	[2:0]	SERDOUT1±通道分配 SERDOUT1± lane assignment	000 001	物理通道 1 分配。 Physical lane 1 assignment. 逻辑通道 0。 Logical lane 0. 逻辑通道 1（默认） Logical lane 1 (default).	0x1	读/写 Read/ write
0x05B3	JESD204B Lane Assign 1	[2:0]	保留 Reserved		保留 Reserved.	0x3	读/写 Read/ write
0x05BF	SERDOUTx± data invert	7	保留 Reserved		保留 Reserved.	0x0	读/写 Read/ write
0x05BF	SERDOUTx± data invert	6	保留 Reserved		保留 Reserved.	0x0	读/写 Read/ write
0x05BF	SERDOUTx± data invert	5	保留 Reserved		保留 Reserved.	0x0	读/写 Read/ write
0x05BF	SERDOUTx± data invert	4	保留 Reserved		保留 Reserved.	0x0	读/写 Read/ write
0x05BF	SERDOUTx± data invert	3	保留 Reserved		保留 Reserved.	0x0	读/写 Read/ write
0x05BF	SERDOUTx± data invert	2	保留 Reserved		保留 Reserved.	0x0	读/写 Read/ write
0x05BF	SERDOUTx± data invert	1	反转 SERDOUT1±数	0 1	反转 SERDOUT1± 数据。 Invert SERDOUT1± data.	0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			据 Invert SERDOUT1± data		正常。 Normal. 反转。 Inverted.		读/写 Read/ write
0x05BF	SERDOUTx± data invert	0	反转 SERDOUT0±数据 Invert SERDOUT0± data	0 1	反转 SERDOUT0±数据。 Invert SERDOUT0± data. 正常。 Normal. 反转。 Inverted.	0x0	读/写 Read/ write
0x05C0	JESD204B Swing Adjust 0	7	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05C0	JESD204B Swing Adjust 0	[6:4]	SERDOUT1±电压摆幅调节 SERDOUT1± voltage swing adjust	000 001 010	SERDOUT1±的输出摆幅电平。 Output swing level of SERDOUT1±. 1.0xDRVDD1。 0.850xDRVDD1。 0.750xDRVDD1。	0x1	读/写 Read/ write
0x05C0	JESD204B Swing Adjust 0	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05C0	JESD204B Swing Adjust 0	[2:0]	SERDOUT0±电压摆幅调节 SERDOUT0± voltage swing adjust	000 001 010	SERDOUT0±的输出摆幅电平。 Output swing level of SERDOUT0±. 1.0xDRVDD1。 0.850xDRVDD1。 0.750xDRVDD1。	0x1	读/写 Read/ write
0x05C1	JESD204B Swing Adjust 1	7	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05C1	JESD204B Swing Adjust 1	[6:4]	保留 Reserved		保留 Reserved.	0x0	读/写 Read/ write
0x05C1	JESD204B Swing Adjust 1	3	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x05C1	JESD204B Swing Adjust 1	[2:0]	保留 Reserved		保留 Reserved.	0x0	读/写 Read/ write
0x05C4	SERDOUT0 de-emphasis select	7	去加重使能 De-emphasis enable	0 1	去加重启用。 De-emphasis enable. 禁用。 Disabled. 启用。 Enabled.	0x0	读/写 Read/ write
0x05C4	SERDOUT0 de-emphasis select	[6:4]	设置SERDOUT0±的去加重 Set SERDOUT0± de-emphasis	000 001 010 011 100	设置去加重。 Set de-emphasis. 0 dB。 3 dB。 6 dB。 9 dB。 12 dB。	0x0	读/写 Read/ write
0x05C4		[3]			预加重启用。 Pre-emphasis enable.	0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	SERDOUT0 de-emphasis select		预加重使能 Pre-emphasis enable	0 1	禁用。 Disabled. 启用。 Enabled.		读/写 Read/write
0x05C4	SERDOUT0 de-emphasis select	[2:0]	设置 SERDOUT0±的预加重 Set SERDOUT0± pre-emphasis	000 001 010 011 100	设置预加重。 Set pre-emphasis. 0 dB。 3 dB。 6 dB。 9 dB。 12 dB。		
0x05C5	SERDOUT1 de-emphasis select	7	去加重使能 De-emphasis enable	0 1	去加重启用。 De-emphasis enable. 禁用。 Disabled. 启用。 Enabled.	0x0	读/写 Read/write
0x05C5	SERDOUT1 de-emphasis select	[6:4]	设置 SERDOUT1±的去加重 Set SERDOUT1± de-emphasis	000 001 010 011 100	设置去加重。 Set de-emphasis. 0 dB。 3 dB。 6 dB。 9 dB。 12 dB。	0x0	读/写 Read/write
0x05C5	SERDOUT1 de-emphasis select	[3]	预加重使能 Pre-emphasis enable	0 1	预加重启用。 Pre-emphasis enable. 禁用。 Disabled. 启用。 Enabled.	0x0	读/写 Read/write
0x05C5	SERDOUT1 de-emphasis select	[2:0]	设置 SERDOUT1±的预加重 Set SERDOUT1± pre-emphasis	000 001 010 011 100	设置预加重。 Set pre-emphasis. 0 dB。 3 dB。 6 dB。 9 dB。 12 dB。		
0x1222	JESD204B PLL calibration	[7:0]	JESD204B 锁相环校准复位 JESD204B PLL calibration reset	0x00 0x04	JESD204B 锁相环正常工作。 JESD204B PLL operates normally. 复位 JESD204B 锁相环校准。 Reset the JESD204B PLL calibration.	0x0	读/写 Read/write
0x1228	JESD204B PLL startup control	[7:0]	JESD204B 锁相环校准启动电路复位 JESD204B PLL calibration startup circuit reset	0x0F 0x4F	JESD204B 启动电路处于正常工作状态。 JESD204B startup circuit in normal operating state. 复位 JESD204B 启动电路。 Reset the JESD204B startup circuit.	0x0	读/写 Read/write
0x1262	JESD204B PLL LOL bit control	[7:0]	JESD204B 锁相环失锁清除 JESD204B PLL loss-of-lock clear	0x00 0x08	正常工作 Normal operation. 清除丢失锁位。 Clear the loss-of-lock bit.	0x0	读/写 Read/write

表19 / Table 19 — VREF/模拟输入控制寄存器（全是 pair map）/ VREF/Analog Input Control Registers (All Pair Map)

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0701	DC offset calibration control (local)	[7:0]	DC 偏移校准控制 DC offset calibration control	0x06 0x86	禁用。 Disabled. 启用。 Enabled.	0x06	读/写 Read/write
0x073B	DC Offset Calibration Control 2 (local)	[7:0]	DC 偏移校准累加器复位 DC offset calibration accumulator reset	0xB7 0xBF 0x3F	同步复位 dc 偏移校准累加器。 Synchronously reset the DC offset calibration accumulator. 累加器复位（用于 0x0701=0x06）。 Accumulator reset (for 0x0701 = 0x06). 累加器复位释放（当 0x0701=0x86，必须设置成 0x37）。 Accumulator reset release (when 0x0701 = 0x86, must be set to 0x37).	0xB7	读/写 Read/write
0x18A6	VREF control	[7:1]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x18A6	VREF control	0	VREF 控制 VREF control	0 1	内部基准时钟信号。 Internal reference signal. 外部基准时钟信号。 External reference signal.	0x0	读/写 Read/write
0x18E3	External VCM buffer control	7	保留 Reserved		保留 Reserved.	0x0	读 Read
0x18E3	External VCM buffer control	6	外部 VCM 缓冲 External VCM buffer	0 1	禁用。 Disabled. 启用。 Enabled.	0x0	读/写 Read/write
0x18E3	External VCM buffer control	[5:0]	外部 VCM 缓冲[5:0] External VCM buffer [5:0]		参阅输入共模部分。 See the Input Common Mode section.	0x0	读/写 Read/write
0x18E6	Temperature diode export	[7:0]	温度二极管位置选择 Temperature diode position select	0x00 0x01 0x02 0x03 0x40 0x41 0x42 0x43 0x50 0x51 0x52 0x53	中央二极管输出。VREF 引脚=高电平-Z。 Center diode output. VREF pin = high-Z. 中央二极管输出。VREF 引脚=1x 二极管电压输出。 Center diode output. VREF pin = 1× diode voltage output. 中央二极管输出。VREF 引脚=20x 二极管电压输出。 Center diode output. VREF pin = 20× diode voltage output. 中央二极管输出。VREF 引脚=GND。 Center diode output. VREF pin	0x0	读/写 Read/write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					= GND. 通道 A 二极管输出。VREF 引脚=高电平-Z。 Channel A diode output. VREF pin = high-Z. 通道 A 二极管输出。VREF 引脚=1x 二极管电压输出。 Channel A diode output. VREF pin = 1× diode voltage output. 通道 A 二极管输出。VREF 引脚=20x 二极管电压输出。 Channel A diode output. VREF pin = 20× diode voltage output. 通道 A 二极管输出。VREF 引脚=GND。 Channel A diode output. VREF pin = GND. 通道 B 二极管输出。VREF 引脚=高电平-Z。 Channel B diode output. VREF pin = high-Z. 通道 B 二极管输出。VREF 引脚=1x 二极管电压输出。 Channel B diode output. VREF pin = 1× diode voltage output. 通道 B 二极管输出。VREF 引脚=20x 二极管电压输出。 Channel B diode output. VREF pin = 20× diode voltage output. 通道 B 二极管输出。VREF 引脚=GND。 Channel B diode output. VREF pin = GND.		
0x1908	Analog input control (local)	[7:3]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x1908	Analog input control (local)	2	启用 dc 耦合 Enable DC coupling	0 1	为 ac 耦合优化模拟输入。 Optimize the analog input for AC coupling. 为 dc 耦合优化模拟输入。 Optimize the analog input for DC coupling.	0x0	读/写 Read/ write
0x1908	Analog input control (local)	[1:0]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x1910	Input full-scale control (local)	[7:4]	保留 Reserved		保留。 Reserved.	0x0	读 Read
0x1910	Input full-scale control (local)	[3:0]	满量程电压 Full-scale voltage	1010 1011 1100 1101 1110	满量程电压设置。 Full-scale voltage setting. 1.44 V p-p 差分电压。 1.44 V p-p differential voltage. 1.56 V p-p 差分电压。	0xC	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
				1111 0000	1.56 V p-p differential voltage. 1.68 V p-p 差分电压。 1.68 V p-p differential voltage. 1.80 V p-p 差分电压。 1.80 V p-p differential voltage. 1.92 V p-p 差分电压。 1.92 V p-p differential voltage. 2.04 V p-p 差分电压。 2.04 V p-p differential voltage. 2.16 V p-p 差分电压。 2.16 V p-p differential voltage.		
0x1A4C	Buffer Control 1 (local)	[7:6]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x1A4C	Buffer Control 1 (local)	[5:0]	缓冲器控制1 Buffer control 1	000110 001000 001010 001111 000100 001001 011110 100011 101000 101101 110010	输入缓冲器主电流 1 Input buffer main current 1. 缓冲器电流设置为 120μA。 Buffer current set to 120μA. 缓冲器电流设置为 160μA。 Buffer current set to 160μA. 缓冲器电流设置为 200μA。 Buffer current set to 200μA. 缓冲器电流设置为 300μA。 Buffer current set to 300μA. 缓冲器电流设置为 400μA。 Buffer current set to 400μA. 缓冲器电流设置为 500μA。 Buffer current set to 500μA. 缓冲器电流设置为 600μA。 Buffer current set to 600μA. 缓冲器电流设置为 700μA。 Buffer current set to 700μA. 缓冲器电流设置为 800μA。 Buffer current set to 800μA. 缓冲器电流设置为 900μA。 Buffer current set to 900μA. 缓冲器电流设置为 1000μA。 Buffer current set to 1000μA.	0x0C	读/写 Read/ write
0x1A4D	Buffer Control 2 (local)	[7:6]	保留 Reserved		保留 Reserved.	0x0	读 Read
0x1A4D	Buffer Control 2 (local)	[5:0]	缓冲器控制2 Buffer control 2	000110 001000 001010 001111 000100 001001 011110 100011 101000 101101 110010	输入缓冲器主电流 2 Input buffer main current 2. 缓冲器电流设置为 120μA。 Buffer current set to 120μA. 缓冲器电流设置为 160μA。 Buffer current set to 160μA. 缓冲器电流设置为 200μA。 Buffer current set to 200μA. 缓冲器电流设置为 300μA。 Buffer current set to 300μA. 缓冲器电流设置为 400μA。 Buffer current set to 400μA. 缓冲器电流设置为 500μA。 Buffer current set to 500μA.	0x0C	读/写 Read/ write

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit Name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					缓冲器电流设置为 600μA。 Buffer current set to 600μA. 缓冲器电流设置为 700μA。 Buffer current set to 700μA. 缓冲器电流设置为 800μA。 Buffer current set to 800μA. 缓冲器电流设置为 900μA。 Buffer current set to 900μA. 缓冲器电流设置为 1000μA。 Buffer current set to 1000μA.		

电源地间保护 / Power-to-Ground Protection

English: To improve the anti-static capability of the device, the following ESD protection loops exist between the various supply pins inside the device. The forward conduction voltage drop of each ESD protection device is approximately 0.35V; during power-up and normal use, prolonged forward conduction of these ESD protection devices should be avoided.

中文： 为了提高器件的抗静电能力，器件内部的各电源引脚之间存在如下的静电保护回路，每个 ESD 保护管的正向导通压降约 0.35V，上电及正常使用中应避免这些 ESD 保护管长时间正向导通。

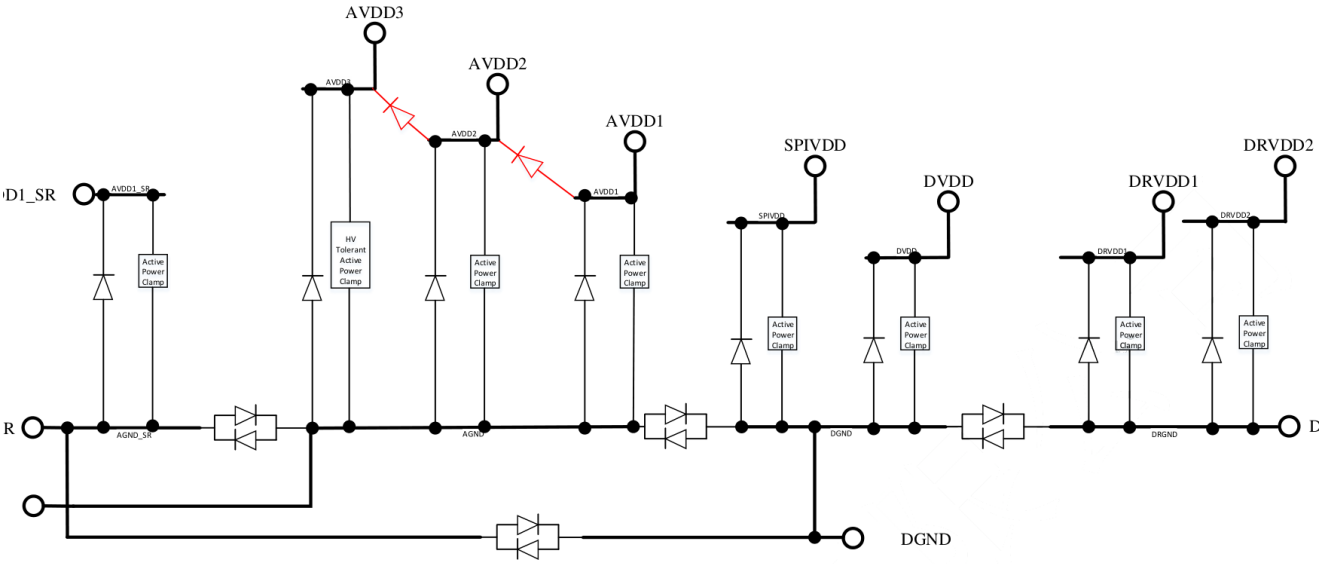


图52　内部电源间的 ESD 保护电路

Figure 52: ESD protection circuits between internal supplies

注意事项 / Precautions

1、产品安装注意事项 / 1. Product Installation Precautions

English: 1) Pay attention to device orientation during soldering to avoid soldering it in the wrong orientation. 2) Instruments and meters used for debugging the circuit must share a good common ground. PCB design must maintain good grounding and power-supply decoupling. 3) Take care not to reverse the power supply or short the input/output pins to the power supply, which can easily damage the circuit.

中文： 1) 焊接时请注意器件方向，以免焊错。 2) 调试电路所用的仪器、仪表一定要有良好的统一接地。PCB 板设计请务必保持接地良好、电源去耦。 3) 应注意不要将电源接反及输入输出端与电源短路，易造成电路损坏。

2、产品使用注意事项 / 2. Product Usage Precautions

English: 1) It is recommended to reset the circuit first after power-up before use. 2) It is recommended to pay attention to the ambient temperature in actual use, and to pay attention to heat dissipation. 3) After configuring the DDC and 204B, a datapath soft reset is required (write 0x02 to register 0x0001). 4) This product supports only JESD204B Subclass 1; for operating modes, see the relevant content in the ADC Application Modes and JESD204B Tx Converter Mapping section. 5) If the input signal exceeds the rated input range, after it returns to the normal input range, a datapath soft reset is recommended. 6) Note that for all ports marked with positive/negative (such as SYSREF±), use them exactly according to the positive/negative markings. Under normal circumstances, register 0x0120[4] is 0; when the SYSREF± pin is reversed relative to the peripheral clock circuit ±, register 0x0120[4] must be set to "1". 7) For how to enable the fast detect function, see the relevant content in the Functional Blocks and Operating Principles section. 8) If a change in the circuit's peripheral configuration (such as a non-continuous change of input clock frequency, sudden interruption of the input clock, or a supply voltage exceeding its rated value) causes the ADC function to be interrupted, the circuit may be in an abnormal state caused by the peripheral configuration change; even if the peripheral configuration returns to normal, the circuit may still remain in an abnormal operating state. Therefore, after the peripheral configuration is stable, a datapath soft reset (write 0x02 to register 0x0001) is recommended, so as to ensure normal ADC operation. 9) Configuring 0x0738 to 0x18 and 0x073e to 0x08 turns off part of the online algorithms; SNR decreases by about 1dB, but the ADC anti-interference capability is strengthened. 10) For the supply voltage range, refer to the Recommended Operating Conditions section. 11) The maximum limit conditions of the product must not be exceeded in use, otherwise irreversible damage will be caused to the circuit. 12) The circuit operating frequency is 168.75MSPS~600MSPS. 13) The heat sink is analog ground; unused pins are recommended to be left floating. 14) When the power-up sequence can be controlled, power up the 0.975V supply first, then the 1.8V supply, then the 2.5V supply, but the precautions described in the Power-to-Ground Protection section must also be noted at the same time. When the power-up sequence cannot be controlled, ensure that after all supplies have finished powering up, the chip is reset once by configuring registers 0x00 to 0x81 (recommended). 15) Filtering of the supplies is recommended, and the analog and digital supplies should be appropriately isolated. 16) By default, background offset calibration is off. Steps to enable ADC offset calibration (the offset calibration enabling registers differ from the foreign product): write 0x86 to register 0x0701, 0x3F to 0x73B, 0x00 to 0x0755, 0x00 to 0x075A; steps to disable offset calibration: write 0x06 to register 0x0701, 0xBF to 0x73B, 0x33 to 0x0755, 0x77 to 0x075A. Note that after ADC background offset calibration is enabled, if the input signal amplitude exceeds the quantization range, the offset calibration algorithm will fail; after the input signal amplitude returns within the quantization range, the offset calibration algorithm needs 10s to recover. Because the ADC offset has

already been foreground-calibrated at the factory, use of this function is not recommended. If the user does need to perform offset calibration, please contact Shenxin Technology's marketing and application support personnel to obtain technical support [原厂联系表述已按深信口径替换 / original-manufacturer contact wording replaced with Shenxin]. 17) The input clock division of this product supports divide-by-1, divide-by-2, and divide-by-4; the default is divide-by-2. If multi-chip synchronization is used, setting the clock division to divide-by-1 is recommended. 18) After enabling the DDC function, it is recommended to set the chip to N'=16 (0x0590=0x2F) and N=16 (0x058F=0x0F); all modes with N'=8 are not recommended. 19) Enabling scrambling is recommended for all 204B modes; among them, the mode L=1, M=4, F=8, S=1, N'=16 must enable scrambling.

中文： 1) 推荐上电后首先对电路进行复位，再进行使用。 2) 建议实际使用时关注环境温度，并注意散热。 3) 在配置 DDC 和 204B 后，需要数据路径软复位（0x0001 寄存器打 0x02）。 4) 本产品只支持 JESD204B 子类 1，工作模式见 ADC 应用模式和 JESD204BTx 转换器映射部分相关内容。 5) 如果输入信号超出输入额定范围，当恢复到正常输入范围后，建议数据路径软复位。 6) 注意所有标注了正负的端口（如 SYSREF±等），请准确按照正负标注使用。正常情况下，寄存器 0x0120[4]为 0；当 SYSREF±引脚与外围时钟电路±接反时，寄存器 0x0120[4]需置为"1"。 7) 快速检测功能开启方式请参见单元模块及工作原理部分相关内容。 8) 如果电路外围配置变化（如输入时钟频率非连续变化、输入时钟突然中断或者电源电压超出额定值等情况），导致 ADC 功能中断，电路可能处于因外围配置变化而导致的异常状态，即使外围配置重新恢复正常，电路任然可能处于非正常工作状态。因此，建议外围配置稳定后，对数据路径软复位（0x0001 寄存器打 0x02），从而保证 ADC 正常工作。 9) 0x0738 配置成 0x18，0x073e 配置成 0x08，关闭部分在线算法，SNR 会下降 1dB 左右，但是 ADC 抗干扰能力加强。 10) 供电电压范围参考推荐工作条件部分。 11) 不能超过产品最大限定条件使，否者将会对电路造成不可逆的损坏。 12) 电路工作频率为 168.75MSPS~600MSPS。 13) 热沉为模拟地，未使用引脚建议悬空。 14) 上电顺序可控制时，0.975V 电源先上电，然后 1.8V 电源，再 2.5V 电源，但是需要同时注意电源地保护章节的描述的注意事项。上电顺序不能控制时，保证所有电源上电完成后，通过配置寄存器 0x00 到 0x81 把芯片复位一次（推荐）。 15) 建议对电源进行滤波，且将模拟和数字电源进行适当隔离。 16) 默认状态下后台失调校准是关闭的，开启 ADC 失调校准步骤（失调校准开启寄存跟老外不一样）：0x0701 寄存器打 0x86，0x73B 打 0x3F，0x0755 打 0x00,0x075A 打 0x00；关闭失调校准步骤：0x0701 寄存器打 0x06，0x73B 打 0xBF，0x0755 打 0x33,0x075A 打 0x77。需要注意的是，当开启 ADC 失调校准后，如果输入信号幅度超出量化范围，会导致失调校准算法失效，待输入信号幅度恢复到量化范围内后，失调校准算法需要 10s 恢复。由于 ADC 已经在出厂对失调进行了前台校准，不推荐使用本功能。如用户确需进行失调校准，请联系深信科技的市场和应用支持人员，以获得技术支持。 17) 本产品输入时钟分频支持 1、2、4 分频，默认是 2 分频，如果使用多芯片同步，推荐将时钟分频设置成 1 分频。 18) 开启 DDC 功能后，推荐芯片按照 N'= 16（0x0590=0x2F）和 N=16(0x058F=0x0F)进行设置，不推荐 N'=8 的所有模式。 19) 推荐所有 204B 模式开加扰，其中 L = 1, M = 4, F = 8, S = 1, N' = 16 模式必须开加扰。

3、产品防护注意事项 / 3. Product Protection Precautions

English: 1) Temperature, humidity, and environmental requirements for finished-product warehouse storage: temperature 10°C～25°C, relative humidity 25%～70%, electrostatic discharge sensitivity Class 1B (500~999V). All pins of this circuit have ESD protection structures; however, high-energy electrical pulses can still damage the circuit, so ESD protection should be observed during testing, handling, and storage. 2) Product storage period: counted from the inspection lot identification code date; when warehoused products have been stored for more than 36 months, the products shall be placed in the expired-product cabinet, and the products may be used only after passing re-inspection. 3) Use within 4 hours after unpacking is recommended; if exposed to air for more than 4 hours, high-temperature baking at 150°C for 8h followed by vacuum packaging and storage in a dry cabinet is recommended. 4) Dropping during use should be avoided, so as not to cause mechanical stress damage. 5) Exceeding the absolute maximum

ratings may cause permanent damage to the device. The maximum ratings do not imply that the device can operate normally under these conditions or under any other conditions beyond those shown in this product manual. Operating for long periods under absolute maximum rating conditions will affect device reliability. 6) Plastic-packaged circuits easily absorb moisture, causing delamination; care should be taken during use to keep the surrounding environment dry, and during storage they should be vacuum-packed and stored in a room-temperature, dry environment.

中文： 1) 成品库贮存的温湿度和环境要求：温度10°C～25°C，相对湿度25%～70%、静电放电敏感度 1B等级（500~999V）。该电路所有引出端均有静电保护结构，不过大能量电脉冲仍然可能损坏电路，因此在测试、搬运、储藏过程中，应注意静电防护。 2) 产品贮存期:从检验批识别代码日期算起，入库产品贮存期超过36个月时产品应归入超期产品专柜存放，产品须复检合格后方能使用。 3) 建议拆封后4小时内使用，如在空气中暴露超过4小时，建议进行150°C，8h的高温烘焙后抽真空包装，放置于干燥柜中存放。 4) 在使用过程中应避免跌落以免造成机械应力损伤。 5) 超出绝对最大额定值可能会导致器件永久性损坏。额定最大值不表示在这些条件下或者在任何其它超出本产品手册中所示的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。 6) 塑封电路易吸潮导致分层，使用时应注意保持周围环境干燥，存储时应真空包装储存于常温、干燥环境下。

4、电装说明 / 4. Assembly Instructions

English: 1) The moisture sensitivity level of this product is MSL3. After removing the product from the moisture-barrier bag, performing dry storage, or baking, the allowable floor life before reflow soldering is: ≤30°C/60RH%, 168h. 2) If device storage conditions cannot be controlled or traced, bake strictly at 85°C for 8h before assembly. 3) If the assembly environment temperature/humidity cannot be guaranteed at ≤30°C/60RH%, complete soldering within 12h after baking. 4) After baking, the product is highly susceptible to static electricity; observe ESD protection throughout all operations. 5) For board-level assembly using leaded reflow soldering (Sn63Pb37), the recommended peak temperature range is 210°C~235°C; the maximum peak temperature should not exceed 235°C; time within ±5°C of the peak temperature ≤20s; time above liquidus 60~90s; ramp-up rate 2~4°C/s; ramp-down rate ≤2°C/s ~6°C/s. 6) For board-level assembly using lead-free reflow soldering (SAC305), the recommended peak temperature range is 230°C~245°C; the maximum peak temperature should not exceed 260°C; time within ±5°C of the peak temperature ≤20s; time above liquidus 60~90s; ramp-up rate 2~4°C/s; ramp-down rate 2°C/s ~6°C/s. 7) If a mixed assembly process requires elevated temperature, ensure the device body temperature does not exceed 260°C. (The device body temperature measurement point is at the top surface of the device during reflow.) 8) The solder terminal surface treatment of this product is NiPdAu (nickel-palladium-gold), but with a content of less than 3%, no gold embrittlement will occur, and tinning is not required. 9) If tinning is forcibly required, perform tinning in accordance with the national aerospace industry standard QJ3267, Process Technical Requirements for Tinning of Electronic Components. Note that the device must be dried before tinning; the tinning temperature setting must not exceed 300°C; the heating time for each side of the four edges of pins is less than 5s; the heat sink surface heating time is less than 30s; the number of tinning operations must not exceed 1.

中文： 1) 本产品潮湿敏感等级为 MSL3，将产品从防潮袋中取出、进行干燥储存或烘干后到回流焊前所暴露在外部环境的允许时间为：≤30°C/60RH%，168h。 2) 若器件储存条件无法控制或追溯，请在电装前严格执行 85°C，8h 烘烤。 3) 若电装环境温湿度无法保证≤30°C/60RH%，请在烘烤后 12h 内完成焊接。 4) 产品烘烤后，极易产生静电，所有操作过程需要注意 ESD 防护。 5) 板级组装采用有铅回流焊（Sn63Pb37）时，推荐峰值温度范围 210°C~235°C，最大峰值温度不建议超过 235°C，峰值温度±5°C以内停留时间≤20s，液相线以上停留时间 60~90s。升温速率 2~4°C/s，降温速率≤2°C/s ~6°C/s。 6) 板级组装采用无铅回流焊（SAC305）时，推荐峰

值温度范围 230°C~245°C，最大峰值温度不建议超过 260°C，峰值温度±5°C以内停留时间≤20s，液相线以上停留时间 60~90s。升温速率 2~4°C/s，降温速率 2°C/s ~6°C/s。 7) 若混合电装工艺需要温度升高，应保证器件本体温度最高不超过 260°C。（器件本体温度测量点位于回流焊时器件上表面）。 8) 本产品焊接端表面处理方式为镍钯金，但含量小于 3%，不会出现金脆现象，不需要搪锡。 9) 若有强制搪锡需求，按《国家航天行业标准 QJ3267 电子元器件搪锡工艺技术要求》标准进行搪锡。应注意搪锡前器件需烘干，搪锡设置温度不超过 300°C，四边引脚每边受热时间小于 5s，热沉表面受热时间小于 30s，搪锡次数不超过 1 次。

5、热阻 / 5. Thermal Resistance

表20 / Table 20 — 封装热阻 / Package Thermal Resistance

项目 / Item	实测值 / Measured Value	依据标准及方法 / Standard and Method
Rthja（结到环境的热阻）/ Rthja (junction-to-ambient thermal resistance)	26.11 K/W	JESD51-2 集成电路自然对流热测试环境要求及测试方法 / JESD51-2, natural-convection thermal test environmental requirements and test method for integrated circuits
Rthjt(结到器件顶面的热阻) / Rthjt (junction-to-package-top thermal resistance)	3.145 K/W	JESD51-14 一维传热路径双界面分离法 / JESD51-14, two-interface separation method for one-dimensional heat-transfer paths
Rthj-bottom（结到器件底面的热阻）/ Rthj-bottom (junction-to-package-bottom thermal resistance)	3.375 K/W	JESD51-14 拐点理论器件内部结构分层得到 / JESD51-14, obtained by inflection-point-theory layering of the device internal structure

常见故障及处理办法 / Common Faults and Troubleshooting

English: 1. No output signal: check whether there is a clock input at the clock pins; check whether the supply and ground signal connections are normal; ensure the input voltage and reference voltage are accurate. 2. Output data jitter: check the external circuit and connections; ensure the reference voltage is stable. 3. Unstable device operation: check the power supply and ensure the supply voltage is stable.

中文： 1. 无输出信号：检查时钟引出端是否有时钟输入，检查电源、地信号连接是否正常，保证输入电压、基准电压准确； 2. 输出数据抖动：检查外部电路和连接，保证基准电压稳定。 3. 器件工作不稳定：检查电源，保证电源电压稳定。

联系方式 / Contact Information

English: - Felix (Flip) Lai, CEO - Email: felix@shenxinic.com - Phone: +852 51367095 - Website: shenxinic.com

中文： - Felix (Flip) Lai，CEO - 邮箱：felix@shenxinic.com - 电话：+852 51367095 - 官网：shenxinic.com

附加说明 / Additional Notes

English: 1. First release date of this manual: July 2026. 2. Product status: ☑ Production (this model is currently in production; formal products are available). ☐ Pre-release (this model has not yet entered formal production; samples are available). 3. Cross-reference notes vs. the foreign product: The SXA039 supply absolute maximum ratings and nominal values are consistent with the foreign product; the recommended supply ranges are consistent with the foreign product datasheet; the package length and width are consistent with the foreign product; the package height is slightly lower than the foreign product; the dynamic performance in the first and second Nyquist zones is comparable to the foreign product; the signal-to-noise ratio (SNR) and signal-to-noise-and-distortion ratio (SINAD) in the third and fourth Nyquist zones are slightly lower than the foreign product; the operating temperature range is consistent with the foreign product. The SXA039 is pin-compatible with the foreign product and can achieve a functional replacement of the foreign product. A detailed description of the main functions of the SXA039 can refer to the foreign product's data sheet; where inconsistent with the foreign product's data sheet, this product manual shall prevail; if in doubt, please contact technical support personnel to obtain technical support.

中文： 1. 本说明书首次发布日期：2026 年 7 月。 2. 本产品状态：☑ 生产（该产品型号目前已在生产，可以提供正式产品） ☐预发布（该产品型号尚未投入正式生产，可以提供样品） 3. 替代国外产品情况说明：SXA039 电源绝对最大额定值和标称值与国外产品一致，电源推荐范围与国外产品器件手册一致，封装长、宽与国外产品一致，封装高度比国外产品略低，动态性能在一、二奈科斯特区与国外产品相当，信噪比（SNR）与信噪失真比（SINAD）在第三、四奈科斯特区比国外产品略低，工作温度范围与国外产品一致。SXA039 与国外产品管脚兼容，可实现对国外产品的功能替换。SXA039 主要功能的详细描述可以参考国外产品数据手册，当与国外产品数据手册不一致时，以本产品说明书为准，如有疑问请联系技术支持人员，以获得技术支持。

1）绝对最大额定值对比 / 1) Absolute Maximum Ratings Comparison

附表1 / Appendix Table 1 — 绝对最大额定值对比 / Absolute Maximum Ratings Comparison

参数 / Parameter	SXA039 采购规范要求 / SXA039 Procurement Specification	国外产品器件手册 / Foreign Product Datasheet	比对结果 / Comparison Result
VAVDD1	1.05V	1.05V	一致 / Consistent
VAVDD1_SR	1.05V	1.05V	一致 / Consistent
VAVDD2	2.0V	2.0V	一致 / Consistent
VAVDD3	2.7V	2.7V	一致 / Consistent
VDVDD	1.05V	1.05V	一致 / Consistent
VDRVDD1	1.05V	1.05V	一致 / Consistent
VDRVDD2	2.0V	2.0V	一致 / Consistent
VSPIVDD	2.0V	2.0V	一致 / Consistent
VSPIVDD	2.0V	2.0V	一致 / Consistent

2）推荐工作条件对比 / 2) Recommended Operating Conditions Comparison

附表2 / Appendix Table 2 — 推荐工作条件对比 / Recommended Operating Conditions Comparison

参数 / Parameter	SXA039 规范要求 / SXA039 Specification	国外产品器件手册 / Foreign Product Datasheet	比对结果 / Comparison Result
电源电压（VAVDD1）to AGND / Supply voltage (VAVDD1) to AGND	0.95V~1.0V	0.95V~1.0V	一致 / Consistent
电源电压（VAVDD1_SR）to AGND / Supply voltage (VAVDD1_SR) to AGND	0.95V~1.0V	0.95V~1.0V	一致 / Consistent
电源电压（VAVDD2）to AGND / Supply voltage (VAVDD2) to AGND	1.71V~1.89V	1.71V~1.89V	一致 / Consistent
电源电压（VDRVDD2）to AGND / Supply voltage (VDRVDD2) to AGND	1.71V~1.89V	1.71V~1.89V	一致 / Consistent
电源电压（VSPIVDD）to AGND / Supply voltage (VSPIVDD) to AGND	1.71V~1.89V	1.71V~1.89V	一致 / Consistent
电源电压（VAVDD3）to AGND / Supply voltage (VAVDD3) to AGND	2.44V~2.56V	2.44V~2.56V	一致 / Consistent
电源电压（VDVDD）to AGND / Supply voltage (VDVDD) to AGND	0.975V~1V	0.95V~1.0V	一致 / Consistent
电源电压（VDRVDD1）to AGND / Supply voltage (VDRVDD1) to AGND	0.975V~1V	0.95V~1.0V	一致 / Consistent
工作温度范围 / Operating temperature range	-40°C≤TA≤85°C	-40°C≤TA≤85°C	一致 / Consistent

3）性能指标对比 / 3) Performance Specification Comparison

附表3 / Appendix Table 3 — FS=600MSPS 条件下，主要性能指标对比 / Main Performance Comparison at FS=600MSPS (SXA039 实测 / measured, TA=-40°C~85°C; 国外产品数据手册 / foreign product datasheet, TA=-40°C~85°C; 输入幅度范围为 1.80Vp-p / input range 1.80Vp-p)

参数 / Parameter	条件 / Condition	SXA039 最小 / Min	SXA039 典型值 / Typ	SXA039 最大 / Max	国外产品 最小 / Foreign Min	国外产品 典型值 / Foreign Typ	国外产品 最大 / Foreign Max	单位 / Unit	比对结果 / Result
分辨率 / Resolution	/	14	14	14	—	—	—	Bits	一致 / Consistent
微分非线性误差 / DNL	/	-0.9	-0.6~0.6	0.9	—	—	—	LSB	/
积分非线性误差 / INL	/	-9.0	-3~3	9.0	—	—	—	LSB	/
信噪比 (SNR) / SNR	Fin=10MHz	—	66	—	—	66.6	—	dBFS	一致 / Consistent
信噪比 (SNR) / SNR	Fin=155MHz	63	66	—	—	67	—	dBFS	一致 / Consistent
信噪比 (SNR) / SNR	Fin=305MHz	—	65.5	—	—	66.8	—	dBFS	一致 / Consistent
信噪比 (SNR) / SNR	Fin=450MHz	61	65	—	—	66.4	—	dBFS	一致 / Consistent
	Fin=765MHz	—	64	—	—	66	—	dBFS	

参数 / Parameter	条件 / Condition	SXA039 最小 / Min	SXA039 典型值 / Typ	SXA039 最大 / Max	国外产品 最小 / Foreign Min	国外产品 典型值 / Foreign Typ	国外产品 最大 / Foreign Max	单位 / Unit	比对结果 / Result
信噪比 (SNR) / SNR									典型值有差异 / Typical values differ
信噪比 (SNR) / SNR	Fin=985MHz	58	63	—	—	65.5	—	dBFS	典型值有差异 / Typical values differ
信噪失真比 (SINAD) / SINAD	Fin=10MHz	—	65.5	—	—	66.5	—	dBFS	一致 / Consistent
信噪失真比 (SINAD) / SINAD	Fin=155MHz	61	65.5	—	—	66.8	—	dBFS	一致 / Consistent
信噪失真比 (SINAD) / SINAD	Fin=305MHz	—	65	—	—	66.5	—	dBFS	一致 / Consistent
信噪失真比 (SINAD) / SINAD	Fin=450MHz	58	64.5	—	—	66.3	—	dBFS	一致 / Consistent
信噪失真比 (SINAD) / SINAD	Fin=765MHz	—	64	—	—	65.4	—	dBFS	典型值有差异 / Typical values differ
信噪失真比 (SINAD) / SINAD	Fin=985MHz	56	62.5	—	—	64.8	—	dBFS	典型值有差异 / Typical values differ
无杂散动态范围 (SFDR) / SFDR	Fin=10MHz	—	85	—	—	86	—	dBFS	一致 / Consistent
无杂散动态范围 (SFDR) / SFDR	Fin=155MHz	75	85	—	—	81	—	dBFS	一致 / Consistent
无杂散动态范围 (SFDR) / SFDR	Fin=305MHz	—	81	—	—	81	—	dBFS	一致 / Consistent
无杂散动态范围 (SFDR) / SFDR	Fin=450MHz	70	82	—	—	84	—	dBFS	一致 / Consistent
无杂散动态范围 (SFDR) / SFDR	Fin=765MHz	—	77	—	—	76	—	dBFS	一致 / Consistent
无杂散动态范围 (SFDR) / SFDR	Fin=985MHz	65	74	—	—	75	—	dBFS	一致 / Consistent
电流 / Current	IAVDD1	—	350	550	—	352	513	mA	典型值一致 / Typical values consistent

© 2026 Shenzhen Shenxin Technology Co., Ltd.

参数 / Parameter	条件 / Condition	SXA039 最小 / Min	SXA039 典型值 / Typ	SXA039 最大 / Max	国外产品最小 / Foreign Min	国外产品典型值 / Foreign Typ	国外产品最大 / Foreign Max	单位 / Unit	比对结果 / Result
电流 / Current	IAVDD1_SR	—	22	55	—	23	55	mA	典型值略大于国外产品 / Typical value slightly greater than the foreign product
电流 / Current	IAVDD2	—	520	655	—	443	478	mA	典型值略大于国外产品 / Typical value slightly greater than the foreign product
电流 / Current	IAVDD3	—	85	135	—	87	104	mA	典型值一致 / Typical values consistent
电流 / Current	IDVDD	—	145	295	—	146	200	mA	典型值一致 / Typical values consistent
电流 / Current	IDRVDD1	—	195	325	—	183	235	mA	典型值一致 / Typical values consistent
电流 / Current	IDRVDD2	—	25	40	—	23	28	mA	典型值一致 / Typical values consistent
电流 / Current	ISPIVDD	—	1	5	—	1	1.6	mA	典型值一致 / Typical values consistent
功耗 / Power consumption	/	—	1.8	2.5	—	1.75	2.16	W	基本一致 / Basically consistent

注：国内、国外产品典型值均为常温实测值，国内产品极限值为规范要求，国外产品极限值为数据手册值 / Note: typical values of both the domestic and foreign products are room-temperature measured values; the limit values of the domestic product are specification requirements, and the limit values of the foreign product are datasheet values.

附表4 / Appendix Table 4 — FS=500MSPS 条件下，主要性能指标对比 / Main Performance Comparison at FS=500MSPS (TA=-40°C~85°C; 输入幅度范围为 1.80Vp-p / input range 1.80Vp-p)

参数 / Parameter	条件 / Condition	SXA039 最小 / Min	SXA039 典型值 / Typ	SXA039 最大 / Max	国外产品最小 / Foreign Min	国外产品典型值 / Foreign Typ	国外产品最大 / Foreign Max	单位 / Unit	比对结果 / Result
分辨率 / Resolution	/		14	—		14	—	Bits	一致 / Consistent
无失码 / No missing codes	/		保证 / Guaranteed	—		保证 / Guaranteed	—	/	一致 / Consistent
	/	-1	-0.1~0.1	1	—	0.1	—	%FSR	

参数 / Parameter	条件 / Condition	SXA039 最小 / Min	SXA039 典型值 / Typ	SXA039 最大 / Max	国外产品最小 / Foreign Min	国外产品典型值 / Foreign Typ	国外产品最大 / Foreign Max	单位 / Unit	比对结果 / Result
失调误差 / Offset error									典型值相当 / Typical values comparable
失调误差匹配 / Offset error matching	/	-1	-0.1~0.1	1	—	0.1	—	%FSR	典型值相当 / Typical values comparable
失调温漂 / Offset drift	/	-18	-10~10	18	—	8	—	ppm/°C	典型值相当 / Typical values comparable
微分非线性误差 / DNL	/	-0.9	-0.6~0.6	0.9	-0.7	-0.6~0.6	0.7	LSB	典型值相当 / Typical values comparable
积分非线性误差 / INL	/	-9.0	-3~3	9.0	-5.1	-2.8~2.2	5.1	LSB	典型值相当 / Typical values comparable
输入等效噪声 / Input-referred noise	/	—	2.8	5.0	—	2.7	—	LSB rms	一致 / Consistent
内部参考电电压 / Internal reference voltage	/	490	500	510	—	500	—	mV	一致 / Consistent
噪声谱密度 / NSD	/	—	-150	-145	—	-151	—	dBFS/Hz	一致 / Consistent
输入信号带宽（-3dB）/ Input signal bandwidth (-3dB)	/	—	1.4	—	—	1.4	—	GHz	一致 / Consistent
信噪比 (SNR) / SNR	Fin=10MHz	—	66	—	—	66.6	—	dBFS	一致 / Consistent
信噪比 (SNR) / SNR	Fin=155MHz	63	66	—	64.8	67	—	dBFS	一致 / Consistent
信噪比 (SNR) / SNR	Fin=305MHz	—	65.5	—	—	66.8	—	dBFS	一致 / Consistent
信噪比 (SNR) / SNR	Fin=450MHz	61	65	—	—	66.4	—	dBFS	一致 / Consistent
信噪比 (SNR) / SNR	Fin=765MHz	—	64	—	—	66	—	dBFS	典型值有差异 / Typical values differ
信噪比 (SNR) / SNR	Fin=985MHz	58	63	—	—	65.5	—	dBFS	典型值有差异 / Typical values differ
	Fin=10MHz	—	65.5	—	—	66.5	—	dBFS	一致 / Consistent

参数 / Parameter	条件 / Condition	SXA039 最小 / Min	SXA039 典型值 / Typ	SXA039 最大 / Max	国外产品最小 / Foreign Min	国外产品典型值 / Foreign Typ	国外产品最大 / Foreign Max	单位 / Unit	比对结果 / Result
信噪失真比 (SINAD) / SINAD									
信噪失真比 (SINAD) / SINAD	Fin=155MHz	61	65.5	—	64.5	66.8	—	dBFS	一致 / Consistent
信噪失真比 (SINAD) / SINAD	Fin=305MHz	—	65	—	—	66.5	—	dBFS	一致 / Consistent
信噪失真比 (SINAD) / SINAD	Fin=450MHz	58	64.5	—	—	66.3	—	dBFS	一致 / Consistent
信噪失真比 (SINAD) / SINAD	Fin=765MHz	—	64	—	—	65.4	—	dBFS	典型值有差异 / Typical values differ
信噪失真比 (SINAD) / SINAD	Fin=985MHz	56	62.5	—	—	64.8	—	dBFS	典型值有差异 / Typical values differ
无杂散动态范围 (SFDR) / SFDR	Fin=10MHz	—	85	—	—	83.8	—	dBFS	一致 / Consistent
无杂散动态范围 (SFDR) / SFDR	Fin=155MHz	75	85	—	75	85	—	dBFS	一致 / Consistent
无杂散动态范围 (SFDR) / SFDR	Fin=305MHz	—	81	—	—	83	—	dBFS	一致 / Consistent
无杂散动态范围 (SFDR) / SFDR	Fin=450MHz	70	82	—	—	77.8	—	dBFS	一致 / Consistent
无杂散动态范围 (SFDR) / SFDR	Fin=765MHz	—	77	—	—	76	—	dBFS	一致 / Consistent
无杂散动态范围 (SFDR) / SFDR	Fin=985MHz	65	74	—	—	75	—	dBFS	一致 / Consistent
有效位数 (ENOB) / ENOB	Fin=10MHz	—	10.6	—	—	10.6	—	Bits	一致 / Consistent
有效位数 (ENOB) / ENOB	Fin=155MHz	9.8	10.5	—	10.4	10.6	—	Bits	一致 / Consistent
有效位数 (ENOB) / ENOB	Fin=305MHz	—	10.5	—	—	10.6	—	Bits	一致 / Consistent

参数 / Parameter	条件 / Condition	SXA039 最小 / Min	SXA039 典型值 / Typ	SXA039 最大 / Max	国外产品最小 / Foreign Min	国外产品典型值 / Foreign Typ	国外产品最大 / Foreign Max	单位 / Unit	比对结果 / Result
有效位数 (ENOB) / ENOB	Fin=450MHz	9.3	10.5	—	—	10.5	—	Bits	一致 / Consistent
有效位数 (ENOB) / ENOB	Fin=765MHz	—	10.3	—	—	10.4	—	Bits	一致 / Consistent
有效位数 (ENOB) / ENOB	Fin=985MHz	9.0	10	—	—	10.3	—	Bits	典型值有差异 / Typical values differ
交调失真 (IMD) / IMD	Fin1=154MHz Fin2=157MHz	—	-90	—	—	-90	—	dBFS	一致 / Consistent
交调失真 (IMD) / IMD	Fin1=302MHz Fin2=305MHz	—	-84	—	—	-87	—	dBFS	一致 / Consistent
串扰 / Crosstalk	Fin=155MHz	70	75	—	77	—	—	dB	一致 / Consistent
电流 / Current	IAVDD1	—	325	550	—	319	482	mA	典型值一致 / Typical values consistent
电流 / Current	IAVDD1_SR	—	20	55	—	21	53	mA	典型值一致 / Typical values consistent
电流 / Current	IAVDD2	—	505	655	—	438	473	mA	典型值略大于国外产品 / Typical value slightly greater than the foreign product
电流 / Current	IAVDD3	—	80	135	—	87	103	mA	典型值一致 / Typical values consistent
电流 / Current	IDVDD	—	125	295		121	180	mA	典型值一致 / Typical values consistent
电流 / Current	IDRVDD1	—	180	325		162	207	mA	典型值一致 / Typical values consistent
电流 / Current	IDRVDD2	—	24	40		23	29	mA	典型值一致 / Typical values consistent
电流 / Current	ISPIVDD	—	1	5		1	1.6	mA	典型值一致 / Typical values consistent
	/	—	1.28	850	—	1.2	—	W	

参数 / Parameter	条件 / Condition	SXA039 最小 / Min	SXA039 典型值 / Typ	SXA039 最大 / Max	国外产品最小 / Foreign Min	国外产品典型值 / Foreign Typ	国外产品最大 / Foreign Max	单位 / Unit	比对结果 / Result
待机功耗 / Standby power									典型值一致 / Typical values consistent
掉电功耗 / Power-down power	/	—	320	1.75	—	325	—	mW	典型值一致 / Typical values consistent
功耗 / Power consumption	/	—	1.7	2.5	—	1.66	2.07	W	典型值一致 / Typical values consistent

注：国内、国外产品典型值均为常温实测值，国内产品极限值为规范要求，国外产品极限值为数据手册值。/ Note: typical values of both the domestic and foreign products are room-temperature measured values; the limit values of the domestic product are specification requirements, and the limit values of the foreign product are datasheet values.

4）三温实测指标对比 / 4) Three-Temperature Measured Specification Comparison

附表5 / Appendix Table 5 — FS＝500MSPS，Fin=155MHz 频点处，四个通道动态参数实测对比 / Measured Dynamic Parameter Comparison of Four Channels at FS=500MSPS, Fin=155MHz

TA（℃）/ TA (℃)	器件 / Device	通道 / Channel	SNR (dBFS)	SINAD (dBFS)	SFDR (dBFS)	ENOB (Bits)	对比结果 / Result
25	SXA039	CHA	66.3	66.2	82.2	10.7	基本一致 / Basically consistent
25	SXA039	CHB	65.9	65.7	81.8	10.6	
25	SXA039	CHC	66.1	66.0	84.8	10.7	
25	SXA039	CHD	66.5	66.2	79.1	10.7	
25	国外产品 / Foreign product	CHA	66.9	66.9	89.0	10.8	
25	国外产品 / Foreign product	CHB	67.0	67.0	80.4	10.7	
25	国外产品 / Foreign product	CHC	66.9	66.8	86.8	10.8	
25	国外产品 / Foreign product	CHD	66.9	66.9	89.6	10.8	
-40	SXA039	CHA	66.6	66.4	82.0	10.7	基本一致 / Basically consistent
-40	SXA039	CHB	66.4	66.2	80.4	10.7	
-40	SXA039	CHC	66.1	66.0	83.1	10.7	
-40	SXA039	CHD	67.1	66.9	81.5	10.8	
-40	国外产品 / Foreign product	CHA	67.6	67.5	90.4	10.9	

TA（℃）/ TA (℃)	器件 / Device	通道 / Channel	SNR (dBFS)	SINAD (dBFS)	SFDR (dBFS)	ENOB (Bits)	对比结果 / Result
-40	国外产品 / Foreign product	CHB	67.6	67.6	89.0	10.9	
-40	国外产品 / Foreign product	CHC	67.4	67.3	89.7	10.9	
-40	国外产品 / Foreign product	CHD	67.6	67.5	89.0	10.9	
85	SXA039	CHA	65.6	65.3	78.5	10.6	基本一致 / Basically consistent
85	SXA039	CHB	65.6	65.5	83.3	10.6	
85	SXA039	CHC	65.5	65.4	83.1	10.6	
85	SXA039	CHD	65.9	65.7	79.7	10.6	
85	国外产品 / Foreign product	CHA	65.1	64.9	80.4	10.5	
85	国外产品 / Foreign product	CHB	65.3	65.2	81.0	10.5	
85	国外产品 / Foreign product	CHC	64.8	64.7	80.7	10.4	
85	国外产品 / Foreign product	CHD	65.3	65.1	79.8	10.5	

备注：所有数据均为实测值 / Note: all data are measured values.

附表6 / Appendix Table 6 — FS＝500MSPS，Fin=450MHz 频点处，四个通道动态参数实测对比 / Measured Dynamic Parameter Comparison of Four Channels at FS=500MSPS, Fin=450MHz

TA（℃）/ TA (℃)	器件 / Device	通道 / Channel	SNR (dBFS)	SINAD (dBFS)	SFDR (dBFS)	ENOB (Bits)	对比结果 / Result
25	SXA039	CHA	63.5	63.3	79.4	10.2	基本一致 / Basically consistent
25	SXA039	CHB	63.0	62.0	71.4	10.0	
25	SXA039	CHC	63.6	62.7	70.6	10.1	
25	SXA039	CHD	63.4	62.9	74.4	10.2	
25	国外产品 / Foreign product	CHA	64.9	64.5	77.9	10.4	
25	国外产品 / Foreign product	CHB	64.9	64.2	74.5	10.4	
25	国外产品 / Foreign product	CHC	64.6	64.0	74.4	10.3	
25	国外产品 / Foreign product	CHD	64.6	63.9	73.7	10.3	
-40	SXA039	CHA	63.7	63.5	79.2	10.3	基本一致 / Basically consistent
-40	SXA039	CHB	63.1	62.1	72.0	10.0	

TA（℃）/ TA (℃)	器件 / Device	通道 / Channel	SNR (dBFS)	SINAD (dBFS)	SFDR (dBFS)	ENOB (Bits)	对比结果 / Result
-40	SXA039	CHC	63.3	62.4	70.6	10.1	
-40	SXA039	CHD	63.4	62.8	73.6	10.1	
-40	国外产品 / Foreign product	CHA	64.9	64.6	77.5	10.4	
-40	国外产品 / Foreign product	CHB	64.9	64.4	75.4	10.4	
-40	国外产品 / Foreign product	CHC	64.3	63.8	74.0	10.3	
-40	国外产品 / Foreign product	CHD	64.9	64.3	73.9	10.4	
85	SXA039	CHA	63.2	62.7	74.2	10.1	基本一致 / Basically consistent
85	SXA039	CHB	62.9	61.8	71.2	10.0	
85	SXA039	CHC	62.7	62.0	70.7	10.0	
85	SXA039	CHD	63.1	62.8	76.8	10.1	
85	国外产品 / Foreign product	CHA	64.2	63.7	74.7	10.3	
85	国外产品 / Foreign product	CHB	64.2	63.3	73.2	10.2	
85	国外产品 / Foreign product	CHC	63.8	63.0	73.4	10.2	
85	国外产品 / Foreign product	CHD	64.2	63.3	72.9	10.2	

附表7 / Appendix Table 7 — FS＝500MSPS，Fin=985MHz 频点处，四个通道动态参数实测对比 / Measured Dynamic Parameter Comparison of Four Channels at FS=500MSPS, Fin=985MHz

TA（℃）/ TA (℃)	器件 / Device	通道 / Channel	SNR (dBFS)	SINAD (dBFS)	SFDR (dBFS)	ENOB (Bits)	对比结果 / Result
25	SXA039	CHA	63.5	63.3	79.4	10.2	基本一致 / Basically consistent
25	SXA039	CHB	63.0	62.0	71.4	10.0	
25	SXA039	CHC	63.6	62.7	70.6	10.1	
25	SXA039	CHD	63.4	62.9	74.4	10.2	
25	国外产品 / Foreign product	CHA	64.9	64.5	77.9	10.4	
25	国外产品 / Foreign product	CHB	64.9	64.2	74.5	10.4	
25	国外产品 / Foreign product	CHC	64.6	64.0	74.4	10.3	
25	国外产品 / Foreign product	CHD	64.6	63.9	73.7	10.3	

TA（℃）/ TA (℃)	器件 / Device	通道 / Channel	SNR (dBFS)	SINAD (dBFS)	SFDR (dBFS)	ENOB (Bits)	对比结果 / Result
-40	SXA039	CHA	63.7	63.5	79.2	10.3	基本一致 / Basically consistent
-40	SXA039	CHB	63.1	62.1	72.0	10.0	
-40	SXA039	CHC	63.3	62.4	70.6	10.1	
-40	SXA039	CHD	63.4	62.8	73.6	10.1	
-40	国外产品 / Foreign product	CHA	64.9	64.6	77.5	10.4	
-40	国外产品 / Foreign product	CHB	64.9	64.4	75.4	10.4	
-40	国外产品 / Foreign product	CHC	64.3	63.8	74.0	10.3	
-40	国外产品 / Foreign product	CHD	64.9	64.3	73.9	10.4	
85	SXA039	CHA	63.2	62.7	74.2	10.1	基本一致 / Basically consistent
85	SXA039	CHB	62.9	61.8	71.2	10.0	
85	SXA039	CHC	62.7	62.0	70.7	10.0	
85	SXA039	CHD	63.1	62.8	76.8	10.1	
85	国外产品 / Foreign product	CHA	64.2	63.7	74.7	10.3	
85	国外产品 / Foreign product	CHB	64.2	63.3	73.2	10.2	
85	国外产品 / Foreign product	CHC	63.8	63.0	73.4	10.2	
85	国外产品 / Foreign product	CHD	64.2	63.3	72.9	10.2	

备注：当 fIN=985MHz 时，寄存器 0x1A4C 和 0x1A4D 都配置成 0x14。/ Note: when fIN=985MHz, registers 0x1A4C and 0x1A4D are both configured to 0x14.

附表8 / Appendix Table 8 — FS＝500MSPS，Fin=155MHz，四个通道静态参数实测对比 / Measured Static Parameter Comparison of Four Channels at FS=500MSPS, Fin=155MHz

TA（℃）/ TA (℃)	器件 / Device	通道 / Channel	DNL_min (LSB)	DNL_max (LSB)	INL_min (LSB)	INL_max (LSB)	对比结果 / Result
25	SXA039	CHA	-0.57	0.67	-1.59	2.45	基本一致 / Basically consistent
25	SXA039	CHB	-0.49	0.66	-1.65	1.77	
25	SXA039	CHC	-0.55	0.69	-1.78	1.22	
25	SXA039	CHD	-0.59	0.66	-2.15	4.42	
25	国外产品 / Foreign product	CHA	-0.50	0.65	-1.15	1.22	

TA（℃）/ TA (℃)	器件 / Device	通道 / Channel	DNL_min (LSB)	DNL_max (LSB)	INL_min (LSB)	INL_max (LSB)	对比结果 / Result
25	国外产品 / Foreign product	CHB	-0.52	0.68	-1.41	0.91	
25	国外产品 / Foreign product	CHC	-0.49	0.63	-0.86	1.23	
25	国外产品 / Foreign product	CHD	-0.53	0.61	-1.03	1.19	
-40	SXA039	CHA	-0.53	0.60	-1.32	2.32	基本一致 / Basically consistent
-40	SXA039	CHB	-0.58	0.60	-1.87	2.08	
-40	SXA039	CHC	-0.46	0.59	-1.59	0.99	
-40	SXA039	CHD	-0.48	0.65	-1.10	2.10	
-40	国外产品 / Foreign product	CHA	-0.52	0.63	-0.80	0.75	
-40	国外产品 / Foreign product	CHB	-0.57	0.59	-1.27	0.79	
-40	国外产品 / Foreign product	CHC	-0.52	0.69	-0.86	0.82	
-40	国外产品 / Foreign product	CHD	-0.65	0.58	-1.05	1.18	
85	SXA039	CHA	-0.48	0.68	-1.82	3.40	基本一致 / Basically consistent
85	SXA039	CHB	-0.47	0.55	-1.59	1.96	
85	SXA039	CHC	-0.49	0.65	-2.23	2.29	
85	SXA039	CHD	-0.48	0.65	-1.10	2.10	
85	国外产品 / Foreign product	CHA	-0.52	0.64	-3.03	2.64	
85	国外产品 / Foreign product	CHB	-0.55	0.60	-3.28	2.47	
85	国外产品 / Foreign product	CHC	-0.54	0.64	-2.44	3.28	
85	国外产品 / Foreign product	CHD	-0.56	0.54	-2.71	3.34	

附表9 / Appendix Table 9 — FS＝500MSPS，三温下的功耗对比 / Power Consumption Comparison at Three Temperatures, FS=500MSPS

器件 / Device	TA（℃）/ TA (℃)	掉电功耗（mW）/ Power-Down Power (mW)	待机功耗（W）/ Standby Power (W)	正常工作功耗（W）/ Normal Operating Power (W)	对比结果 / Result
SXA039	25	306	1.274	1.721	基本一致 / Basically consistent
SXA039	-40	270	1.084	1.662	

器件 / Device	TA（℃）/ TA (℃)	掉电功耗（mW）/ Power-Down Power (mW)	待机功耗（W）/ Standby Power (W)	正常工作功耗（W）/ Normal Operating Power (W)	对比结果 / Result
SXA039	85	460	1.381	1.871	
国外产品 / Foreign product	25	283	1.178	1.629	
国外产品 / Foreign product	-40	219	1.122	1.549	
国外产品 / Foreign product	85	516	1.389	1.861	

附表10 / Appendix Table 10 — FS＝500MSPS，三温下各电源电流对比 / Supply Current Comparison at Three Temperatures, FS=500MSPS

TA（℃）/ TA (℃)	器件 / Device	IAVDD1 (mA)	IAVDD_SR (mA)	IAVDD2 (mA)	IDRVDD2 (mA)	IAVDD3 (mA)	IDRVDD1 (mA)	IDVDD (mA)	ISPIVDD (mA)	IAVDD1 (mA)	对比结果 / Result
25	SXA039	288.79	7.81	512.89	25.47	80.58	158.43	108.18	0.56	288.79	国产器件的AVDD2 的电流高于国外器件，其余基本一致 / The AVDD2 current of the domestic device is higher than that of the foreign device; the rest are basically consistent
25	国外产品 / Foreign product	303.07	12.92	434.35	24.85	86.20	163.11	121.55	0.57	303.07	
-40	SXA039	269.62	7.24	494.67	23.81	83.29	153.41	102.24	0.56	269.62	
-40	国外产品 / Foreign product	268.30	8.16	418.95	23.18	89.52	153.70	111.52	0.57	268.30	
85	SXA039	325.92	10.96	536.52	27.73	77.74	185.38	154.61	0.58	325.92	
85	国外产品 / Foreign product	407.96	32.90	452.98	26.89	81.78	199.65	171.27	0.59	407.96	

附表11 / Appendix Table 11 — FS＝500MSPS，三温下失调及失调误差匹配对比 / Offset and Offset Error Matching Comparison at Three Temperatures, FS=500MSPS

TA（℃）/ TA (℃)	器件 / Device	通道 / Channel	失调误差（%FSR）/ Offset Error (%FSR)	输入等效噪声（LBS rms）/ Input-Referred Noise (LSB rms)	对比结果 / Result
25	SXA039	CHA	-0.0087	2.9206	基本一致 / Basically consistent
25	SXA039	CHB	-0.0353	3.2735	
25	SXA039	CHC	0.0196	2.7600	
25	SXA039	CHD	-0.0358	3.4580	
25	国外产品 / Foreign product	CHA	-0.0171	2.5729	
25	国外产品 / Foreign product	CHB	0.0010	2.4685	
25	国外产品 / Foreign product	CHC	-0.0032	2.5091	
25	国外产品 / Foreign product	CHD	0.0053	2.5722	
-40	SXA039	CHA	-0.0041	2.6091	基本一致 / Basically consistent
-40	SXA039	CHB	-0.0978	2.6091	
-40	SXA039	CHC	0.0181	2.6482	
-40	SXA039	CHD	-0.0979	2.5327	
-40	国外产品 / Foreign product	CHA	-0.0357	2.3267	
-40	国外产品 / Foreign product	CHB	-0.0219	2.2834	
-40	国外产品 / Foreign product	CHC	-0.0368	2.3347	
-40	国外产品 / Foreign product	CHD	-0.0233	2.4011	
85	SXA039	CHA	-0.0120	3.0284	基本一致 / Basically consistent
85	SXA039	CHB	0.0285	2.9702	
85	SXA039	CHC	-0.0139	4.7412	
85	SXA039	CHD	0.0624	2.9337	
85	国外产品 / Foreign product	CHA	0.0222	2.8789	
85	国外产品 / Foreign product	CHB	-0.0715	2.8570	
85	国外产品 / Foreign product	CHC	0.0831	2.9698	
85	国外产品 / Foreign product	CHD	0.1241	2.8432	

© 2026 Shenzhen Shenxin Technology Co., Ltd.

English: The measured data comparison results under the same conditions show that the performance of the SXA039 is basically comparable to that of the foreign product.

中文： 相同条件下的实测数据对比结果表明，SXA039 与国外产品的性能基本相当。

5）寄存器对比 / 5) Register Comparison

附表12 / Appendix Table 12 — 寄存器对比 / Register Comparison

参数 / Parameter	SXA039	国外产品 / Foreign Product	比对结果 / Comparison Result
寄存器 0x05B2[1:0] (JESD204B Lane Assign 0)	00，逻辑通道 0（默认）; 01，逻辑通道 1 / 00, logical lane 0 (default); 01, logical lane 1	00，逻辑通道 0（默认）; 01，逻辑通道 1; 10，逻辑通道 2; 11，逻辑通道 3 / 00, logical lane 0 (default); 01, logical lane 1; 10, logical lane 2; 11, logical lane 3	功能一样，二者描述不一样 / Same function, different descriptions
寄存器 0x05B3[1:0] (JESD204B Lane Assign 1)	00，逻辑通道 0; 01，逻辑通道 1（默认）/ 00, logical lane 0; 01, logical lane 1 (default)	00，逻辑通道 0; 01，逻辑通道 1（默认）; 10，逻辑通道 2; 11，逻辑通道 3 / 00, logical lane 0; 01, logical lane 1 (default); 10, logical lane 2; 11, logical lane 3	功能一样，二者描述不一样 / Same function, different descriptions
同步操作步骤 / Synchronization operation steps	1) 确保时钟芯片提供的器件时钟稳定，SYSREF 处于"低电平"状态；2) 0x0000=0x81；防止电源上电不稳定，导致电路进入异常状态；3) 建议等待 10ms；4) 0x20F0=0x05；5) 0x2007=0x0C；6) 0x2007=0x00；7) 0x0200=0x22；2 个 DDC；8) 0x0201=0x01；DCM=2；9) 0x0310=0x43；DDC0 实数输入+6dB 开+ HB1 滤波；10) 0x0330=0x43；DDC1 实数输入+6dB 开+ HB1 滤波；11) 0x0570=0x52；204B 模式为 L=2, M=4,F=4,S=1；12) 0x058B=0x81；13) 0x0311=xxxx；用户根据实际情况配置；14) 0x0331=xxxx；用户根据实际情况配置；15) 配置 FTW；用户根据实际情况配置；16) 配置 POW；用户根据实际情况配置；17) 其余用户配置；用户根据实际情况配置；18) 0x056E=xxxx；用户根据实际情况配置 lane 速率；19) 0x0120=0x00；关闭同步；20) 0x0300=0x00；关闭 DDC 同步；21) 0x0001=0x02；软复位；22) 建议等待 5ms；23) 0x1228=0x4F；数字接口配置；24) 0x1228=0x0F；数字接口配置；25) 0x1222=0x04；数字接口配置；26) 0x1222=0x00；数字接口配置；27) 0x1262=0x08；数字接口配置；28) 0x1262=0x00；数字接口配置；29) 建议等待 10ms；30) 0x0300=0x03；开启 DDC 同步，one-shoot；31) 0x0121=0x00；设置 one-shoot 模式；32) 0x0120=0x04；开启同步；33) 配置时钟芯片发送 SYSREF 脉冲 / 1) Ensure the device clock provided by the clock chip is stable, SYSREF at "low level"; 2) 0x0000=0x81; 3) wait 10ms (recommended); 4) 0x20F0=0x05; 5) 0x2007=0x0C; 6) 0x2007=0x00; 7) 0x0200=0x22; 2 DDCs; 8) 0x0201=0x01; DCM=2; 9) 0x0310=0x43; DDC0 real input + 6dB on + HB1 filtering; 10) 0x0330=0x43; DDC1 real input + 6dB on + HB1 filtering; 11) 0x0570=0x52; 204B mode	1) 确保时钟芯片提供的器件时钟稳定，SYSREF 处于"低电平"状态；2) 0x0000=0x81；防止电源上电不稳定，导致电路进入异常状态；3) 建议等待 10ms；4) —；5) —；6) —；7) 0x0200=0x22；2 个 DDC；8) 0x0201=0x01；DCM=2；9) 0x0310=0x43；DDC0 实数输入+6dB 开+ HB1 滤波；10) 0x0330=0x43；DDC1 实数输入+6dB 开+ HB1 滤波；11) 0x0570=0x52；204B 模式为 L=2, M=4,F=4,S=1；12) 0x058B=0x81（推荐）；13) 0x0311=xxxx；用户根据实际情况配置；14) 0x0331=xxxx；用户根据实际情况配置；15) 配置 FTW；用户根据实际情况配置；16) 配置 POW；用户根据实际情况配置；17) 其余用户配置；用户根据实际情况配置；18) 0x056E=xxxx；用户根据实际情况配置 lane 速率；19) 0x0120=0x00；关闭同步；20) 0x0300=0x00；关闭 DDC 同步；21) 0x0001=0x02；软复位；22) 建议等待 5ms；23) 0x1228=0x4F；数字接口配置；24) 0x1228=0x0F；数字接口配置；25) 0x1222=0x04；数字接口配置；26) 0x1222=0x00；数字接口配置；27) 0x1262=0x08；数字接口配置；28) 0x1262=0x00；数字接口配置；29) 建议等待 10ms；30) 0x0300=0x03；开启 DDC 同步，	有差异，SXA039 增加了 4)、5）、6）、12）这四个步骤。具体参考同步配置示例部分内容。/ Different: the SXA039 adds steps 4), 5), 6), and 12). See the Synchronization Configuration Examples section for details.

参数 / Parameter	SXA039	国外产品 / Foreign Product	比对结果 / Comparison Result
	L=2, M=4, F=4, S=1; 12) 0x058B=0x81; 13) 0x0311=xxxx; user configuration; 14) 0x0331=xxxx; user configuration; 15) configure FTW; 16) configure POW; 17) remaining user configuration; 18) 0x056E=xxxx; lane rate; 19) 0x0120=0x00; synchronization off; 20) 0x0300=0x00; DDC synchronization off; 21) 0x0001=0x02; soft reset; 22) wait 5ms (recommended); 23) 0x1228=0x4F; digital interface configuration; 24) 0x1228=0x0F; 25) 0x1222=0x04; 26) 0x1222=0x00; 27) 0x1262=0x08; 28) 0x1262=0x00; 29) wait 10ms (recommended); 30) 0x0300=0x03; DDC synchronization on, one-shot; 31) 0x0121=0x00; one-shot mode; 32) 0x0120=0x04; synchronization on; 33) configure the clock chip to send a SYSREF pulse	one-shoot；31) 0x0121=0x00；设置 one-shoot 模式；32) 0x0120=0x04；开启同步；33) 配置时钟芯片发送 SYSREF 脉冲 / Same steps except 4), 5), 6), 12) as noted in the result column	
在器件不掉电情况下，改变数字功能的工作模式后，同步操作步骤 / Synchronization steps after changing the digital function operating mode without powering down	1)配置数字功能模式；用户根据实际情况配置；2)配置 204B 模式以及 lane 速率；用户根据实际情况配置 lane 速率；3)0x0120=0x00；确保同步关闭；4)0x0300=0x00；确保 DDC 同步关闭；5)0x0001=0x02；软复位；6)建议等待 10ms；7)0x0300=0x03；开启 DDC 同步，one-shoot；8)0x0121=0x00；设置 one-shoot 模式；9)0x0120=0x04；开启同步；10)配置时钟芯片发送 SYSREF 脉冲 / 1) Configure the digital function mode; 2) configure the 204B mode and lane rate; 3) 0x0120=0x00; ensure synchronization off; 4) 0x0300=0x00; ensure DDC synchronization off; 5) 0x0001=0x02; soft reset; 6) wait 10ms (recommended); 7) 0x0300=0x03; DDC synchronization on, one-shot; 8) 0x0121=0x00; one-shot mode; 9) 0x0120=0x04; synchronization on; 10) configure the clock chip to send a SYSREF pulse	1)配置数字功能模式；用户根据实际情况配置；2)配置 204B 模式以及 lane 速率；用户根据实际情况配置 lane 速率；3)0x0120=0x00；确保同步关闭；4)0x0300=0x00；确保 DDC 同步关闭；5)0x0001=0x02；软复位；6)建议等待 10ms；7)0x0300=0x03；开启 DDC 同步，one-shoot；8)0x0121=0x00；设置 one-shoot 模式；9)0x0120=0x04；开启同步；10)配置时钟芯片发送 SYSREF 脉冲 / Same as the SXA039 column	一致 / Consistent
开启快速检测步骤 / Steps to enable fast detect	1) 0x20F0=0x05；2) 0x2007=0x0C；3) 0x2007=0x00，算法复位；4) 0x0040=0x00，开启快速检测输出；5) 0x0248=xx，0x0247=xx；用户根据实际情况配置；6) 0x024A=xx，0x0249=xx；用户根据实际情况配置；7) 0x024C=xx，0x024B=xx；用户根据实际情况配置；8) 0x0245=0x01，启用快速检测 / 1) 0x20F0=0x05; 2) 0x2007=0x0C; 3) 0x2007=0x00, algorithm reset; 4) 0x0040=0x00, enable fast detect output; 5) 0x0248=xx, 0x0247=xx; user configuration; 6) 0x024A=xx, 0x0249=xx; user configuration; 7) 0x024C=xx, 0x024B=xx; user configuration; 8) 0x0245=0x01, enable fast detect	4) 0x0040=0x00，开启快速检测输出；5) 0x0248=xx，0x0247=xx；用户根据实际情况配置；6) 0x024A=xx，0x0249=xx；用户根据实际情况配置；7) 0x024C=xx，0x024B=xx；用户根据实际情况配置；8) 0x0245=0x01，启用快速检测 / Steps 4)–8) same as the SXA039 column	有差异，SXA039 多了前 3 个步骤。/ Different: the SXA039 has 3 additional leading steps.

6）其它指标对比 / 6) Other Parameter Comparison

附表13 / Appendix Table 13 — 其它指标对比 / Other Parameter Comparison

参数 / Parameter	SXA039	国外产品 / Foreign Product	比对结果 / Comparison Result
封装形式 / Package	QFN72	LFCSP72（QFN72）	一致 / Consistent
质量等级 / Quality grade	企标 / Enterprise standard	工业级 / Industrial grade	基本一致 / Basically consistent
尺寸 / Dimensions	10mm10mm0.75mm	10mm10mm0.85mm	基本一致 / Basically consistent
替代建议 / Cross-reference recommendation	□直接替代 / □Direct replacement □有效替代 / □Effective alternative ☑功能替代 / ☑Functional alternative		

End of document / 文档结束