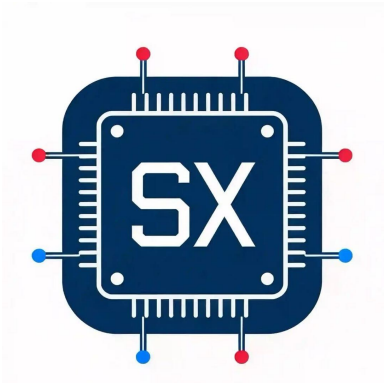


SXA043

Dual-Channel 14-Bit, 1300 MSPS A/D Converter

双通道 14 位 1300MSPS A/D 转换器

14-bit | 2 channels | 1.3 GSPS | QFN64 | JESD204B

14位 | 双通道 | 1.3GSPS | QFN64 | JESD204B

对标 / Cross Reference: AD9695 — pin-to-pin compatible alternative

Product Datasheet / 产品数据手册

Shenzhen Shenxin Technology Co., Ltd. · 深圳市深信科技有限公司

felix@shenxinic.com | +852 51367095 | shenxinic.com

SXA043 Dual-Channel 14-Bit 1300MSPS A/D Converter — Product Manual (Bilingual)

SXA043 型双通道 14 位 1300MSPS A/D 转换器产品说明书、使用手册（中英对照）

Shenzhen Shenxin Technology Co., Ltd. / 深信科技 **V1.20260721**

对标 / Cross Reference: AD9695 — pin-to-pin compatible alternative

目录 / Table of Contents

1. 产品用途及应用范围 / Applications and Scope
2. 标准 / Standards
3. 产品特点 / Features
4. 产品描述 / Product Description
5. 产品外形尺寸图 / Package Outline Dimensions
6. 引出端排列（俯视图）/ Pin Arrangement (Top View)
7. 引出端功能符号表 / Pin Function Table
8. 主要特性曲线图（电特性测试图）/ Typical Characteristic Curves (Electrical Test Plots)
9. 绝对最大额定值 / Absolute Maximum Ratings
10. 推荐工作条件 / Recommended Operating Conditions
11. 性能指标 / Performance Specifications
12. 典型应用线路图 / Typical Application Circuit
13. 单元模块及工作原理 / Functional Blocks and Operating Principles
14. 寄存器说明 / Register Description
15. 存储器映射 / Memory Map
16. 存储器映射寄存器表 / Memory Map Register Tables
17. 电源地间保护 / Power-to-Ground Protection
18. 注意事项 / Precautions
19. 常见故障及处理办法 / Common Faults and Troubleshooting
20. 联系方式 / Contact Information
21. 附加说明 / Additional Notes

版本修订记录 / Revision History

版本号 / Version	发布日期 / Release Date	更改章节 / Changed Section	更改说明 / Change Description	备注 / Remarks
V1.20260721	2026.7.7	/	首次发布 / Initial release	/

产品用途及应用范围 / Applications and Scope

English: Multi-mode digital receivers; software radio; instrumentation; high-speed data acquisition systems.

中文： 多模数字接收机；软件无线电；仪器仪表；高速数据采集系统。

产品特点 / Features

English: - Analog supply voltages: 2.5V / 1.8V / 0.95V - Digital supply voltages: 1.8V / 0.95V - Resolution: 14 bit; sampling rate: 1300 MSPS [按产品内页手册2026.8版 / per 产品内页手册2026.8] - SNR: ≥60 dBFS @ fIN = 170 MHz, −1 dBFS (typical 63 dBFS [已按产品内页手册2026.8版校准 / calibrated per 产品内页手册2026.8; 源文典型值为 63.5 dBFS / source typical value was 63.5 dBFS]) - SFDR: ≥68 dBFS @ fIN = 170 MHz, −1 dBFS (typical 80 dBFS) - Differential nonlinearity (DNL): ±0.9 LSB - Integral nonlinearity (INL): ±10.0 LSB - Power consumption: ≤2.3 W (typical 1.6 W [已按产品内页手册2026.8版校准 / calibrated per 产品内页手册2026.8; 源文典型值为 1.65 W / source typical value was 1.65 W]) - Analog input range: 1.7 Vpp nominal [已按产品内页手册2026.8版校准 / calibrated per 产品内页手册2026.8; 源文可选择范围为 1.44 VPP～2.16 VPP / source selectable range was 1.44 VPP to 2.16 VPP] - Interface: JESD204B - −3 dB bandwidth: 2.0 GHz - ESD rating: Class 1B, HBM model, 500 V - Weight: 0.2 g ± 0.04 g - Moisture sensitivity level and package: MSL3, QFN64

中文： - 模拟电源电压：2.5V/1.8V/0.95V - 数字电源电压：1.8V/0.95V - 分辨率：14 位；转换速率：1300MSPS [按产品内页手册2026.8版] - 信噪比：≥60dBFS@Fin=170MHz，-1dBFS（典型值 63dBFS [已按产品内页手册2026.8版校准；源文为 63.5dBFS]） - 无杂散动态范围：≥68 dBFS@Fin=170MHz，-1dBFS（典型值80dBFS） - 微分线性误差：±0.9LSB - 积分线性误差：±10.0LSB - 功耗：≤2.3W（典型值 1.6W [已按产品内页手册2026.8版校准；源文为 1.65W]） - 模拟输入范围：标称 1.7Vpp [已按产品内页手册2026.8版校准；源文可选择范围为 1.44VPP～2.16VPP] - 电路接口：JESD204B - -3dB 带宽：2.0GHz - ESD 等级：1B 级，HBM 模型：500V - 重量：0.2g±0.04g - 湿敏等级和封装形式：MSL3，QFN64

产品描述 / Product Description

English: The functional block diagram of the SXA043 dual-channel, 14-bit, 1300 MSPS A/D converter is shown in Figure 1. The device integrates an on-chip buffer and a sample-and-hold circuit and is designed for low power consumption, small size, and ease of use. It is designed for sampling wideband analog signals up to 2 GHz. The device is optimized for wide input bandwidth, high sampling rate, and excellent linearity.

The dual-channel ADC core uses a multi-stage differential pipelined architecture with integrated output error-correction logic. Each ADC has a wide-bandwidth input supporting a variety of user-selectable input ranges. An integrated reference voltage source simplifies the design. Both the analog inputs and the clock signal are differential inputs. Using the fast-detect output bits of the ADC, a programmable threshold detector can monitor the input signal power. If the input signal level exceeds the programmable threshold, the fast-detect indicator goes high. Because the threshold indicator latency is extremely short, the user can quickly reduce the system gain and thereby avoid overrange at the ADC input.

The user can configure the Subclass 1 JESD204B high-speed serial output as 1, 2, or 4 lanes, depending on the DDC configuration and the acceptable lane rate of the receiving logic device. Multi-device

synchronization is supported through the SYSREF± and SYNCINB± input pins; the operating timing is shown in Figure 2. The rated operating temperature range is −40°C ⩽ TA ⩽ 85°C. The device is packaged in a QFN64.

中文： SXA043 型双通道14 位1300MSPS A/D 转换器的功能框图如图1 所示。该器件内置片内缓冲器和采样保持电路，专门针对低功耗、小尺寸和易用性而设计。该器件设计用于高达2GHz 的宽带模拟信号采样。该器件针对宽输入带宽、高采样速率、出色的线性度而优化。

这款双通道ADC 内核采用多级、差分流水线架构，并集成了输出纠错逻辑。每个ADC 均具有宽带宽输入，支持用户可选的各种输入范围。集成基准电压源可简化设计。模拟输入和时钟信号均为差分输入信号。利用ADC 的快速检测输出位，可编程阈值检测器可以监控输入信号功率。如果输入信号电平超过可编程阈值，快速检测指示器就会变为高。由于该阈值指示器的延迟极短，因此用户能够快速调低系统增益，从而避免ADC 输入端出现超量程现象。

用户能将子类1 JESD204B 高速串行输出配置为1、2 或4 通道，具体取决于DDC配置和接收逻辑器件的可接受通道速率。通过SYSREF±和SYNCINB±输入引脚，可提供多器件同步支持，工作时序如图2。额定工作温度范围为-40°C≤TA≤85°C。器件采用QFN64。

标准 / Standards

English: Detailed specification and approval number: Q/GC 0219-2026 — Detailed Specification for Semiconductor Integrated Circuit SXA043 Dual-Channel 14-Bit 1300 MSPS A/D Converter. Quality grade / quality assurance requirement: enterprise standard.

中文： 详细规范及确认号：Q/GC 0219-2026 《半导体集成电路SXA043 型双通道14 位1300MSPSA/D 转换器详细规范》；质量等级/质量保证要求：企标。

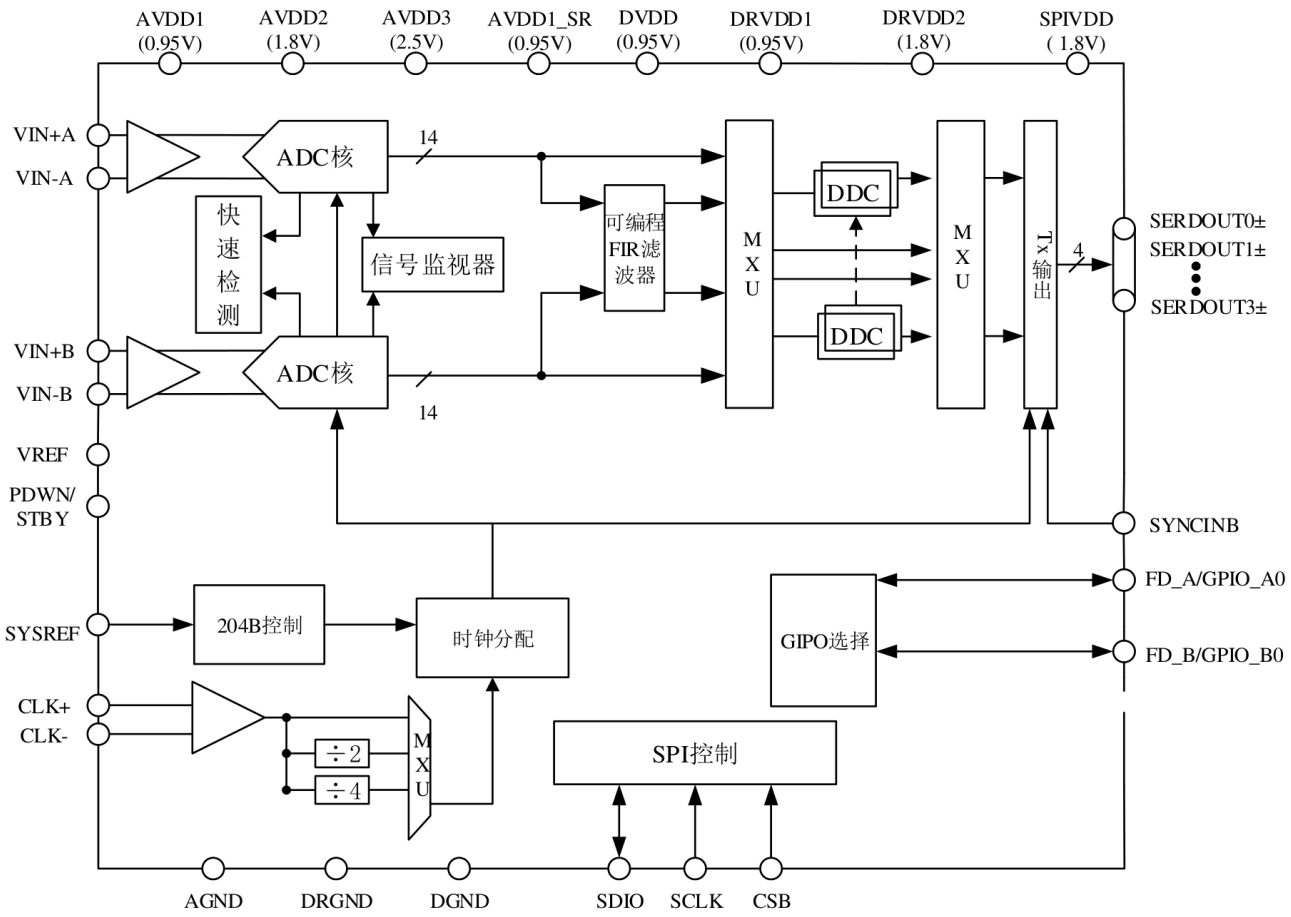


Figure 1: Functional block diagram

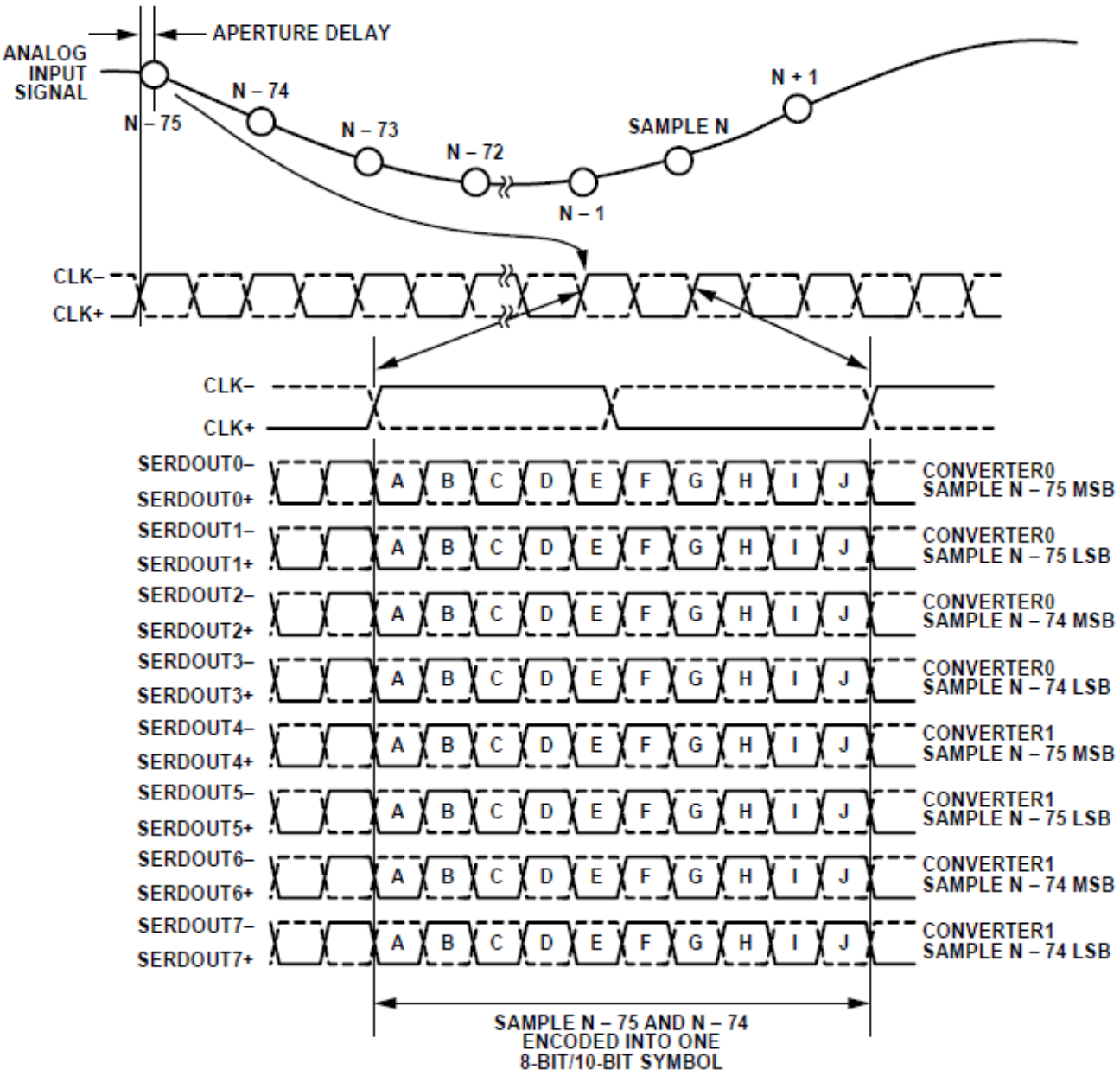


Figure 2: Data output timing diagram

产品外形尺寸图 / Package Outline Dimensions

English: The device uses a QFN64 package.

中文： 器件采用QFN64 封装。

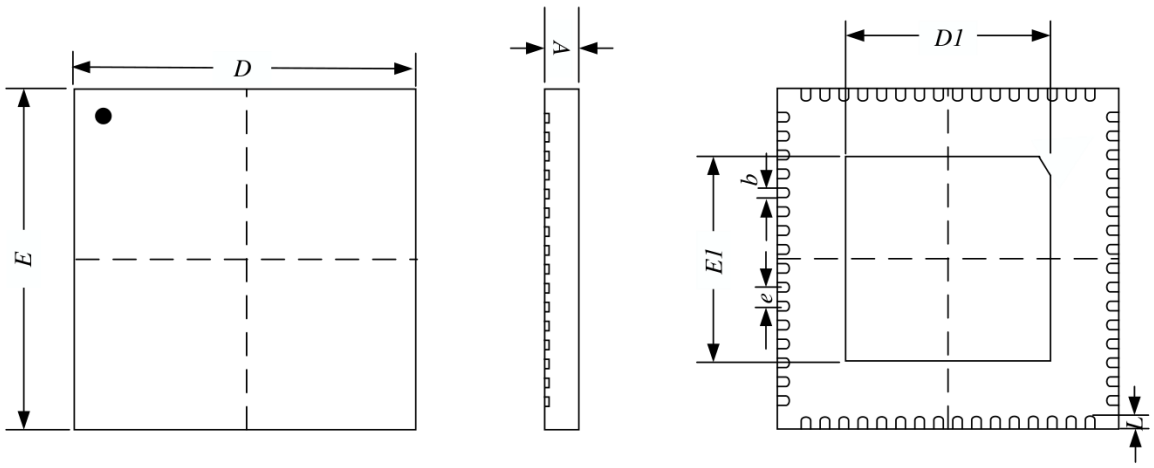


Figure 3: Package outline dimensions

单位为毫米 / Units in mm

尺寸符号 / Dimension	数值 / Value — 最小 / Min	数值 / Value — 公称 / Nom	数值 / Value — 最大 / Max	尺寸符号 / Dimension	数值 / Value — 最小 / Min	数值 / Value — 公称 / Nom	数值 / Value — 最大 / Max
A	0.70	0.75[a]	0.90	E1	6.10	6.20[a]	6.30
D	8.90	9.0[a]	9.10	L	0.30	0.4[a]	0.50
D1	6.10	6.2[a]	6.30	b	0.20	0.25[a]	0.30
E	8.90	9.0[a]	9.10	e	—	0.50	—

[a] 外壳实际公称值，推荐用户参考该尺寸设计使用；/ Actual nominal package values; users are advised to design with reference to these dimensions.

注：推荐焊盘设计详见电装说明。/ Note: see the assembly instructions for recommended pad layout.

引出端排列（俯视图）/ Pin Arrangement (Top View)

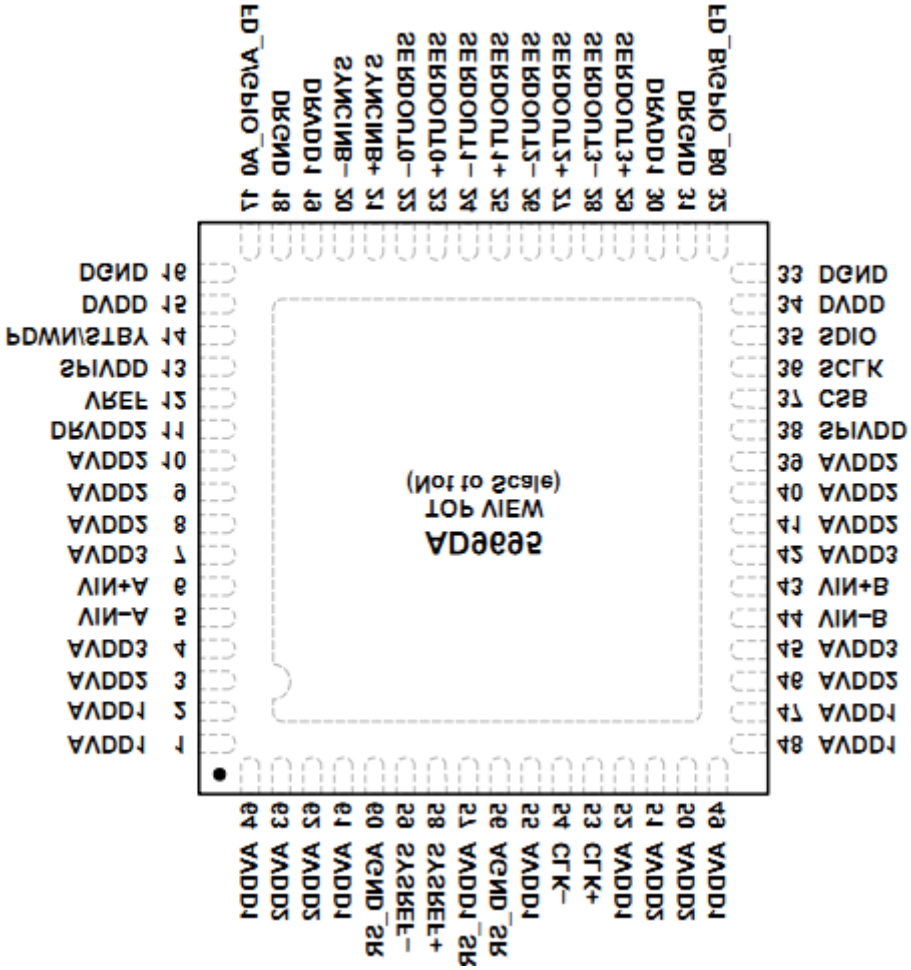


Figure 4: Pin arrangement

引出端功能符号表 / Pin Function Table

表 1 引出端排列 / Table 1 Pin Arrangement

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
0	AGND	模拟地 / Analog ground	/	33	DGND	数字地 / Digital ground	/
1	AVDD1	0.95V 模拟电源 / 0.95V analog supply	/	34	DVDD	数字电源0.95V / Digital supply 0.95V	/
2	AVDD1	0.95V 模拟电源 / 0.95V analog supply	/	35	SDIO	SPI 输入/输出 / SPI input/output	/
3	AVDD2	1.8V 模拟电源 / 1.8V analog supply	/	36	SCLK	SPI 时钟 / SPI clock	/
4	AVDD3	2.5V 模拟电源 / 2.5V analog supply	/	37	CSB	SPI 片选 / SPI chip select	/
5	VIN-A	A 通道模拟输入，负端 / Channel A analog input, negative	I	38	SPIVDD	SPI 电源（1.8V）/ SPI supply (1.8V)	/

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
6	VIN+A	A 通道模拟输入，正端 / Channel A analog input, positive	I	39	AVDD2	1.8V 模拟电源 / 1.8V analog supply	/
7	AVDD3	2.5V 模拟电源 / 2.5V analog supply	/	40	AVDD2	1.8V 模拟电源 / 1.8V analog supply	/
8	AVDD2	1.8V 模拟电源 / 1.8V analog supply	/	41	AVDD2	1.8V 模拟电源 / 1.8V analog supply	/
9	AVDD2	1.8V 模拟电源 / 1.8V analog supply	/	42	AVDD3	2.5V 模拟电源 / 2.5V analog supply	/
10	AVDD2	1.8V 模拟电源 / 1.8V analog supply	/	43	VIN+B	B 通道模拟输入，正端 / Channel B analog input, positive	I
11	DRVDD2	TX 电源1.8V / TX supply 1.8V	/	44	VIN-B	B 通道模拟输入，负端 / Channel B analog input, negative	I
12	VREF	0.5V基准电压输入 / 0.5V reference voltage input	I/O	45	AVDD3	2.5V 模拟电源 / 2.5V analog supply	/
13	SPIVDD	SPI 电源（1.8V）/ SPI supply (1.8V)	/	46	AVDD2	1.8V 模拟电源 / 1.8V analog supply	/
14	PDWN/STBY	掉电输入 / Power-down input	I	47	AVDD1	0.95V 模拟电源 / 0.95V analog supply	/
15	DVDD	数字电源0.95V / Digital supply 0.95V	/	48	AVDD1	0.95V 模拟电源 / 0.95V analog supply	/
16	DGND	数字地 / Digital ground	/	49	AVDD1	0.95V 模拟电源 / 0.95V analog supply	/
17	FD_A/ GPIO_A0	A 通道快速检测输出/通用输入输出口 A0 / Channel A fast-detect output / GPIO A0	I/O	50	AVDD2	1.8V 模拟电源 / 1.8V analog supply	/
18	DRGND	TX 驱动地 / TX driver ground	/	51	AVDD2	1.8V 模拟电源 / 1.8V analog supply	/
19	DRVDD1	TX 电源0.95V / TX supply 0.95V	/	52	AVDD1	0.95V 模拟电源 / 0.95V analog supply	/
20	SYNCINB-	JESD204B LVDS同步输入，负端 / JESD204B LVDS sync input, negative	I	53	CLK+	时钟，正端 / Clock, positive	I
21	SYNCINB+	JESD204B LVDS同步输入，正端 / JESD204B LVDS sync input, positive	I	54	CLK-	时钟，负端 / Clock, negative	I
22	SERDOUT0-	Lane0 数据输出，负端 / Lane 0 data output, negative	O	55	AVDD1	0.95V 模拟电源 / 0.95V analog supply	/
23	SERDOUT0+	Lane0 数据输出，正端 / Lane 0 data output, positive	O	56	AGND_SR	SYSREF 地 / SYSREF ground	/
24	SERDOUT1-	Lane1 数据输出，负端 / Lane 1 data output, negative	O	57	AVDD1_SR	SYSREF电源 / SYSREF supply	/
25	SERDOUT1+	Lane1 数据输出，正端 / Lane 1 data output, positive	O	58	SYSREF+	SYSREF，正端 / SYSREF, positive	I

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
26	SERDOUT2-	Lane2 数据输出，负端 / Lane 2 data output, negative	O	59	SYSREF-	SYSREF，负端 / SYSREF, negative	I
27	SERDOUT2+	Lane2 数据输出，正端 / Lane 2 data output, positive	O	60	AGND_SR	SYSREF 地 / SYSREF ground	/
28	SERDOUT3-	Lane3 数据输出，负端 / Lane 3 data output, negative	O	61	AVDD1	0.95V 模拟电源 / 0.95V analog supply	/
29	SERDOUT3+	Lane3 数据输出，正端 / Lane 3 data output, positive	O	62	AVDD2	1.8V 模拟电源 / 1.8V analog supply	/
30	DRVDD1	TX 电源0.95V / TX supply 0.95V	/	63	AVDD2	1.8V 模拟电源 / 1.8V analog supply	/
31	DRGND	TX 驱动地 / TX driver ground	/	64	AVDD1	0.95V 模拟电源 / 0.95V analog supply	/
32	FD_B/ GPIO_B0	B 通道快速检测输出/通用输入输出口 B0 / Channel B fast-detect output / GPIO B0	I/O				

注：0 端口为热沉，接地电位AGND。/ Note: Pin 0 is the thermal pad (exposed pad), at AGND ground potential.

主要特性曲线图（电特性测试图）/ Typical Characteristic Curves (Electrical Test Plots)

English: 1. FFT spectrum at fIN = 10 MHz. 2. FFT spectrum at fIN = 170 MHz. 3. FFT spectrum at fIN = 340 MHz. 4. FFT spectrum at fIN = 750 MHz. 5. FFT spectrum at fIN = 100 MHz. 6. FFT spectrum at fIN = 1400 MHz. 7. FFT spectrum at fIN = 1700 MHz. 8. FFT spectrum at fIN = 1980 MHz. 9. Two-tone FFT spectrum (fIN1 = 170.8 MHz, fIN2 = 173.8 MHz). 10. Two-tone FFT spectrum (fIN1 = 343.5 MHz, fIN2 = 346.5 MHz). 11. Typical differential (DNL) and integral (INL) nonlinearity curves. 12. SNR vs. input signal frequency (fIN). 13. SFDR vs. input signal frequency (fIN). 14. SNR/SFDR vs. input signal amplitude (fIN = 900 MHz). 15. SNR vs. temperature. 16. SFDR vs. temperature. 17. INL vs. temperature. 18. DNL vs. temperature. 19. Internal reference VREF (0.5 V) vs. temperature. 20. Offset error vs. temperature. 21. PW vs. temperature. 22. SNR vs. sampling rate. 23. SFDR vs. sampling rate. 24. SNR/SFDR vs. clock input amplitude.

中文： 1、模拟输入10MHz 条件下FFT 谱线。2、模拟输入170MHz 条件下FFT 谱线。3、模拟输入340MHz 条件下FFT 谱线。4、模拟输入750MHz 条件下FFT 谱线。5、模拟输入100MHz 条件下FFT 谱线。6、模拟输入1400MHz 条件下FFT 谱线。7、模拟输入1700MHz 条件下FFT 谱线。8、模拟输入1980MHz 条件下FFT 谱线。9、双音FFT 谱线(fIN1=170.8MHz，fIN2=173.8MHz)。10、双音FFT 谱线(fIN1=343.5MHz，fIN2=346.5MHz)。11、典型微分误差（DNL）和线性误差（INL）曲线。12、SNR 随输入信号频率（fIN）变化的曲线。13、SFDR 随输入信号频率（fIN）变化的曲线。14、SNR/SFDR 随输入信号频率幅度（fIN=900MHz）变化的曲线。15、SNR 随温度变化曲线。16、SFDR 随温度变化曲线。17、INL 随温度变化曲线。18、DNL 随温度变化曲线。19、内部基准VREF（0.5V）随温度变化曲线。20、失调误差随温度变化曲线。21、PW 随温度变化曲线。22、SNR 随采样率变化曲线。23、SFDR 随采样率变化曲线。24、SNR/SFDR 随时钟输入幅度变化曲线。

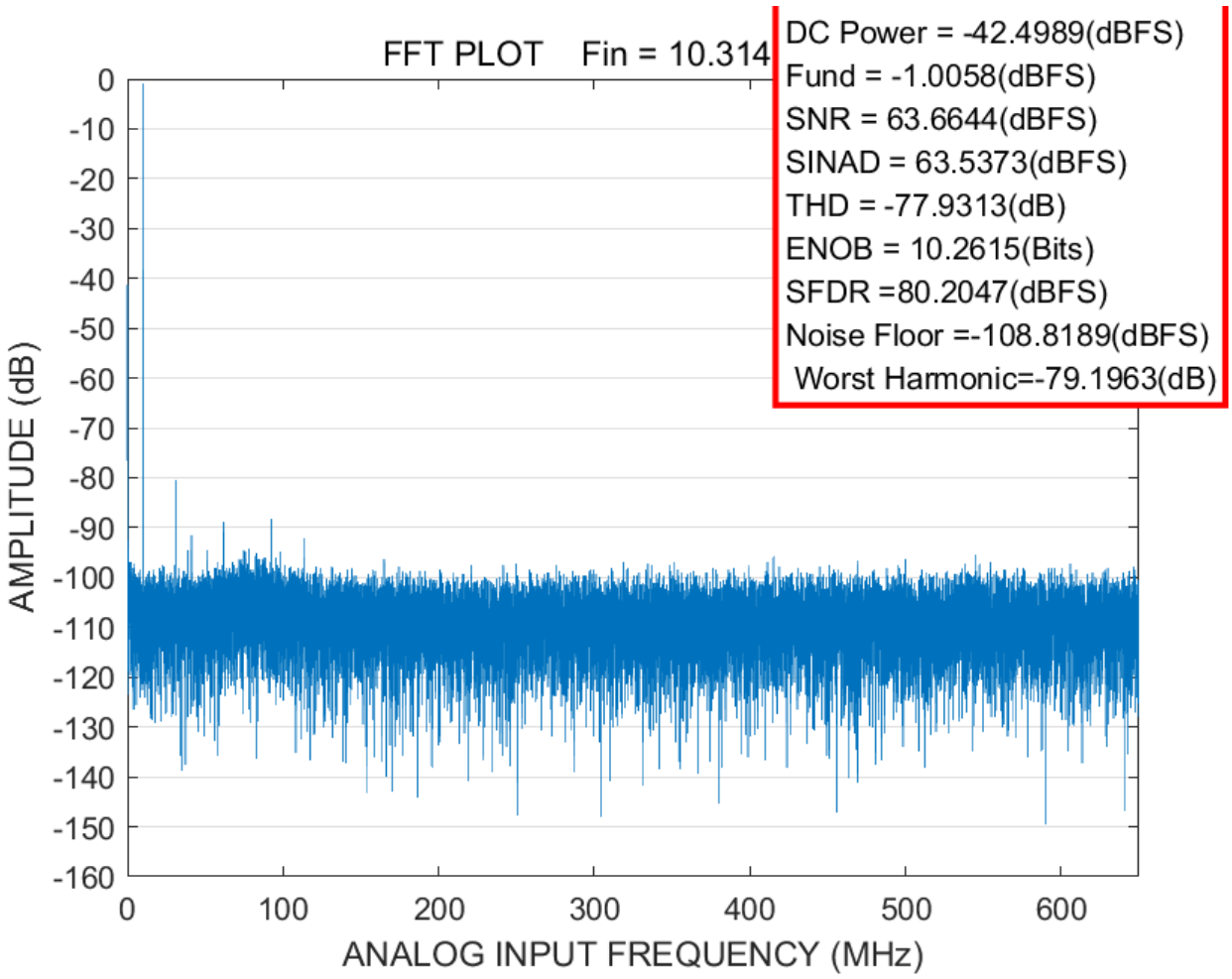


Figure 5: FFT spectrum (FS = 1300 MHz, fIN = 10 MHz, 1.59 Vpp, TA = 25°C)

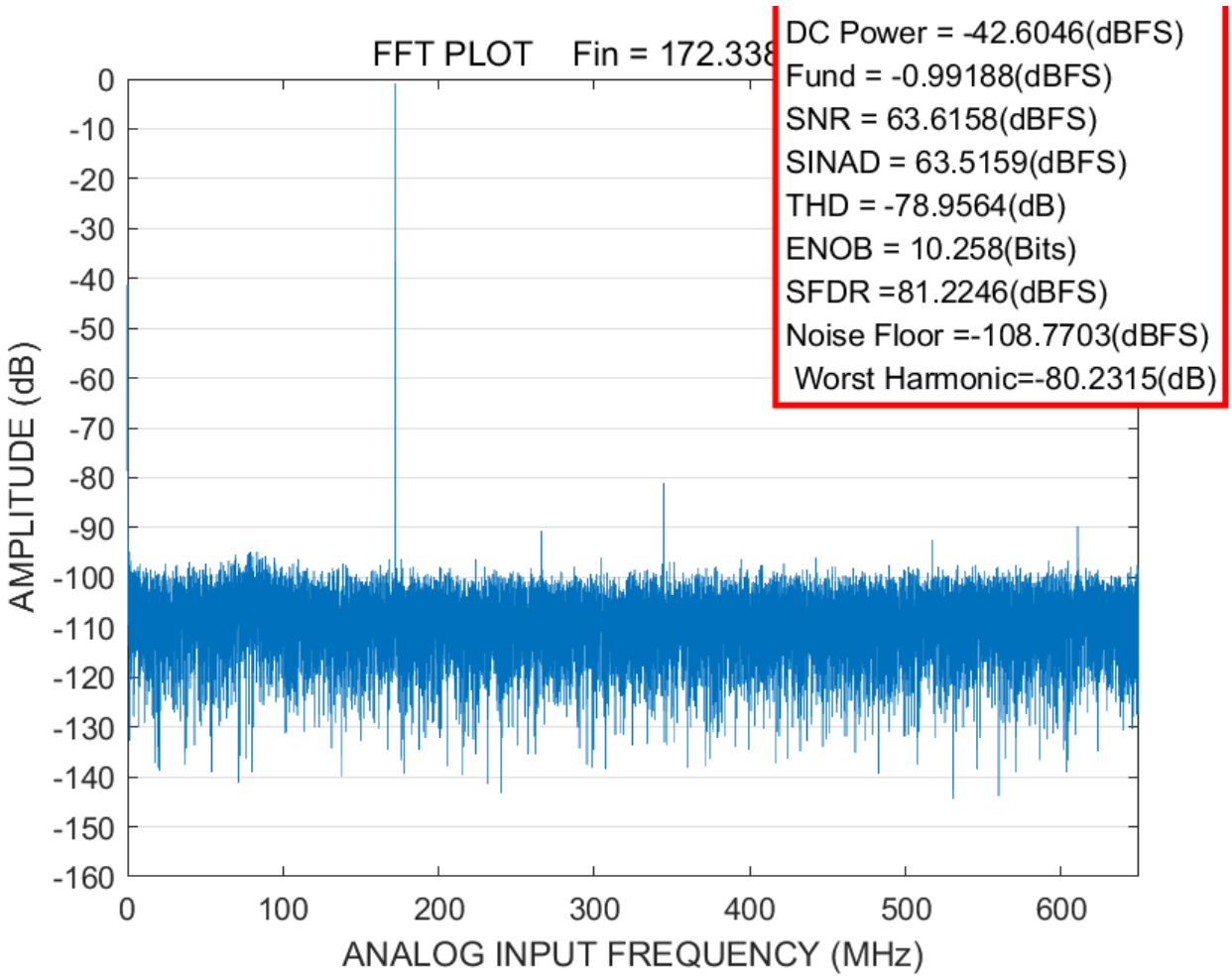


Figure 6: FFT spectrum (FS = 1300 MHz, fIN = 170 MHz, 1.59 Vpp, TA = 25°C)

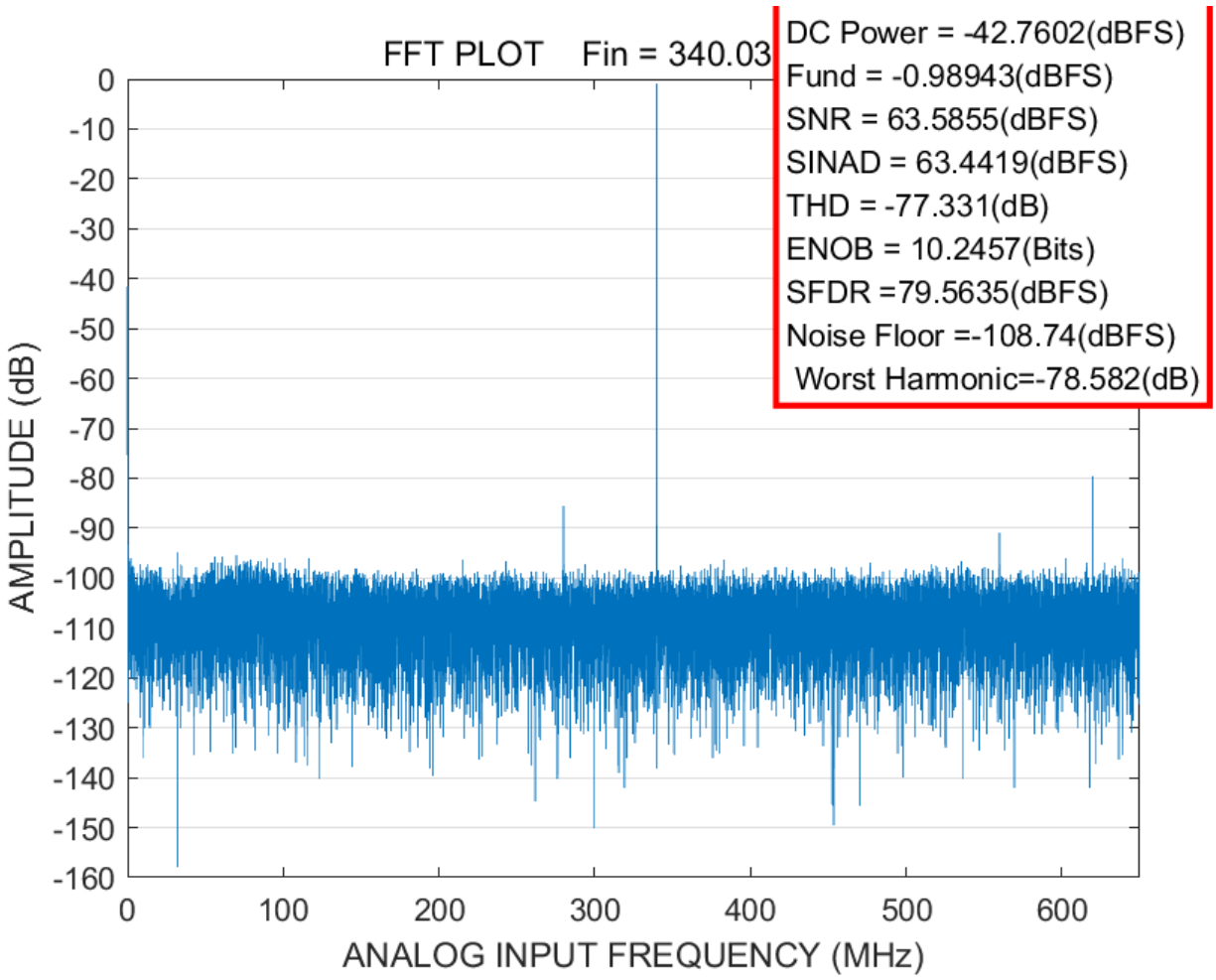


Figure 7: FFT spectrum (FS = 1300 MHz, fIN = 340 MHz, 1.59 Vpp, TA = 25°C)

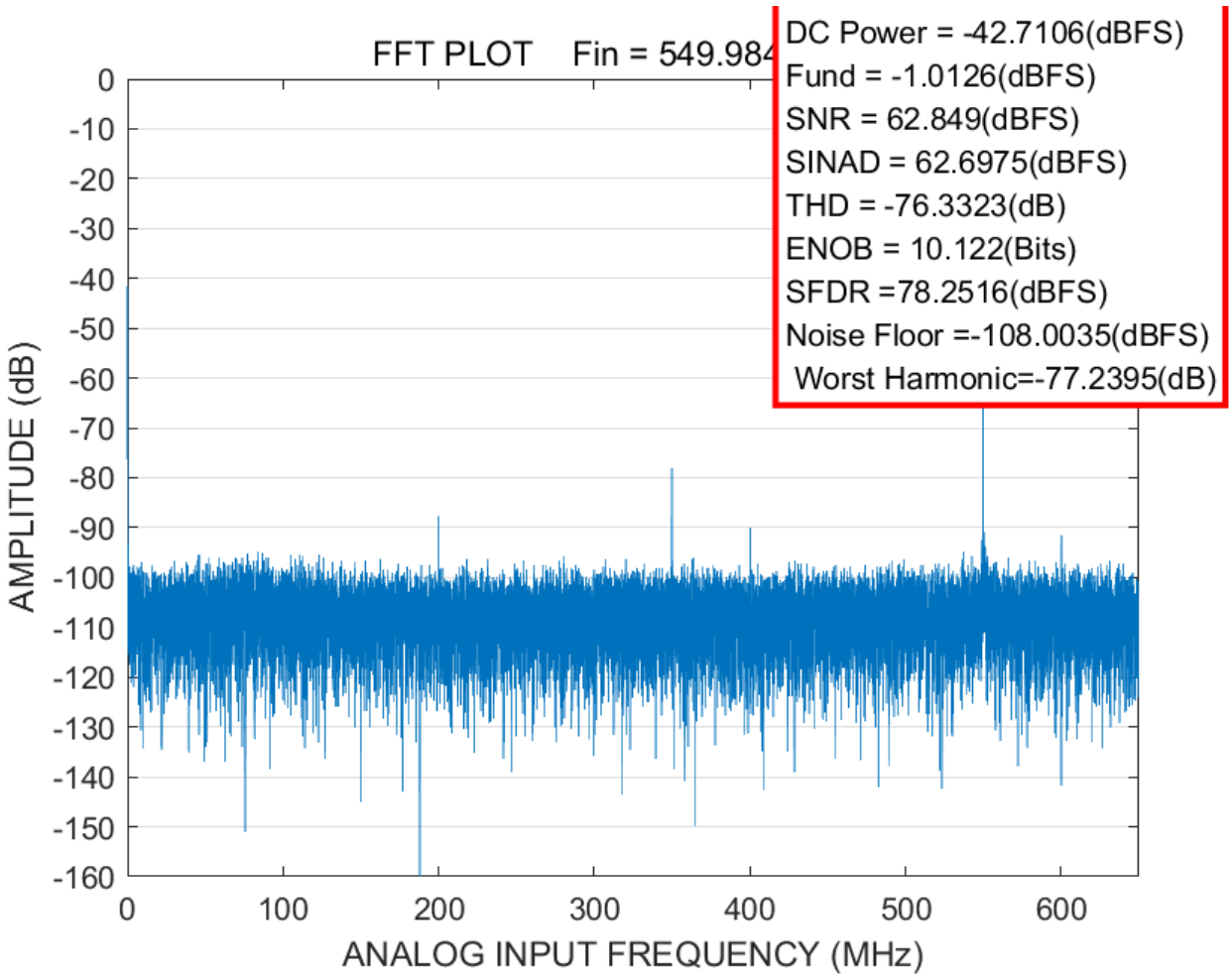


Figure 8: FFT spectrum (FS = 1300 MHz, fIN = 750 MHz, 1.59 Vpp, TA = 25°C)

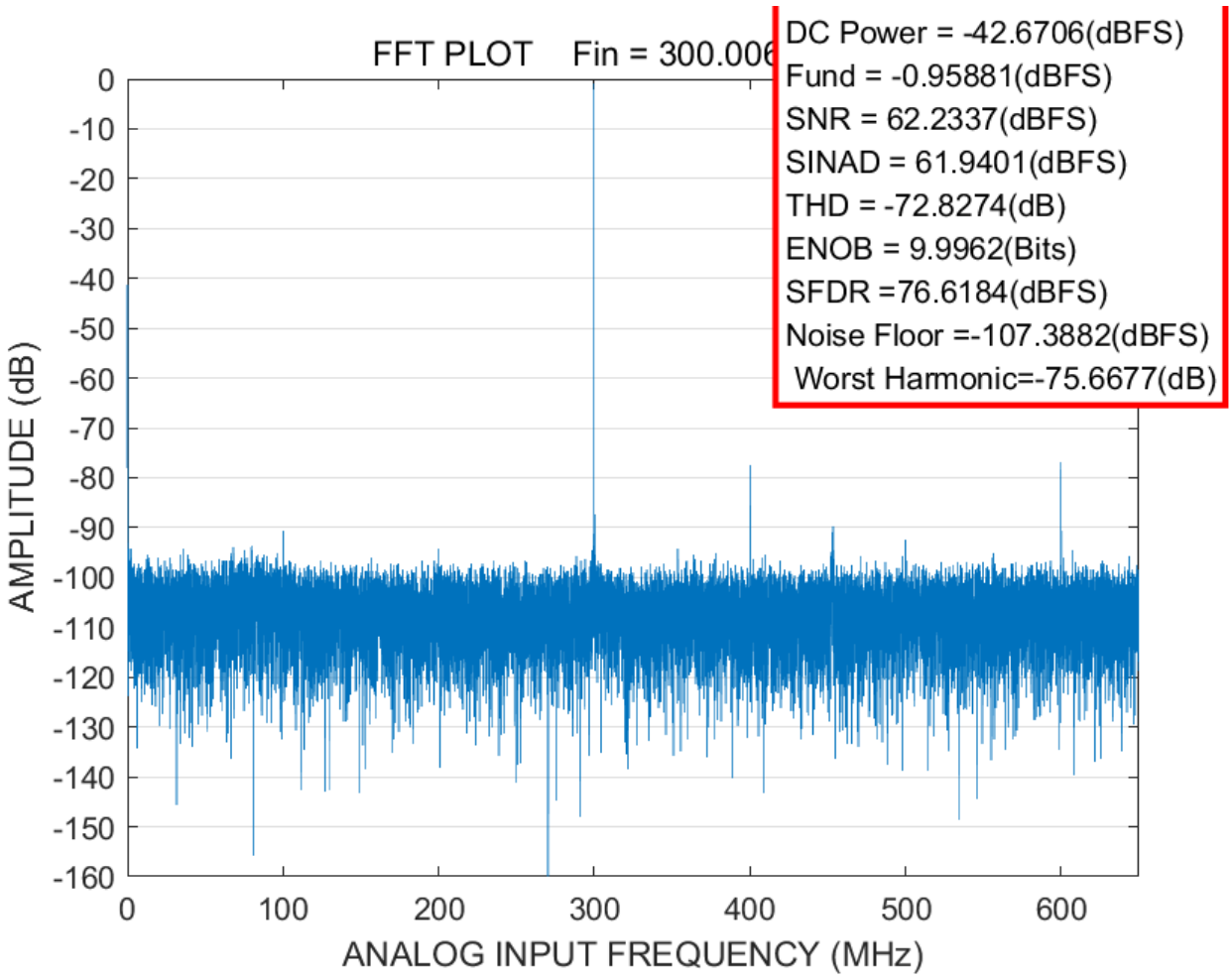


Figure 9: FFT spectrum (FS = 1300 MHz, fIN = 1000 MHz, 1.59 Vpp, TA = 25°C)

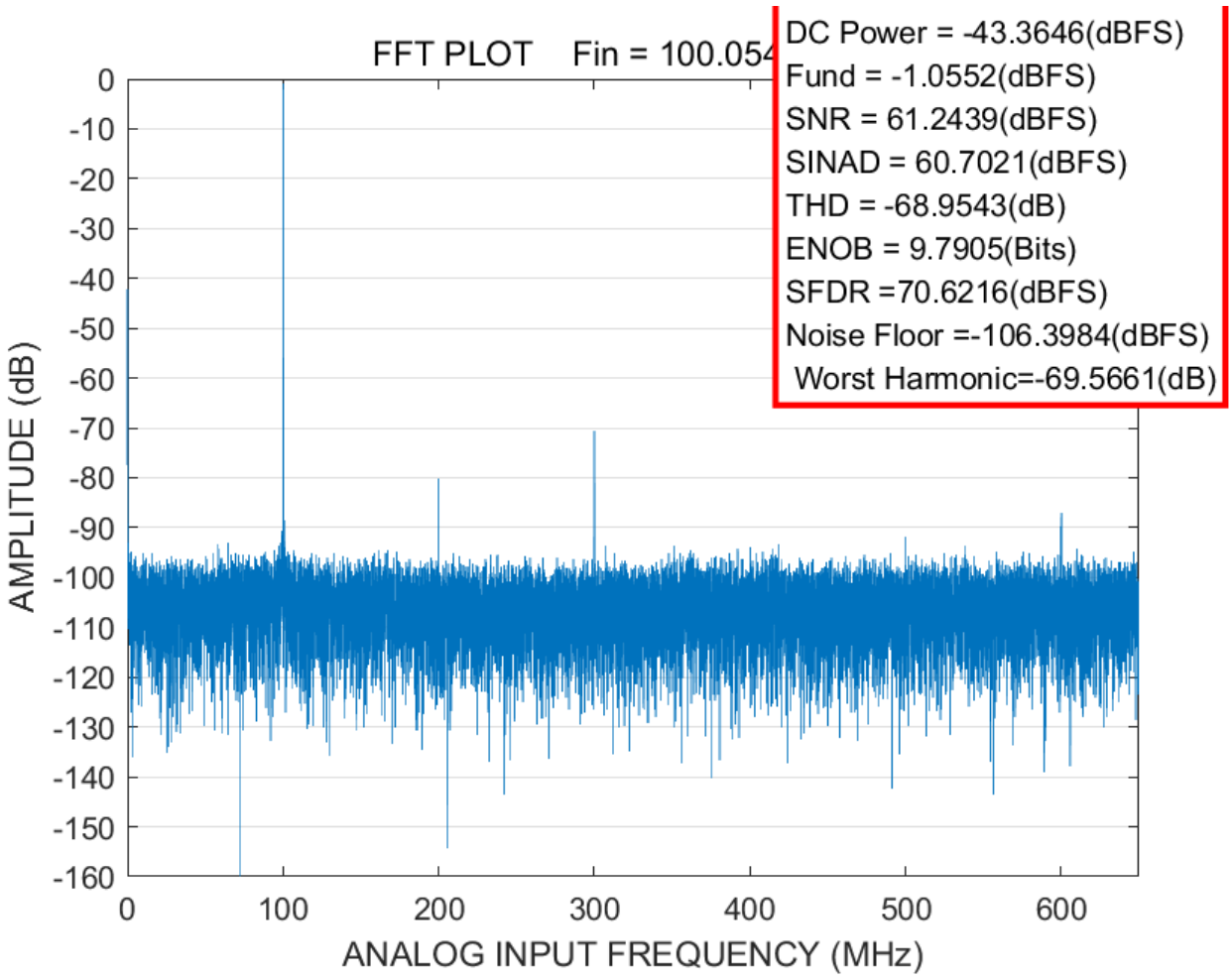


Figure 10: FFT spectrum (FS = 1300 MHz, fIN = 1400 MHz, 1.59 Vpp, TA = 25°C)

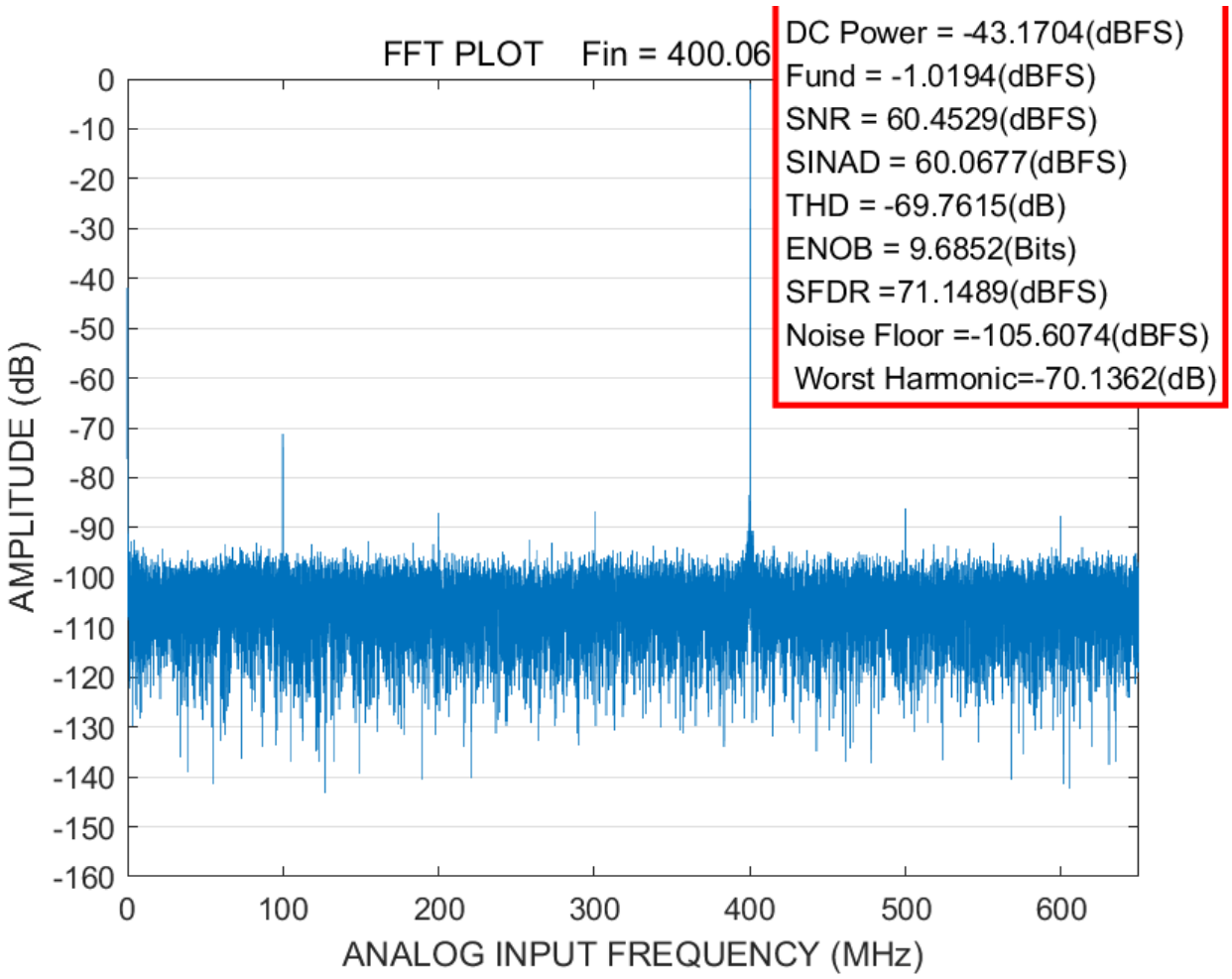


Figure 11: FFT spectrum (FS = 1300 MHz, fIN = 1700 MHz, 1.59 Vpp, TA = 25°C)

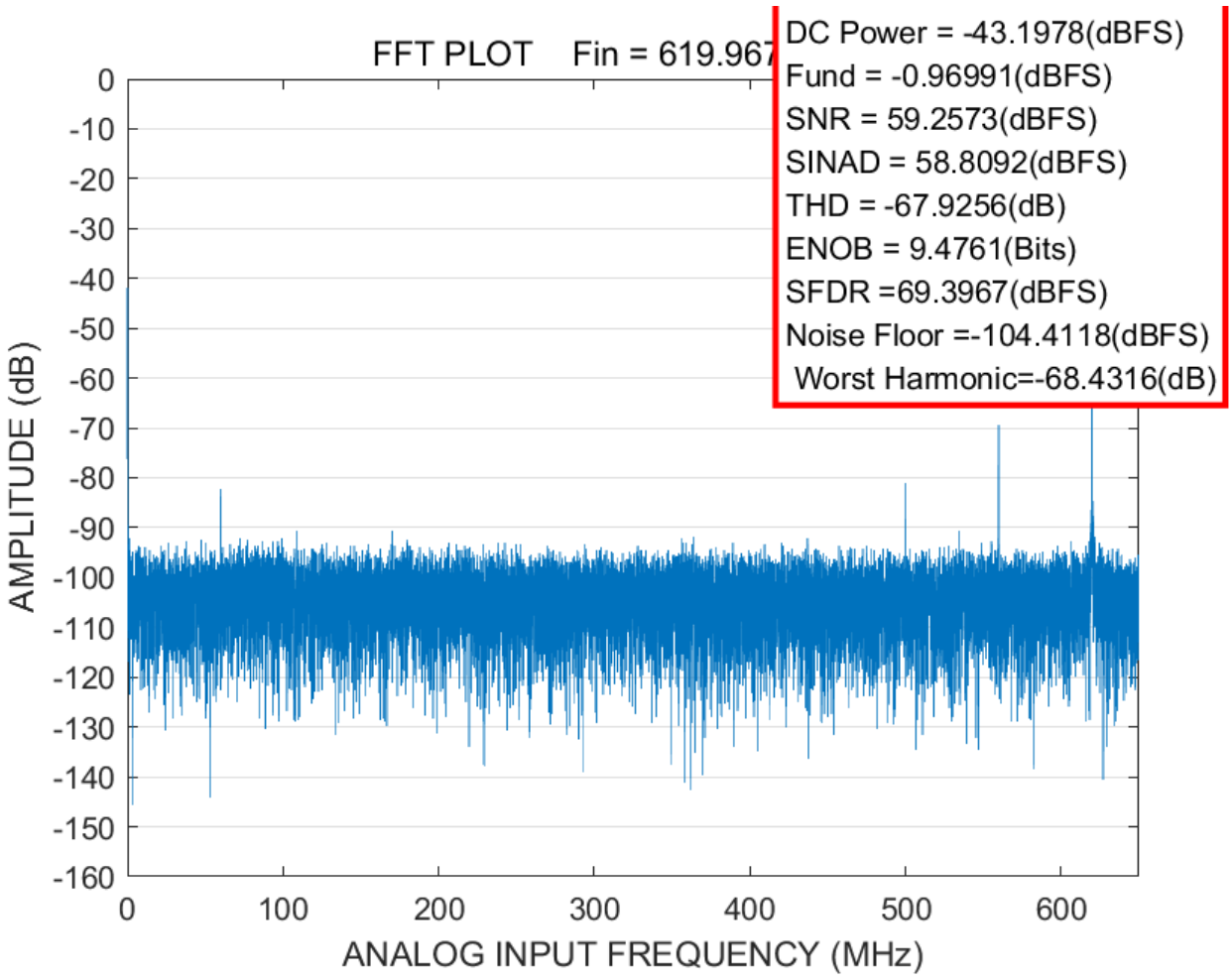


Figure 12: FFT spectrum (FS = 1300 MHz, fIN = 1980 MHz, 1.59 Vpp, TA = 25°C)

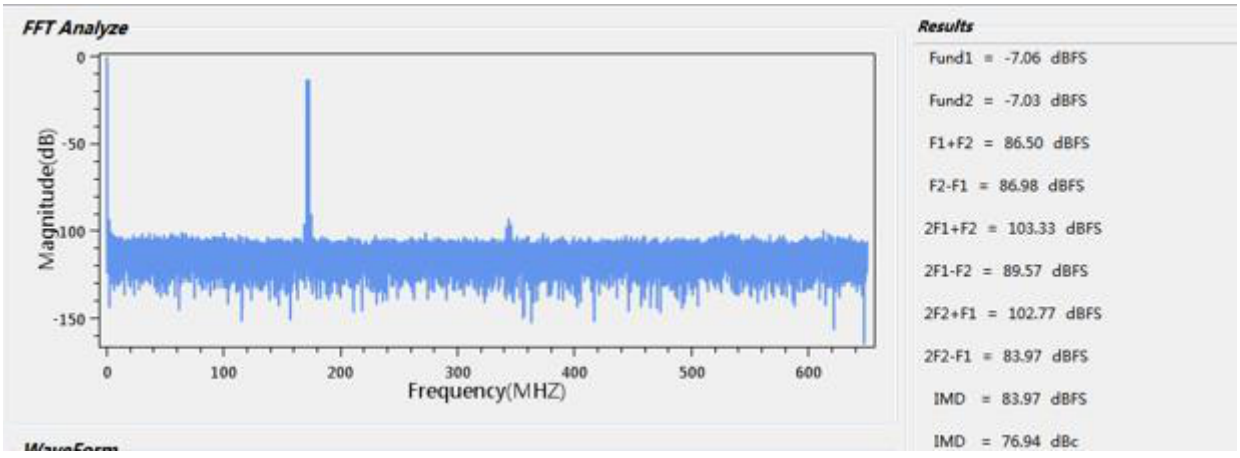


Figure 13: Two-tone FFT spectrum (FS = 1300 MHz, fIN1 = 170.8 MHz, fIN2 = 173.8 MHz, Fund1 = Fund2 = −7 dBFS)

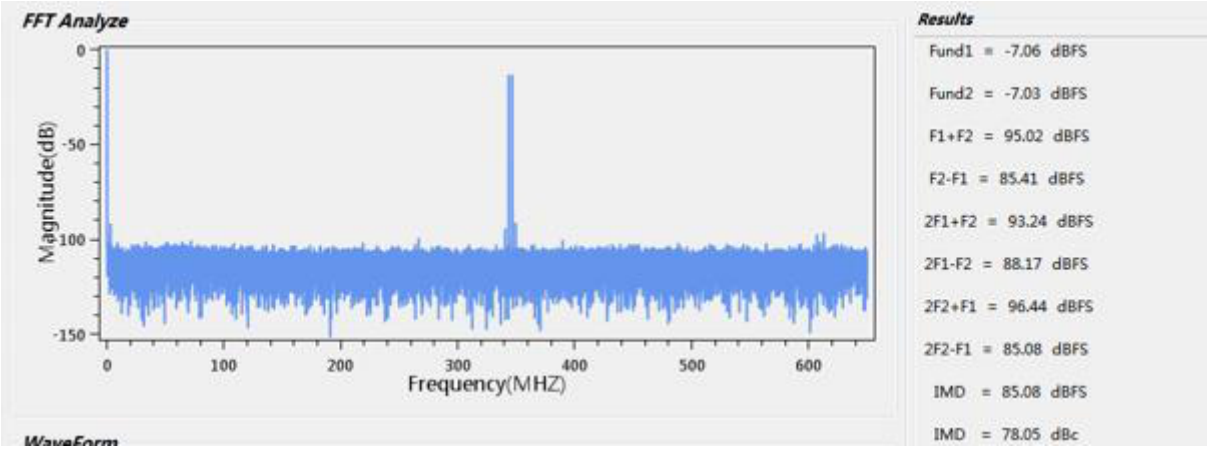


Figure 14: Two-tone FFT spectrum (FS = 1300 MHz, fIN1 = 343.5 MHz, fIN2 = 346.5 MHz, Fund1 = Fund2 = −7 dBFS)

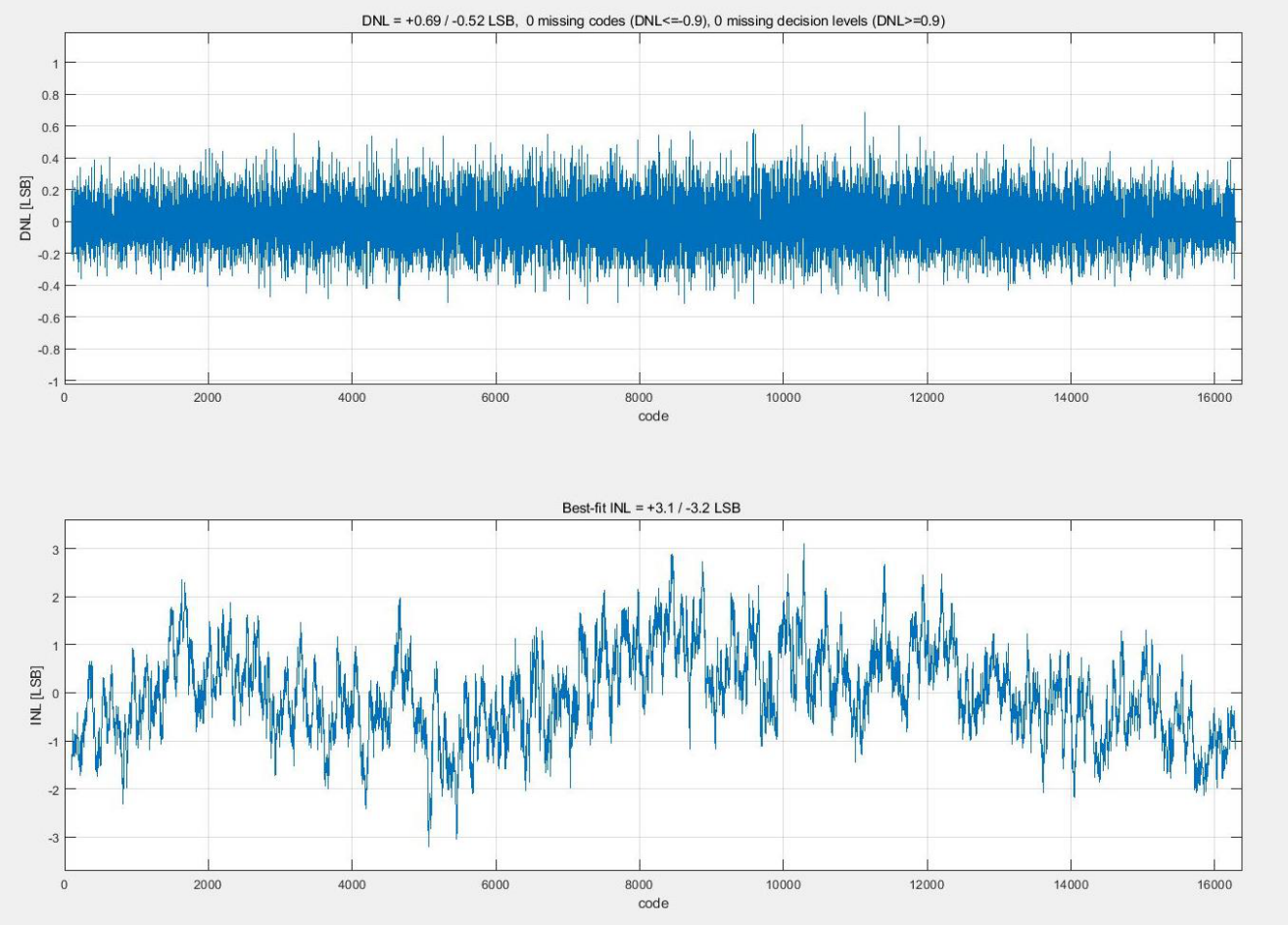


Figure 15: Integral and differential nonlinearity (fIN = 10 MHz, typical), TA = 25°C

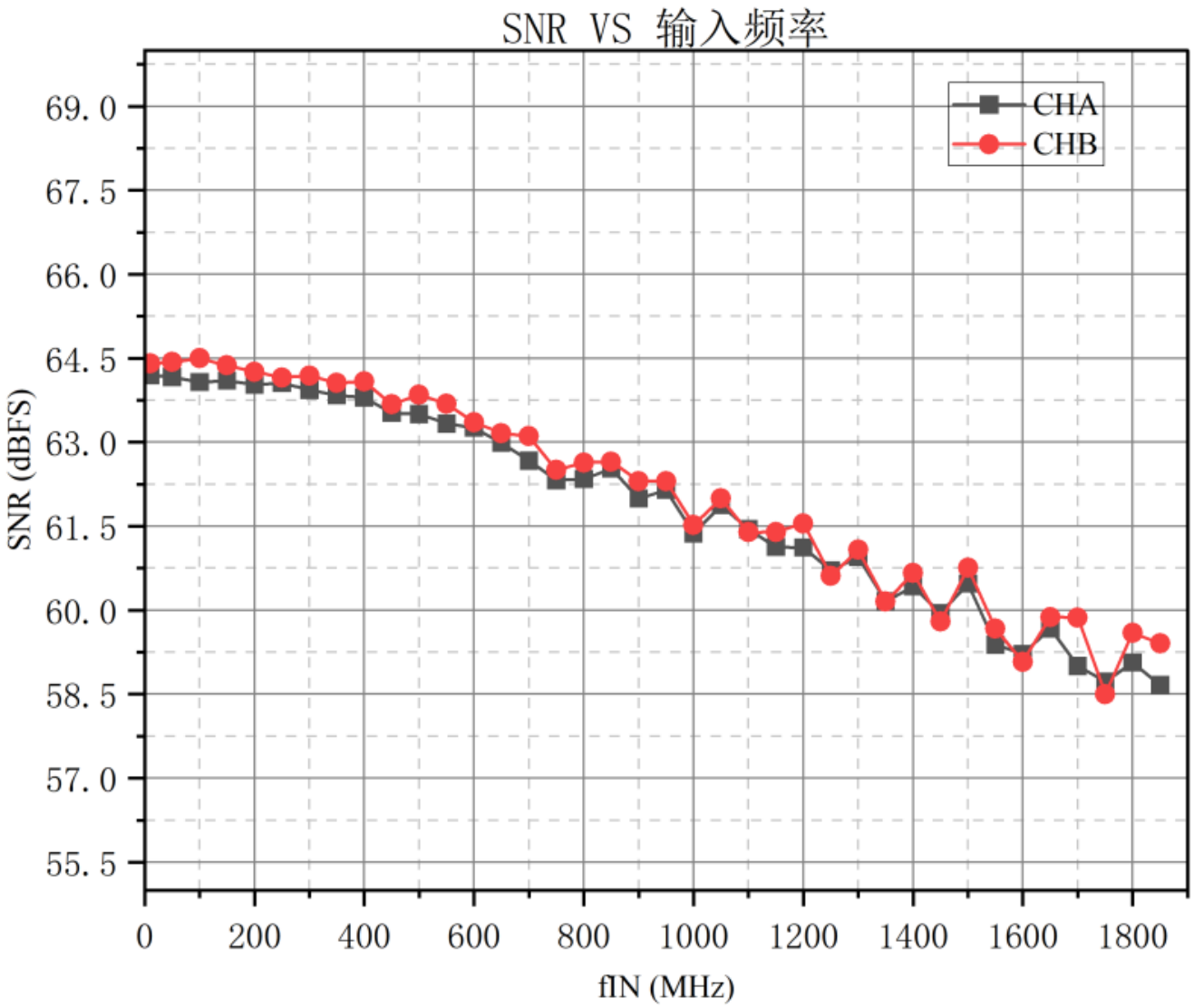


Figure 16: SNR vs. input signal frequency, TA = 25°C

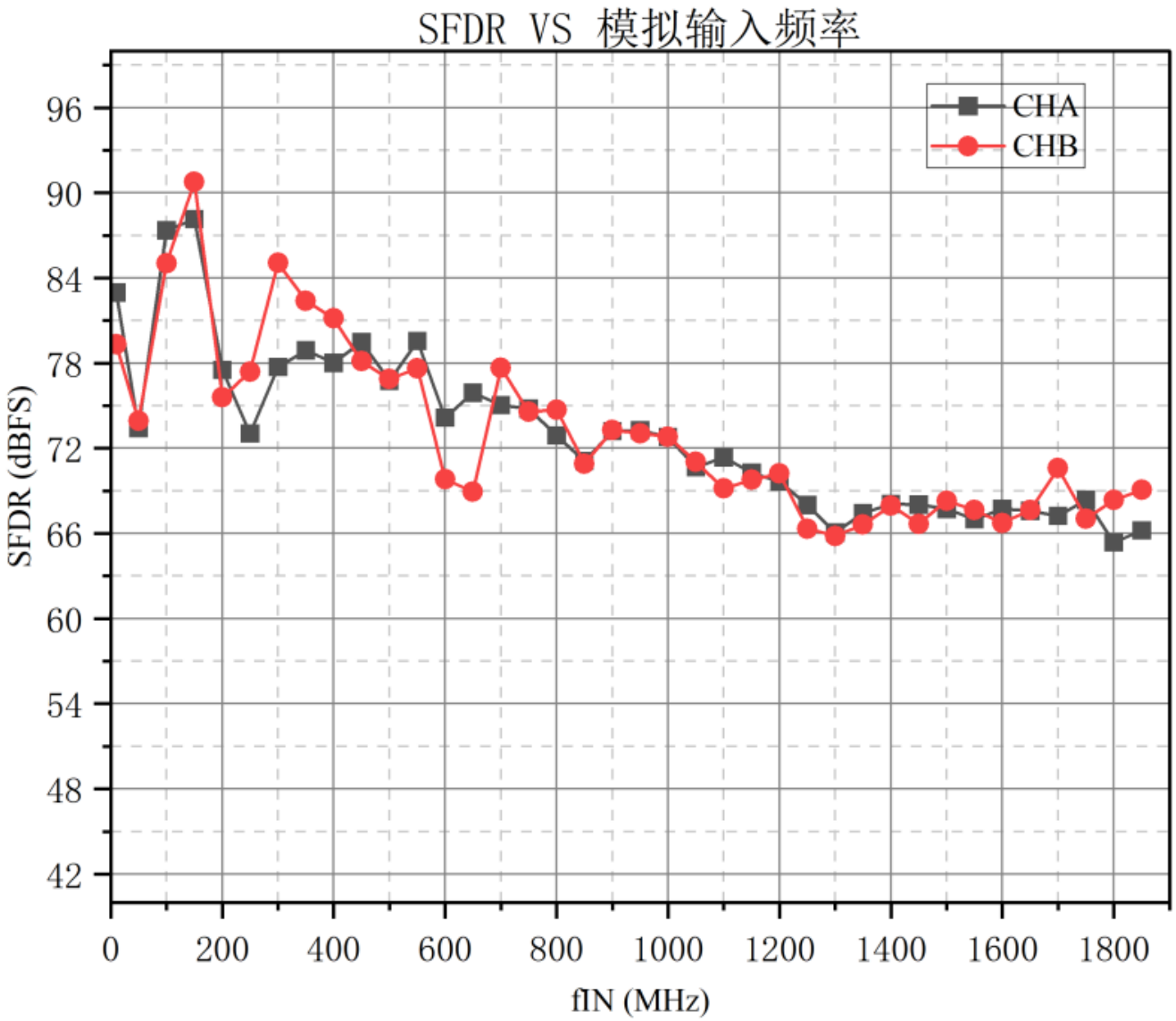


Figure 17: SFDR vs. input signal frequency

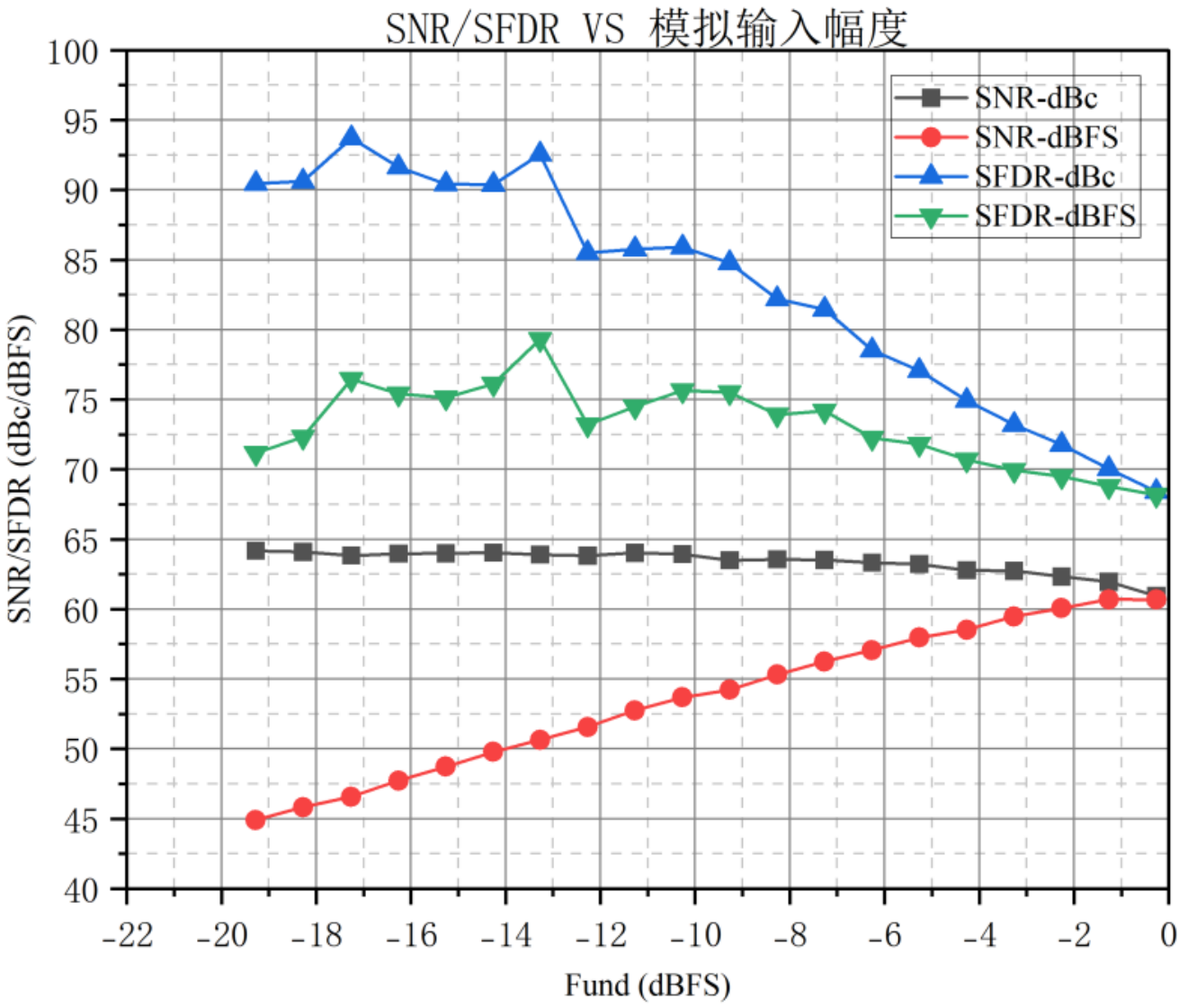


Figure 18: SNR/SFDR vs. input signal amplitude

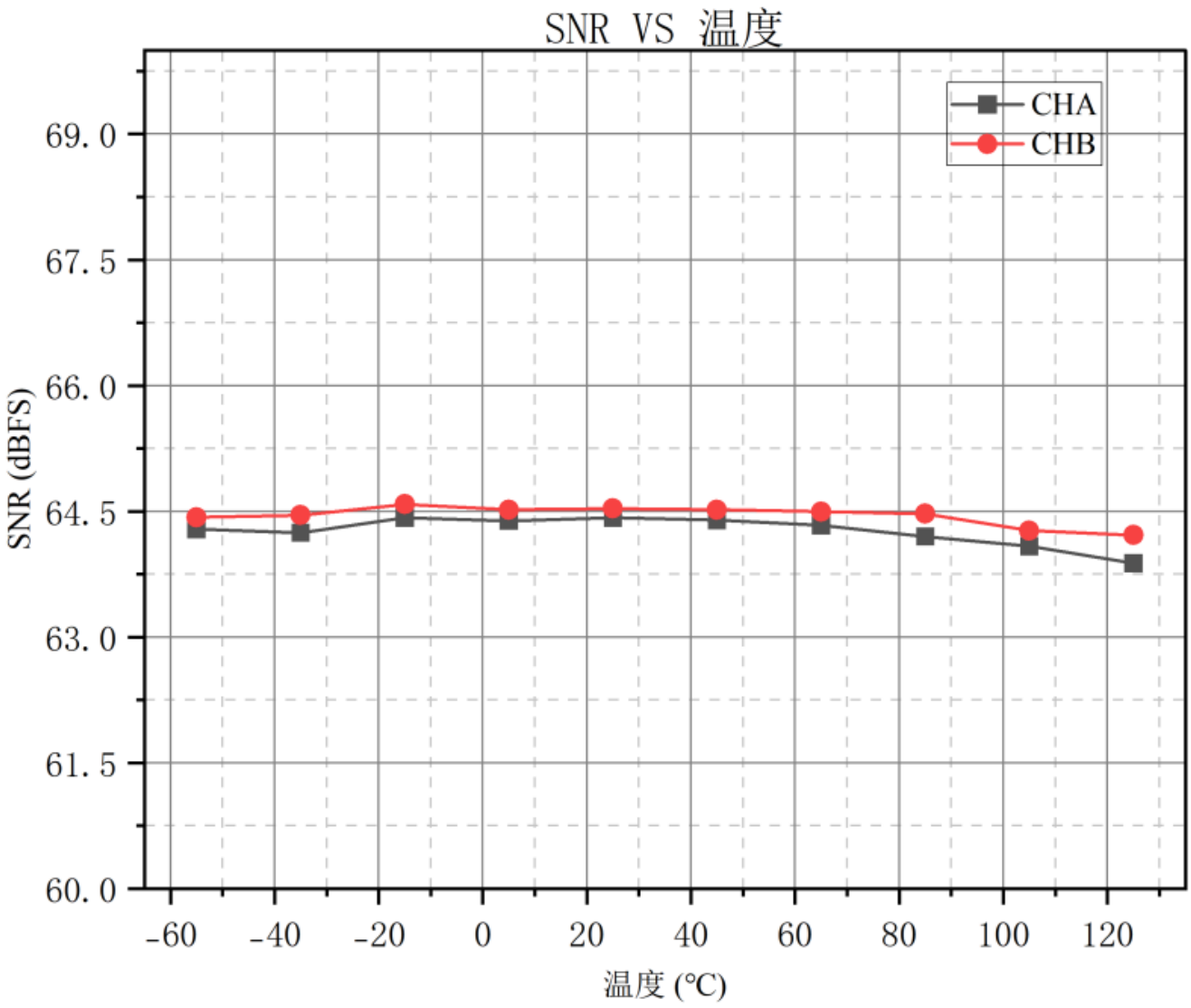


Figure 19: SNR vs. temperature (fIN = 170 MHz)

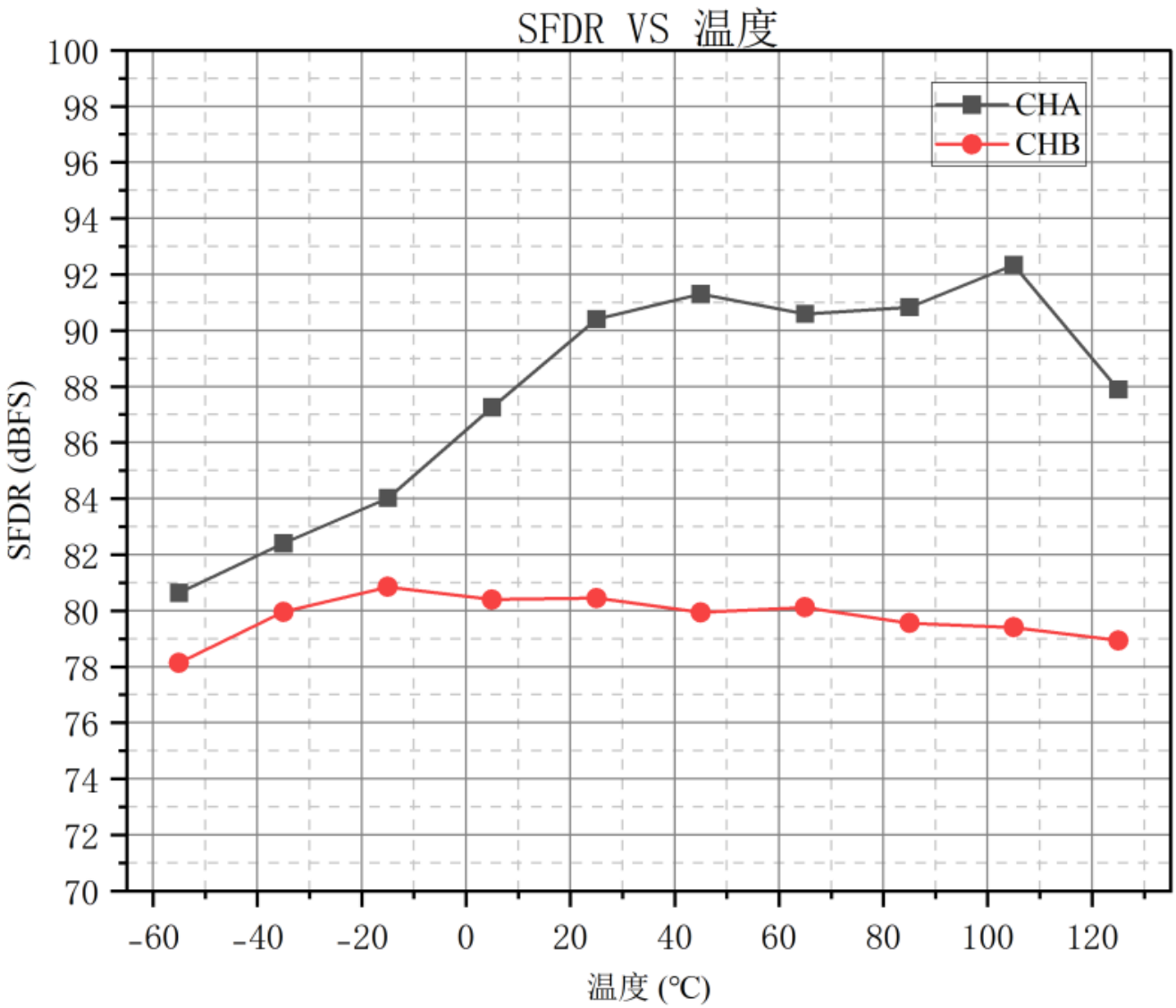


Figure 20: SFDR vs. temperature (fIN = 170 MHz)

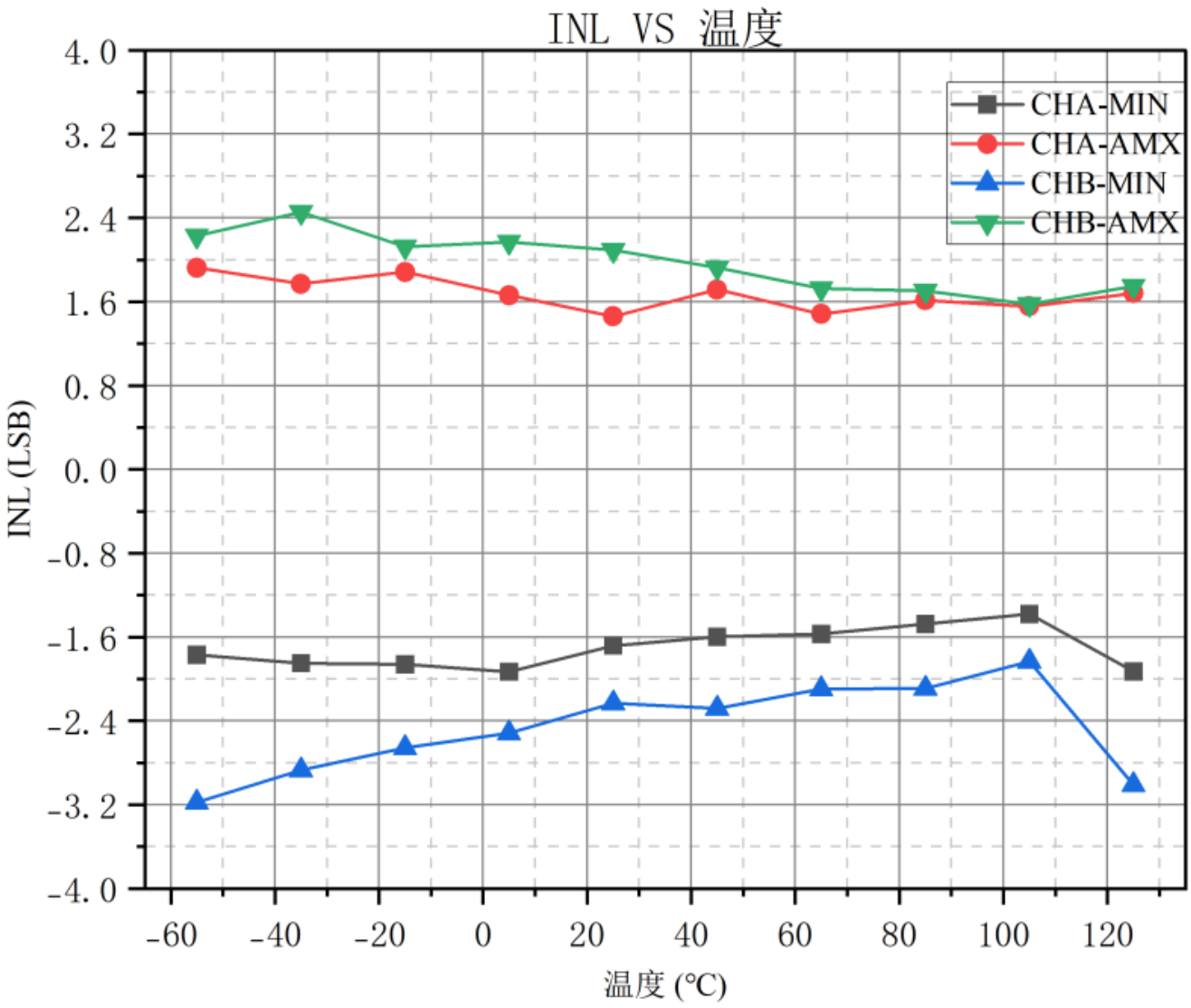


Figure 21: INL vs. temperature

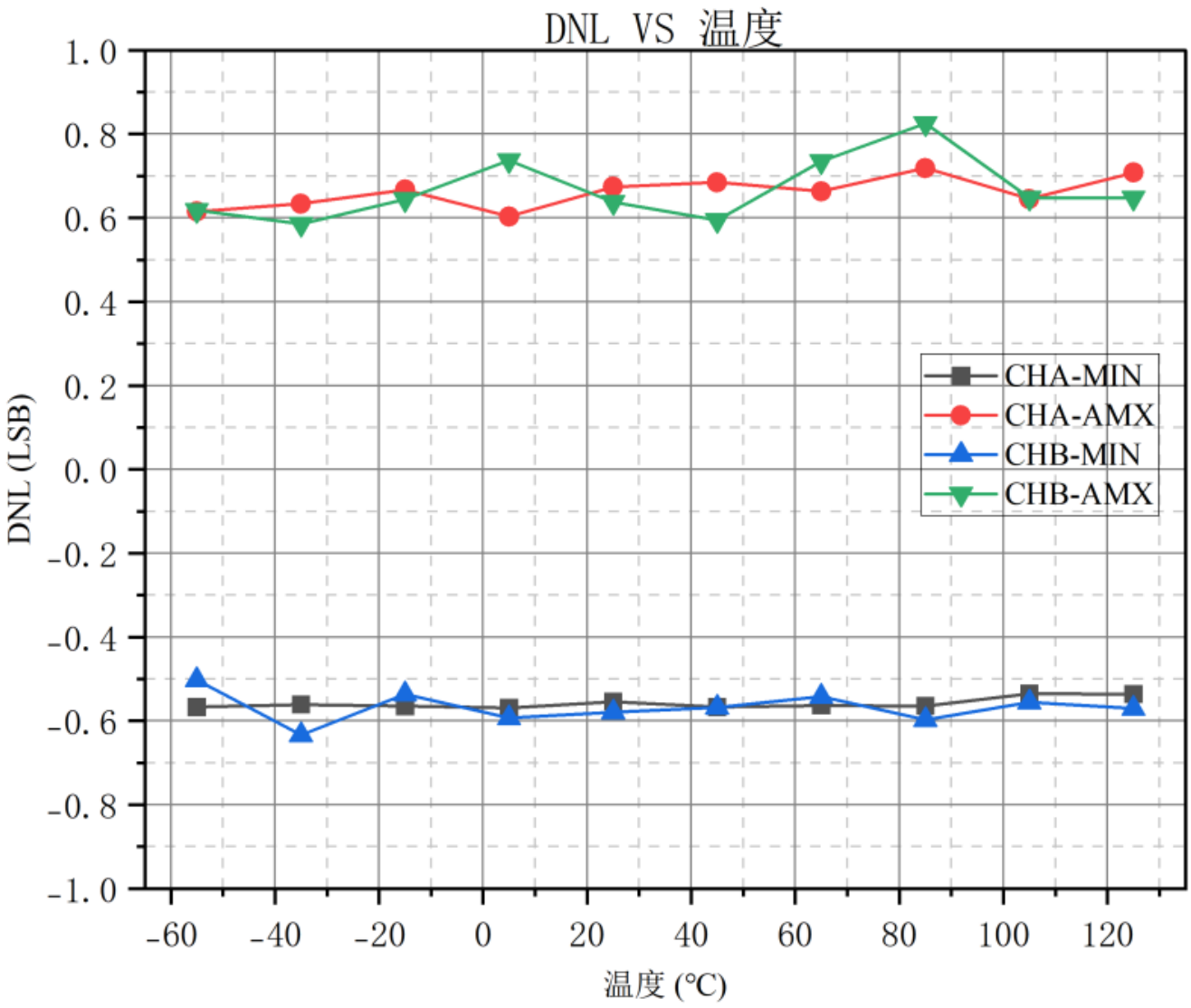


Figure 22: DNL vs. temperature

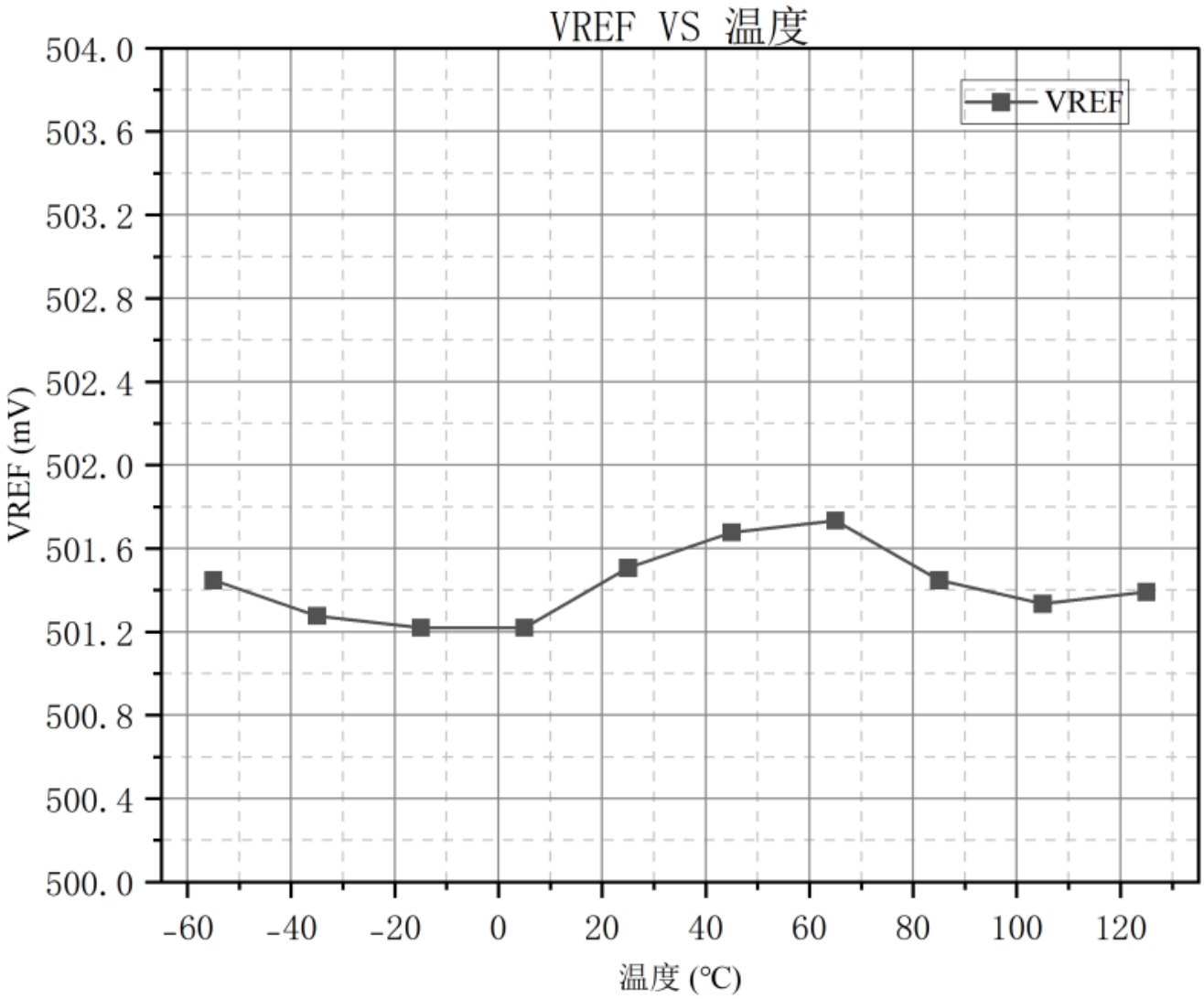


Figure 23: VREF vs. temperature

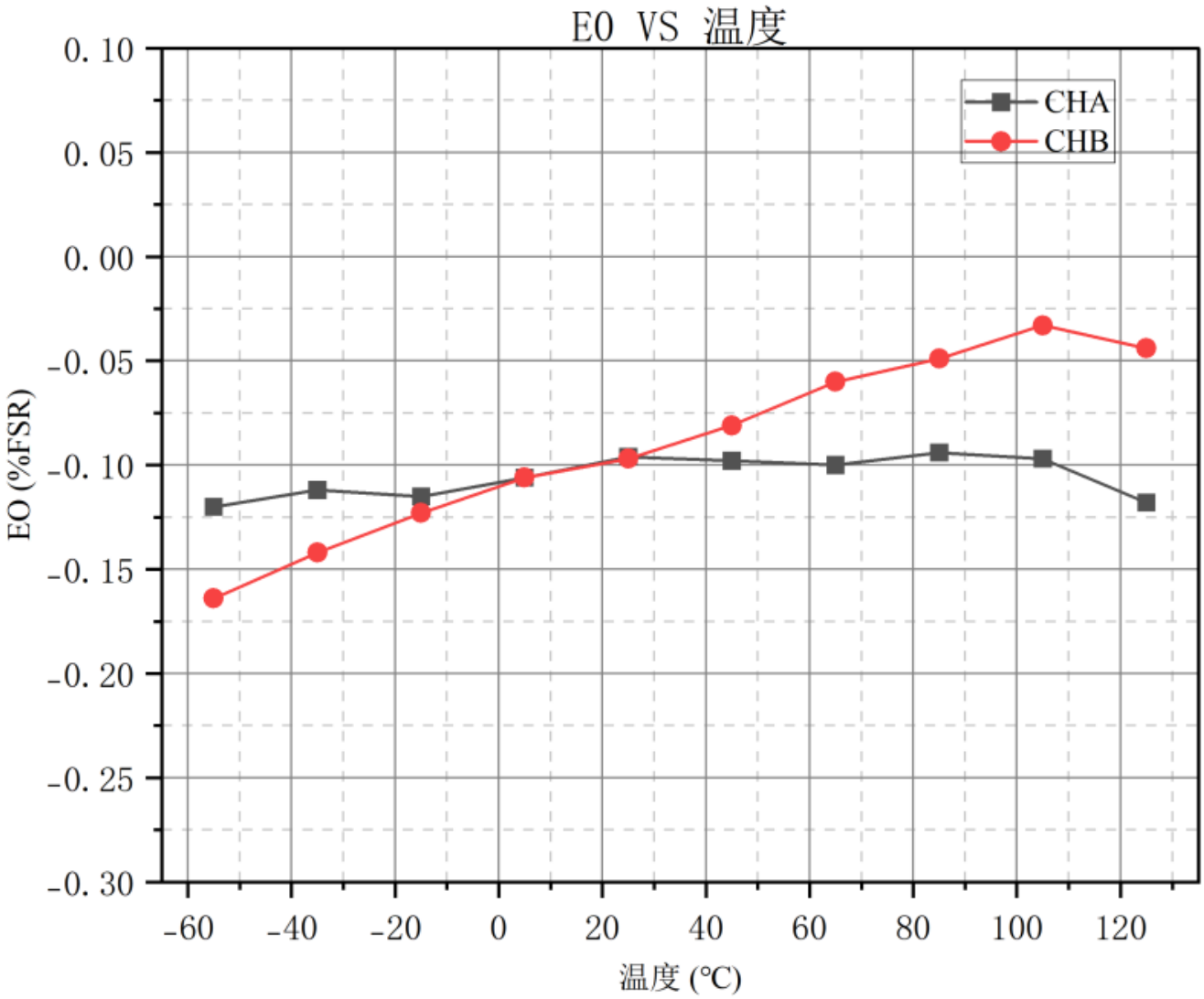


Figure 24: Offset error vs. temperature

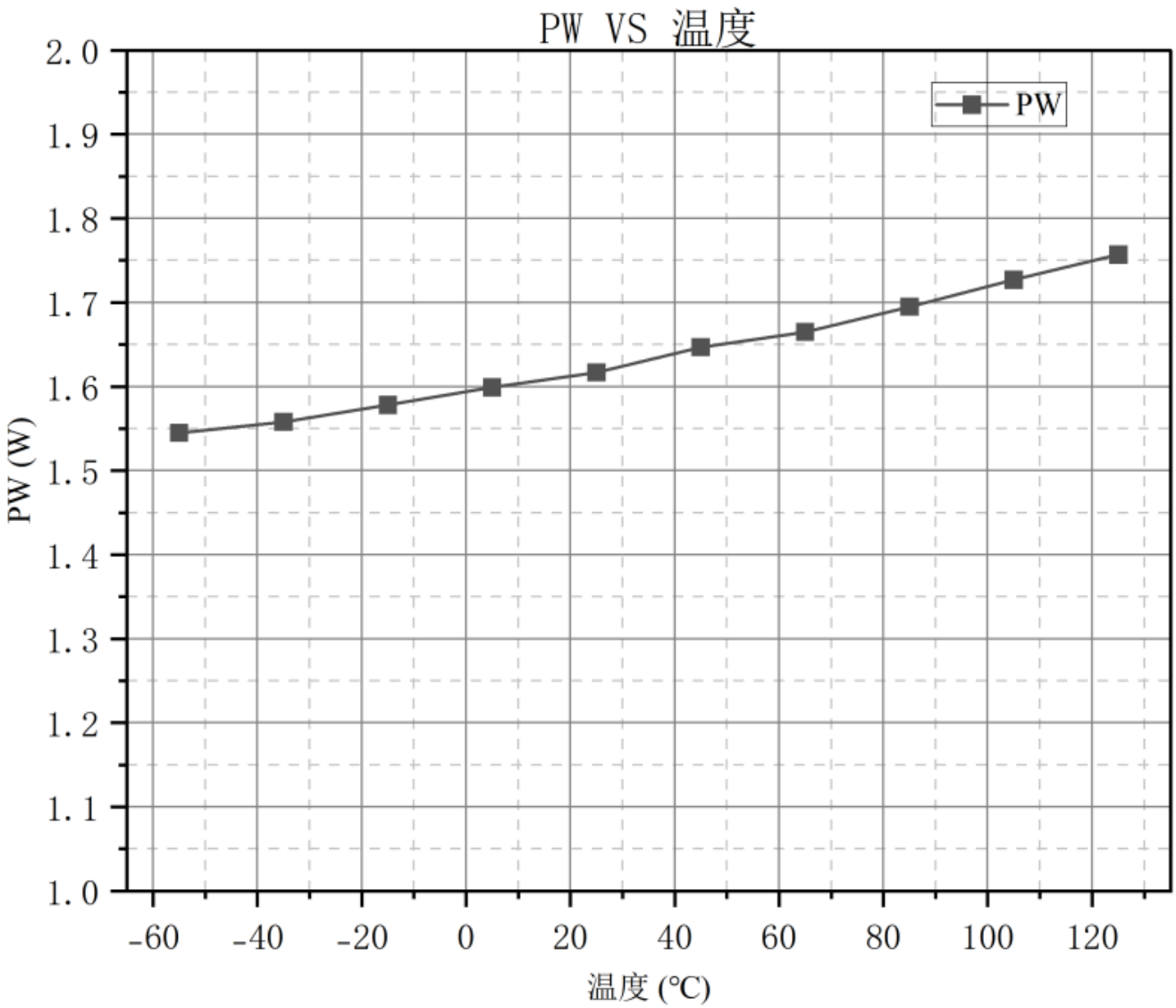


Figure 25: PW vs. temperature

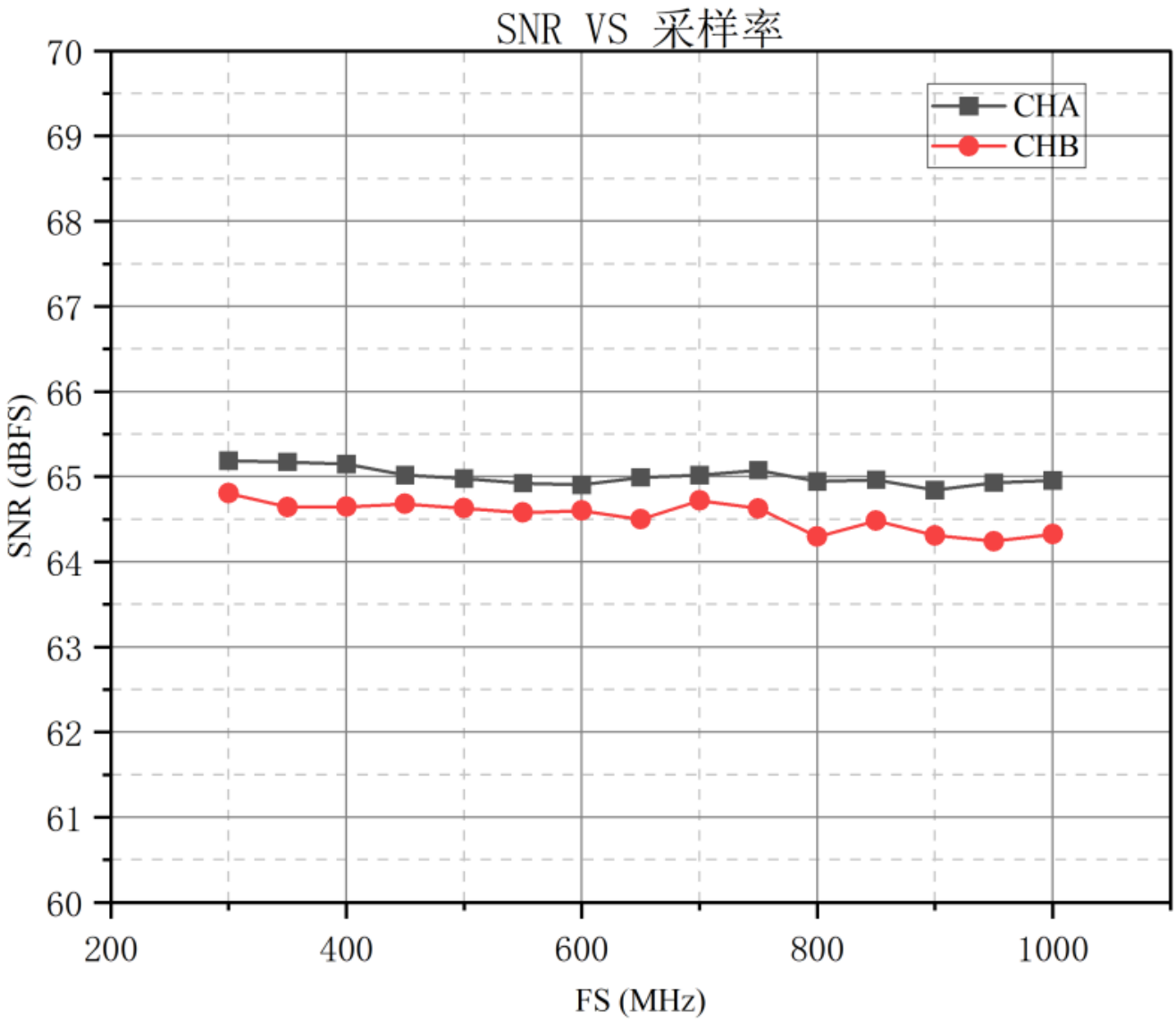


Figure 26: SNR vs. sampling rate

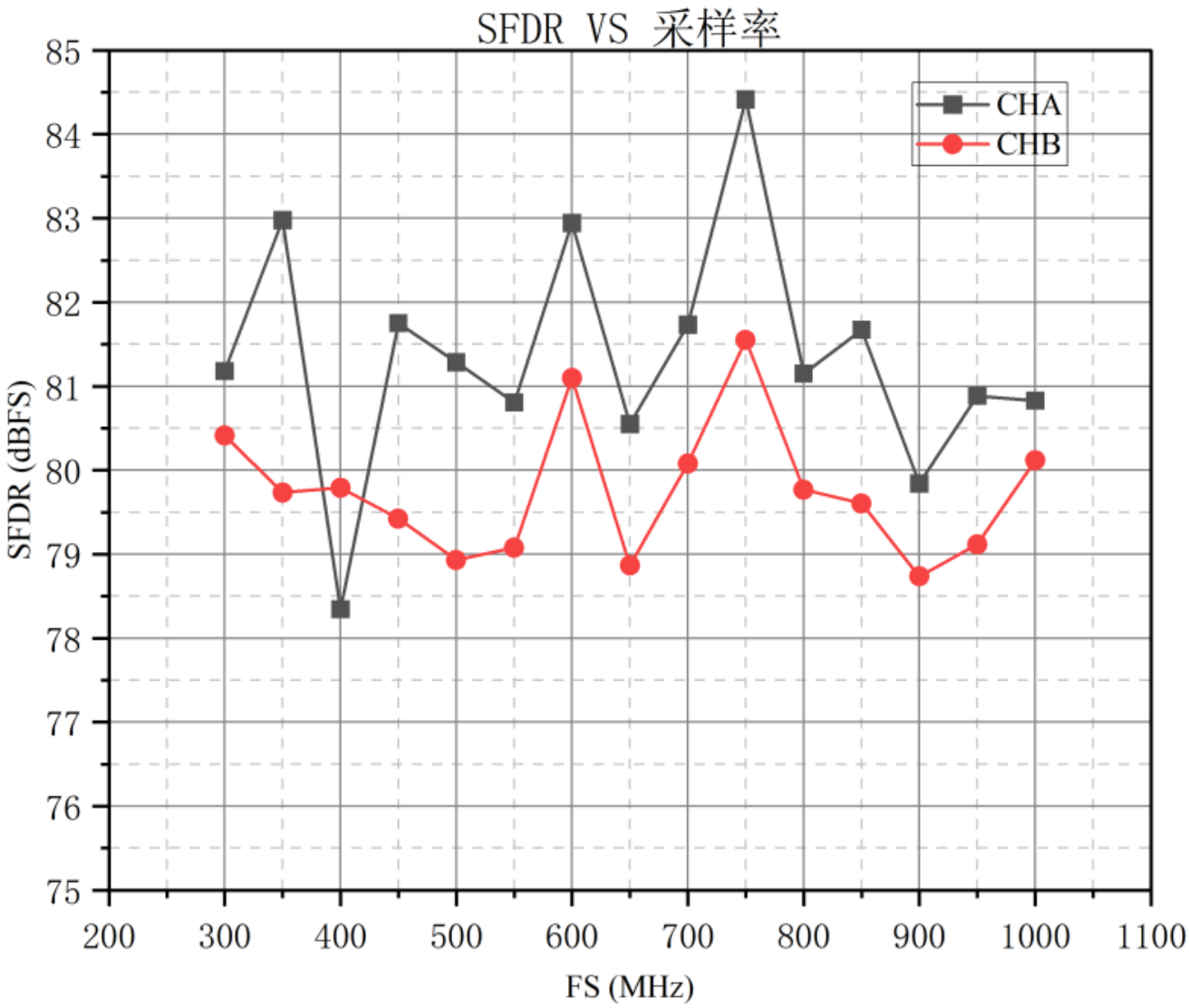


Figure 27: SFDR vs. sampling rate

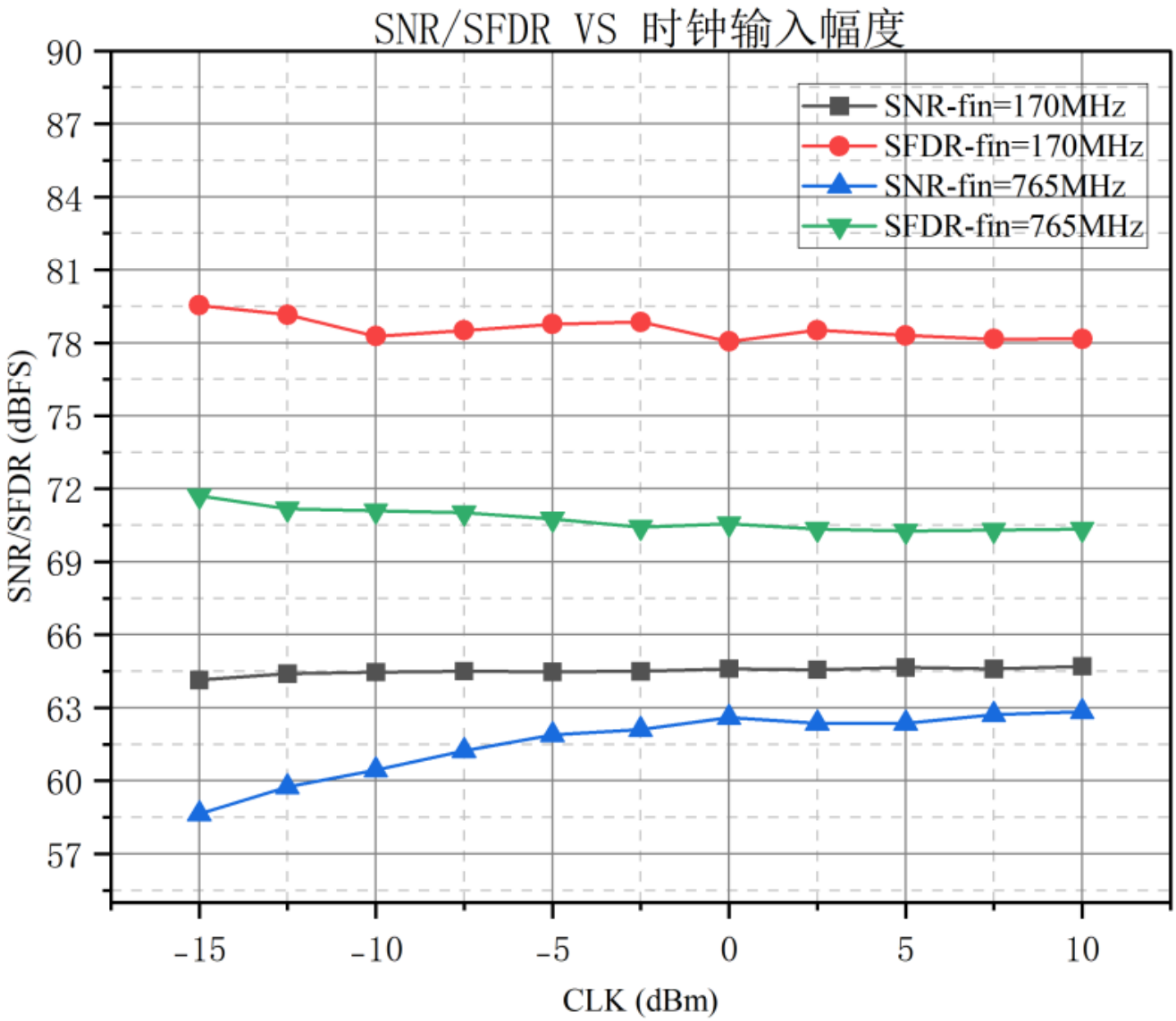


Figure 28: SNR/SFDR vs. clock input amplitude

绝对最大额定值 / Absolute Maximum Ratings

English: - Supply voltage (VAVDD1) to AGND: 1.05 V - Supply voltage (VAVDD1_SR) to AGND: 1.05 V - Supply voltage (VAVDD2) to AGND: 2.0 V - Supply voltage (VAVDD3) to AGND: 2.7 V - Supply voltage (VDVDD) to DGND: 1.05 V - Supply voltage (VDRVDD1) to DRGND: 1.05 V - Supply voltage (VDRVDD2) to DRGND: 2 V - Supply voltage (VSPIVDD) to DGND: 2 V - Storage temperature (Tstg): −65°C ~ 150°C

中文： - 电源电压（VAVDD1）to AGND：1.05V - 电源电压（VAVDD1_SR）to AGND：1.05V - 电源电压（VAVDD2）to AGND：2.0V - 电源电压（VAVDD3）to AGND：2.7V - 电源电压（VDVDD）to DGND：1.05V - 电源电压（VDRVDD1）to DRGND：1.05V - 电源电压（VDRVDD2）to DRGND：2V - 电源电压（VSPIVDD）to DGND：2V - 贮存温度（Tstg）：-65°C~150°C

推荐工作条件 / Recommended Operating Conditions

English: - Supply voltage (VAVDD1) to analog ground (AGND): 0.93 V ~ 0.98 V - Supply voltage (VAVDD1_SR) to analog ground (AGND): 0.93 V ~ 0.98 V - Supply voltage (VAVDD2) to analog ground (AGND): 1.71 V ~ 1.89 V - Supply voltage (VAVDD3) to analog ground (AGND): 2.44 V ~ 2.56 V - Supply voltage (VDVDD) to ground (DGND): 0.93 V ~ 0.98 V - Supply voltage (VDRVDD1) to ground (DRGND): 0.93 V ~ 0.98 V - Supply voltage (VDRVDD2) to ground (DRGND): 1.71 V ~ 1.89 V - Supply voltage (VSPIVDD) to ground (DGND): 1.71 V ~ 1.89 V - Operating temperature (TA): −40°C ~ 85°C

中文： - 电源电压（VAVDD1）到模拟地（AGND）：0.93V~0.98V - 电源电压（VAVDD1_SR）到模拟地（AGND）：0.93V~0.98V - 电源电压（VAVDD2）到模拟地（AGND）：1.71V~1.89V - 电源电压（VAVDD3）到模拟地（AGND）：2.44V~2.56V - 电源电压（VDVDD）到模拟地（DGND）：0.93V~0.98V - 电源电压（VDRVDD1）到模拟地（DRGND）：0.93V~0.98V - 电源电压（VDRVDD2）到模拟地（DRGND）：1.71V~1.89V - 电源电压（VSPIVDD）到模拟地（DGND）：1.71V~1.89V - 工作温度（TA）：-40°C~85°C

性能指标 / Performance Specifications

表 2 性能指标 / Table 2 Performance Specifications

Conditions / 条件（除另有规定外 / unless otherwise specified）: VAVDD1 = 0.95 V, VAVDD1_SR = 0.95 V, VAVDD2 = 1.8 V, VAVDD3 = 2.5 V, VDVDD = 0.95 V, VDRVDD1 = 0.95 V, VDRVDD2 = 1.8 V, VSPIVDD = 1.8 V, AGND = DGND = DRGND = AGND_SR = 0 V, FS = 1300 MSPS, −40°C ≤ TA ≤ 85°C, 输入幅度范围为 1.70 Vp-p / input amplitude range 1.70 Vp-p.

特性 / Parameter	符号 / Symbol	条件 / Conditions	最小 / Min	典型值 / Typical	最大 / Max	单位 / Unit
分辨率 / Resolution	RES	—	14	14	14	Bits
失调误差 / Offset error	Oe	—	−1	−0.1~0.1	1	%FSR
失调误差匹配 / Offset error matching	Oem	—	−1	−0.1~0.1	1	%FSR
积分非线性误差 / Integral nonlinearity error	INL	fIN = 10 MHz	−10.0	−5~+5	10.0	LSB
微分非线性误差 / Differential nonlinearity error	DNL	fIN = 10 MHz	−0.9	−0.6~0.6	0.9	LSB
输入等效噪声 / Input-referred noise	Gin	—	—	3.6	8	LSB rms
噪声谱密度 / Noise spectral density	NSD	fIN = 10 MHz	—	−150	−146	dBFS/Hz
功耗 / Power consumption	PW	双通道 / Dual channel	—	1.6	2.3	W
掉电功耗 / Power-down power	PD	—	—	220	580	mW
待机功耗 / Standby power	PSB	—	—	0.9	1.3	W
内部参考电压 / Internal reference voltage	VREF	—	490	500	510	mV
采样频率 / Sampling frequency	FS	—	—	1300	1300	MSPS
AVDD1 电流 / AVDD1 current	IAVDD1	—	—	290	450	mA

特性 / Parameter	符号 / Symbol	条件 / Conditions	最小 / Min	典型值 / Typical	最大 / Max	单位 / Unit
AVDD1_SR 电流 / AVDD1_SR current	IAVDD1_SR	—	—	9	45	mA
AVDD2 电流 / AVDD2 current	IAVDD2	—	—	450	550	mA
AVDD3 电流 / AVDD3 current	IAVDD3	—	—	50	105	mA
DVDD 电流 / DVDD current	IDVDD	—	—	135	400	mA
DRVDD1 电流 / DRVDD1 current	IDRVDD1	—	—	175	270	mA
DRVDD2 电流 / DRVDD2 current	IDRVDD2	—	—	22	45	mA
SPIVDD 电流 / SPIVDD current	ISPIVDD	—	—	1	7	mA
信噪比 / SNR	SNR	fIN = 10 MHz, −1.0 dBFS	60	63.8	—	dBFS
信噪比 / SNR	SNR	fIN = 170 MHz, −1.0 dBFS	60	63.5	—	dBFS
信噪比 / SNR	SNR	fIN = 765 MHz, −1.0 dBFS	58	62.0	—	dBFS
信噪比 / SNR	SNR	fIN = 1480 MHz, −1.0 dBFS	56	60.0	—	dBFS
信噪失真比 / SINAD	SINAD	fIN = 10 MHz, −1.0 dBFS	59	63.7	—	dBFS
信噪失真比 / SINAD	SINAD	fIN = 170 MHz, −1.0 dBFS	59	63.3	—	dBFS
信噪失真比 / SINAD	SINAD	fIN = 765 MHz, −1.0 dBFS	57	61.5	—	dBFS
信噪失真比 / SINAD	SINAD	fIN = 1480 MHz, −1.0 dBFS	55	59	—	dBFS
无杂散动态范围 / SFDR	SFDR	fIN = 10 MHz, −1.0 dBFS	68	76	—	dBFS
无杂散动态范围 / SFDR	SFDR	fIN = 170 MHz, −1.0 dBFS	68	78	—	dBFS
无杂散动态范围 / SFDR	SFDR	fIN = 765 MHz, −1.0 dBFS	63	72	—	dBFS
无杂散动态范围 / SFDR	SFDR	fIN = 1480 MHz, −1.0 dBFS	58	68	—	dBFS
最差谐波失真（除二、三阶）/ Worst harmonic distortion (excluding 2nd/3rd)	HD2,3nd	fIN = 10 MHz, −1.0 dBFS	—	−88	−68	dBFS
最差谐波失真（除二、三阶）/ Worst harmonic distortion (excluding 2nd/3rd)	HD2,3nd	fIN = 170 MHz, −1.0 dBFS	—	−88	−68	dBFS
最差谐波失真（除二、三阶）/ Worst harmonic distortion (excluding 2nd/3rd)	HD2,3nd	fIN = 765 MHz, −1.0 dBFS	—	−85	−63	dBFS
最差谐波失真（除二、三阶）/ Worst harmonic distortion (excluding 2nd/3rd)	HD2,3nd	fIN = 1480 MHz, −1.0 dBFS	—	−83	−58	dBFS
有效位数 / ENOB	ENOB	fIN = 170 MHz, −1.0 dBFS	9.5	10.3	—	Bits
有效位数 / ENOB	ENOB		9.1	10.1	—	Bits

特性 / Parameter	符号 / Symbol	条件 / Conditions	最小 / Min	典型值 / Typical	最大 / Max	单位 / Unit
		fIN = 765 MHz, −1.0 dBFS				
有效位数 / ENOB	ENOB	fIN = 1480 MHz, −1.0 dBFS	8.8	9.5	—	Bits
串扰 [a] / Crosstalk [a]	CT	fIN = 10 MHz, −1.0 dBFS, TA = 25°C		−87	−70	dB
逻辑1 输入电压 (SCLK, CSB, SDIO, PDWN/STBY, FD_A, FD_B) / Logic 1 input voltage	VIH	—	0.7 VSPIVDD		VSPIVDD	V
逻辑0 输入电压 (SCLK, CSB, SDIO, PDWN/STBY, FD_A, FD_B) / Logic 0 input voltage	VIL	—	0		0.35 VSPIVDD	V
逻辑1 输出电压 (SDIO, FD_A, FD_B) / Logic 1 output voltage	VOH_SDIO	IOH = 4 mA	VSPIVDD − 0.5		VSPIVDD	V
逻辑0 输出电压 (SDIO, FD_A, FD_B) / Logic 0 output voltage	VOL_SDIO	IOL = 4 mA	0		0.45	V
数据与SCLK 上升沿之间的建立时间 / Data setup time to SCLK rising edge	tDS	—	4		—	ns
数据与SCLK 上升沿之间的保持时间 / Data hold time to SCLK rising edge	tDH	—	2		—	ns
SCLK 周期 / SCLK period	tCLK	—	40		—	ns
CSB 与SCLK 之间的建立时间 / CSB setup time to SCLK	tS	—	2		—	ns
CSB 与SCLK 之间的保持时间 / CSB hold time to SCLK	tH	—	2		—	ns
SCLK 应处于逻辑高电平状态的最短时间 / Minimum SCLK logic-high time	tHIGH	—	10		—	ns
SCLK 应处于逻辑低电平状态的最短时间 / Minimum SCLK logic-low time	tLOW	—	10		—	ns
SCLK 下降沿到数据输出的最大延迟时间 / Maximum delay from SCLK falling edge to data output	tACCESS	—	—		14	ns

注：典型值为常温测试数据。/ Note: typical values are room-temperature test data.

典型应用线路图 / Typical Application Circuit

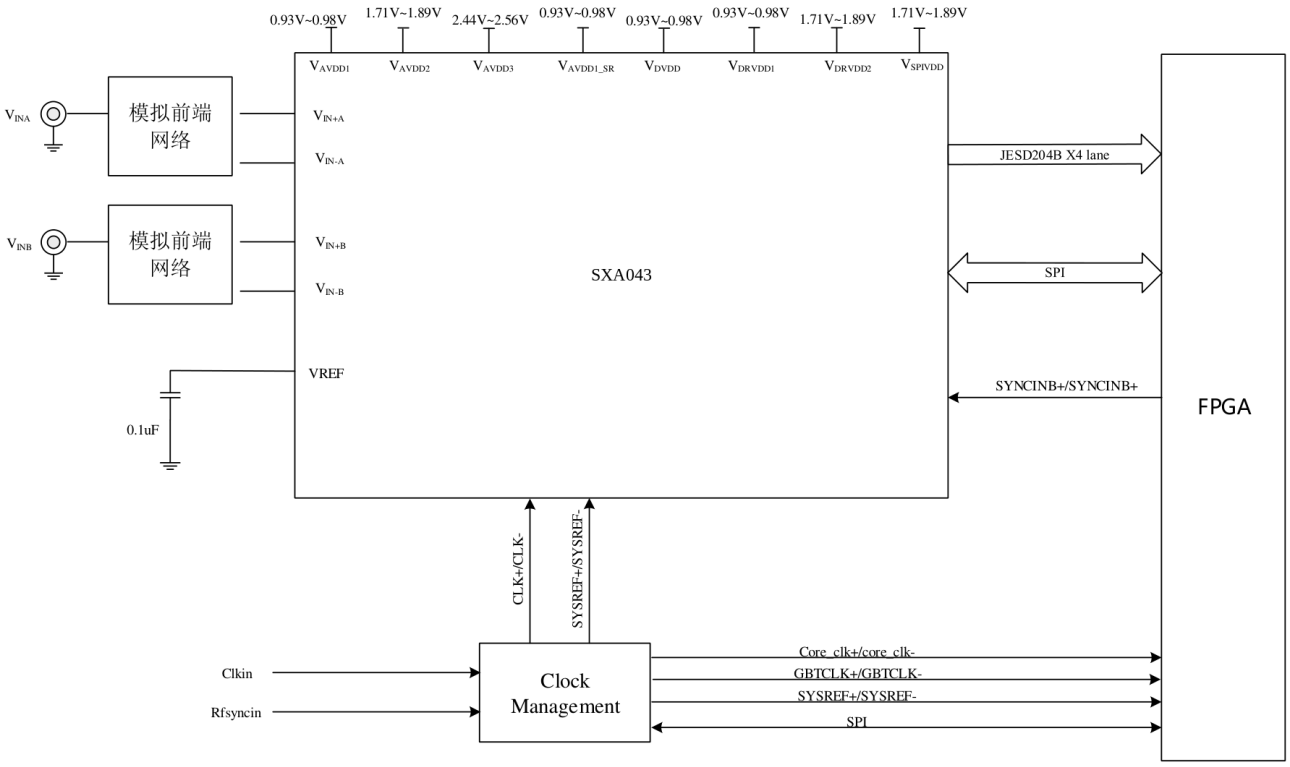


Figure 29: Typical application circuit

注：模拟前端网络和时钟网络可根据下文对应内容进行配置。/ Note: the analog front-end network and the clock network can be configured according to the corresponding content below.

单元模块及工作原理 / Functional Blocks and Operating Principles

1、差分输入端口 / 1. Differential Input Port

English: The equivalent circuit of the analog input port is shown in Figure 30 and is intended to provide a 200 Ω termination impedance for the analog input signal. The input buffer provides high input impedance and reduces kickback noise from the ADC. The common-mode voltage of the SXA043 analog input port is approximately 1.4 V. The clock signal alternately switches the input circuit between sample mode and hold mode. A differential capacitor or two single-ended capacitors can be placed at the input to provide a matched passive network; this configuration ultimately creates a low-pass filter at the input, thereby limiting unwanted broadband noise. For optimum dynamic performance, the impedances driving VIN+x and VIN−x must be matched so that common-mode settling errors are symmetrical.

中文： 模拟输入端口的等效电路如图30 所示，旨在为模拟输入信号提供200Ω 终端阻抗。输入缓冲器提供高输入阻抗，并减少来自ADC 的回踢噪声。SXA043 模拟输入端口共模电压约为1.4V。时钟信号在采样模式和保持模式之间交替切换输入电路。可以在输入端放置一个差分电容或两个单端电容，以提供匹配的无源网络，此配置最终会在输入处创建一个低通滤波器，从而限制不需要的宽带噪声。为了获得最佳的动态性能，驱动VIN＋x 和VIN-x 的阻抗必须匹配，以使共模稳定误差是对称的。

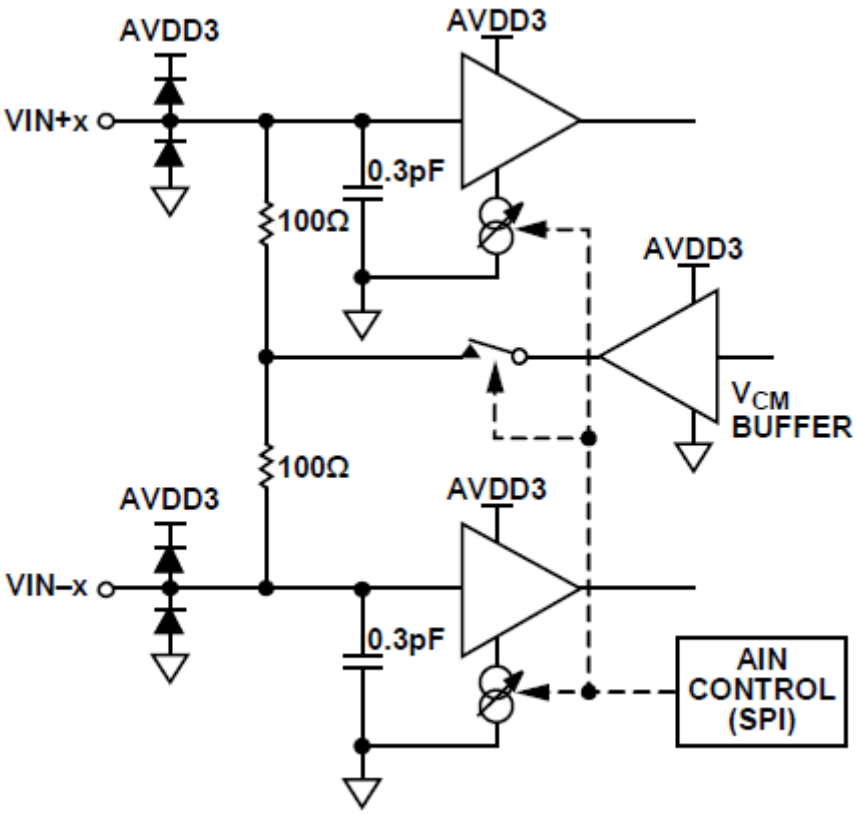


Figure 30: Analog input termination equivalent circuit

English: Best performance is achieved by driving the analog input differentially. 1) For applications where SNR and SFDR are critical parameters, the recommended input configuration is differential transformer coupling. 2) For low IF, a dual-balun or dual-transformer network is recommended for best performance. 3) For higher frequencies in the second or third Nyquist zone, remove some front-end passive components to ensure signal bandwidth; the recommended low-frequency and high-frequency input signal configurations are shown in Figures 31 to 32.

中文： 通过差分方式驱动模拟输入可以实现最佳性能。1）对于SNR 和SFDR 是关键参数的应用，推荐的输入配置是采用差分变压器耦合。2）对于低中频，建议使用双巴伦或双变压器网络，以实现最佳性能。3）对于第二或第三奈奎斯特区域中的更高频率，请删除一些前端无源组件以确保信号带宽，推荐的低频和高频输入信号配置如图31 -图32 所示。

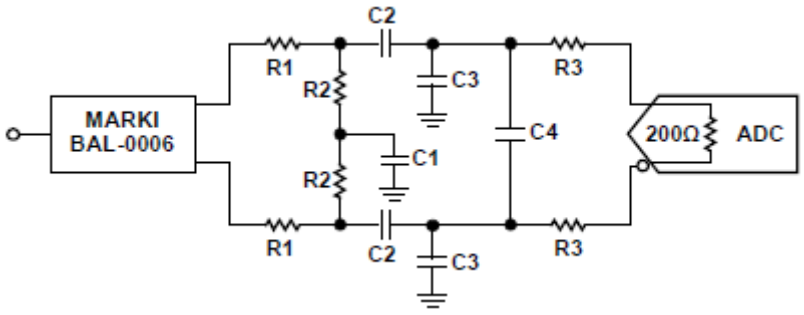


Figure 31: Low-frequency input signal configuration

Speed Grade	Frequency Range	Transformer	R1	R2	R3	C1	C2	C3	C4
AD9695-625	<2 GHz	BAL-0006/BAL-0006SMG	25 Ω	25 Ω	10 Ω	0.1 µF	0.1 µF	DNI[1]	DNI[1]
AD9695-1300	<2 GHz	BAL-0006/BAL-0006SMG	25 Ω	25 Ω	10 Ω	0.1 µF	0.1 µF	DNI[1]	DNI[1]

[1] DNI means do not insert.

Figure 32: Input signal configuration component parameter table

2、基准电压源 / 2. Reference Voltage Source

English: The SXA043 integrates a stable, accurate 0.5 V reference voltage source. Through SPI register 0x18A6, the user can select either this internal 0.5 V reference or an externally provided 0.5 V reference. When an external reference is used, a 0.5 V reference source should be provided.

The SPI write sequence required to use an external voltage reference is as follows: 1) Configure register 0x18E3 to 0x00 to turn off the VCM output. 2) Configure register 0x18E6 to 0x00 to turn off the temperature-diode output. 3) Configure register 0x18A6 to 0x01 to enable the external reference.

The internal reference voltage can be output through the VREF port, which can assist in judging whether the circuit is normal. The SPI write sequence required to output the internal reference is as follows: 1) Configure register 0x18E3 to 0x00 to turn off the VCM output. 2) Configure register 0x18E6 to 0x00 to turn off the temperature-diode output. 3) Configure register 0x18A6 to 0x10 to output the internal reference.

中文： SXA043 内置稳定、精确的0.5V 基准电压源。通过SPI 寄存器0x18A6，用户可以选择使用该内部0.5V 基准电压源或提供外部0.5V 基准电压源。使用外部基准电压源时，应提供0.5V基准电压源。

使用外部电压基准所需的SPI 写入顺序如下： 1）将寄存器0x18E3 配置为0x00 以关闭VCM 输出。 2）将寄存器0x18E6 配置为0x00 以关闭温度二极管输出。 3）将寄存器0x18A6 配置为0x01 以打开外部基准电压。

内基准电压可以通过VREF 端口输出，可辅助判断电路是否正常，内基准电压输出所需的SPI 写入顺序如下： 1）将寄存器0x18E3 配置为0x00 以关闭VCM 输出。 2）将寄存器0x18E6 配置为0x00 以关闭温度二极管输出。 3）将寄存器0x18A6 配置为0x10 输出内基准。

3、时钟端口 / 3. Clock Port

English: To obtain good dynamic performance, the clock input of this product requires a differential input. Figures 33 to 35 show several recommended clock input methods.

中文： 为了获得好的动态性能，本产品时钟输入端需要差分输入，图33 -图35 是几种推荐的时钟输入方式。

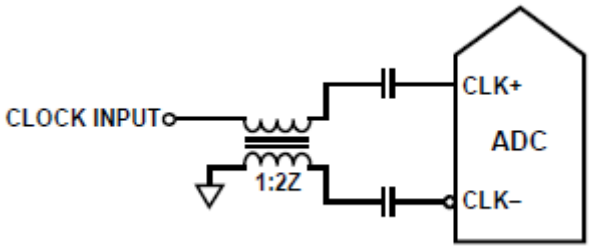


Figure 33: Transformer-coupled differential clock input

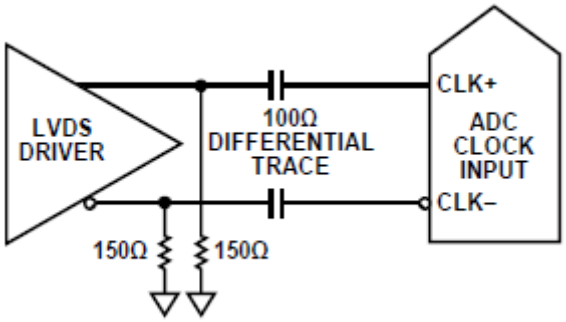


Figure 34: LVPECL differential clock input

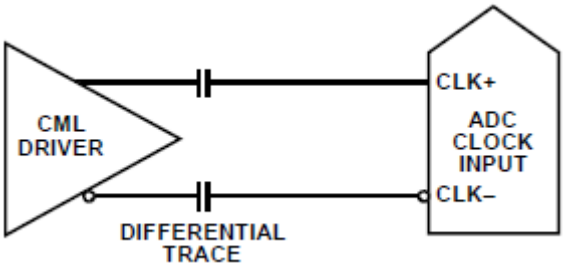


Figure 35: CML differential clock input

4、掉电/待机模式 / 4. Power-Down / Standby Mode

English: The SXA043 has a PDWN/STBY pin that can be used to configure the device into power-down or standby mode. The default configuration is PDWN. The PDWN/STBY pin is a logic-high pin. In power-down mode, the JESD204B link is interrupted. The power-down option can also be set through register 0x003F and register 0x0040. In standby mode, the JESD204B link is not interrupted and 0 is transmitted for all converter samples. This can be changed by using bit 7 of register 0x0571 to select the /K/ character.

中文： SXA043 有一个PDWN/STBY 引脚，可用来将器件配置为掉电或待机模式。默认配置是PDWN。PDWN/STBY 引脚是一个逻辑高电平引脚。在掉电模式下，JESD204B 链路中断。掉电选项也可通过寄存器 0x003F 和寄存器 0x0040 设置。在待机模式下，JESD204B 链路不中断，对所有转换器样本都传输0。这可以利用寄存器 0x0571 的位7 选择/K/字符来改变。

5、温度二极管 / 5. Temperature Diode

English: The SXA043 integrates a diode-based temperature sensor for measuring the die temperature. The diode output voltage is related to the die temperature. There are multiple diodes on the die; the result of the temperature diode at the center of the die can represent the result for the whole die. However, in applications using only one channel (with the other channel in power-down), it is recommended to read the temperature diode corresponding to the enabled channel. Figure 36 shows the positions of the diodes on the die; at each position there is a pair of diodes, one of which is 20× the size of the other. It is recommended to use both diodes at one position simultaneously to obtain an accurate estimate of the die temperature.

The temperature-diode voltage can be output to the VREF pin via SPI. Local register 0x18E6 enables or disables the diode. The SPI writes required to output the voltage of the center temperature diode are as follows: 1) Configure register 0x18E3 to 0x00 to turn off the VCM output. 2) Configure register 0x18A6 to 0x00 to turn off the reference voltage output. 3) Configure register 0x18E6 to 0x01 to turn on the voltage

output of the 1× temperature diode. The typical voltage response of the temperature diode is shown in Figure 37. Although this voltage represents the die temperature, measuring with a pair of diodes is recommended to improve accuracy. 4) Configure register 0x18E6 to 0x02 to turn on the second center temperature diode, which is 20× the size of the first. The relationship between the measured incremental voltage (△V) and the unit junction temperature is shown in Figure 38.

中文： SXA043 内置基于二极管的温度传感器，用于测量芯片温度。二极管输出电压与芯片温度相关，芯片上有多个二极管，芯片中心位置的温度二极管的结果可以代表整个芯片的结果。但是在仅使用一个通道（另一个通道处于掉电状态）的应用中，建议读取与打开的通道相对应的温度二极管。图36 为二极管在芯片中的位置，每个位置都有一对二极管，其中一个的大小是另一个的20 倍。建议在一个位置同时使用两个二极管以获得裸片温度的准确估值。

可以使用SPI 将温度二极管电压输出到VREF 引脚。使用本地寄存器0x18E6 启用或禁用二极管。输出中心温度二极管的电压所需的SPI 写入如下： 1）将寄存器0x18E3 配置为0x00 以关闭VCM 输出。 2）将寄存器0x18A6 配置为0x00 以关闭参考电压输出。 3）将寄存器0x18E6 配置为0x01 以打开1×温度二极管的电压输出。温度二极管的典型电压响应如图37 所示。尽管此电压代表芯片温度，但建议用一对二极管进行测量以提高精度。 4）将寄存器 0x18E6 配置为0x02 以打开第二个中心温度二极管，该二极管的尺寸为第一个的20 倍。测得的增量电压（△V）与单位结温之间的关系如图38 所示。

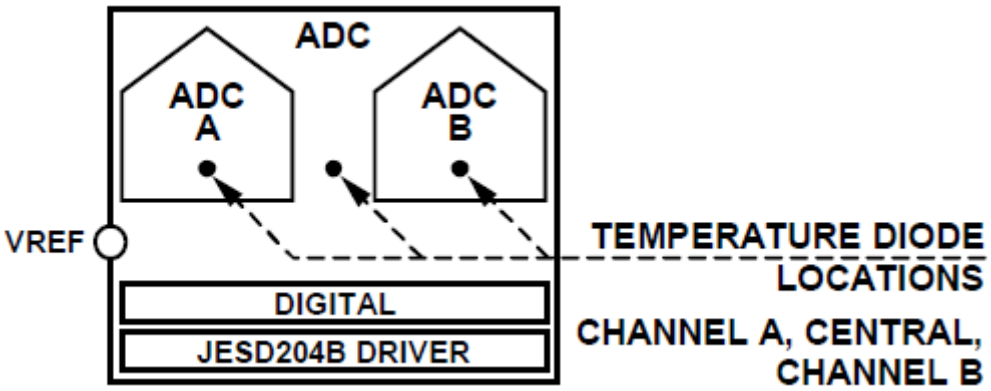


Figure 36: Temperature diode positions on the die

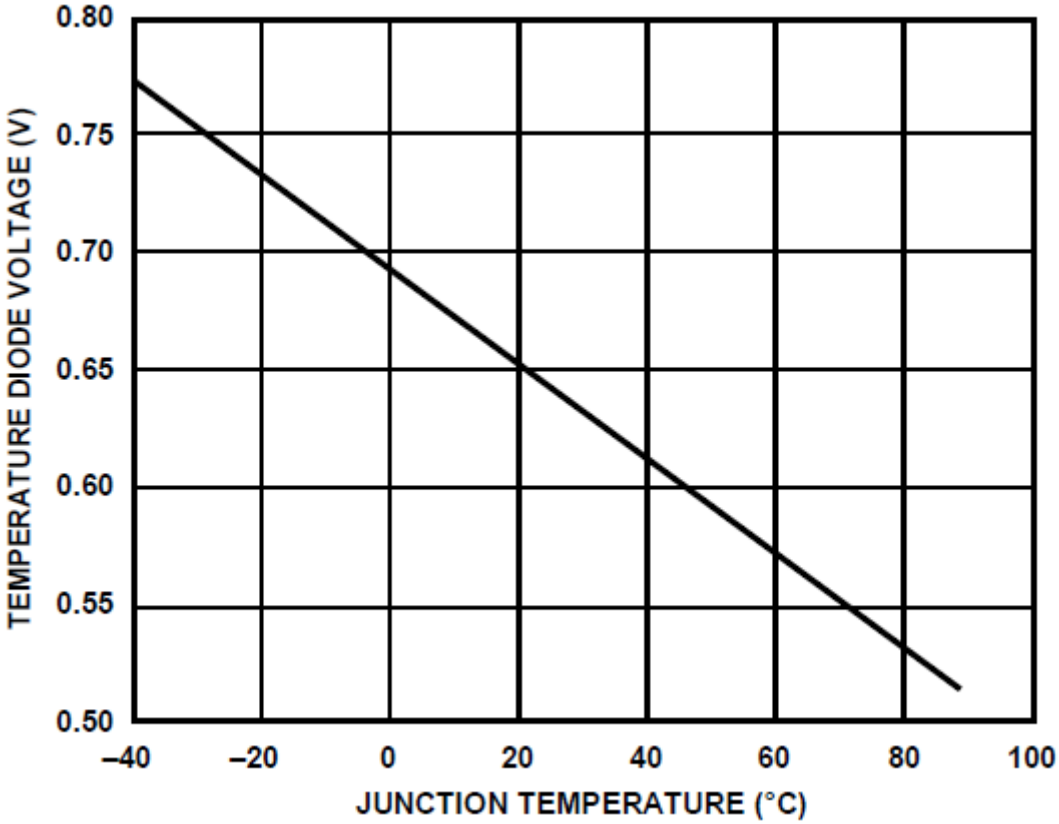


Figure 37: Typical voltage response of the 1× temperature diode

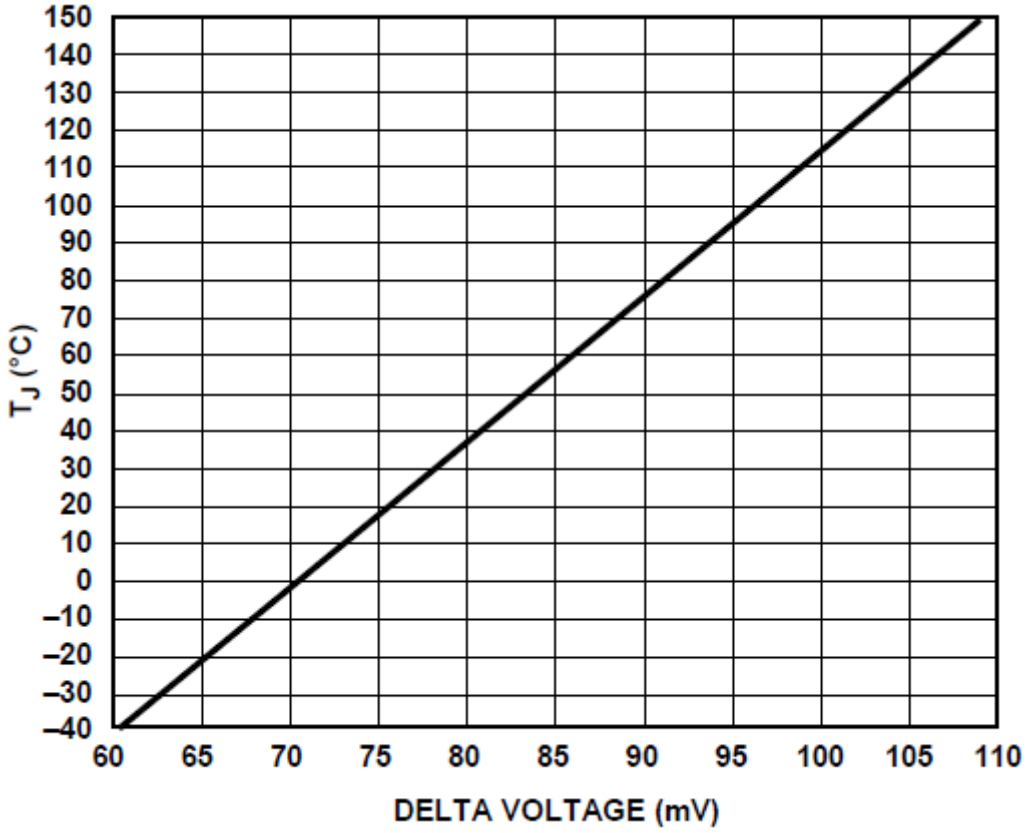


Figure 38: Relationship between △V and unit junction temperature

6、ADC 失调校准 / 6. ADC Offset Calibration

English: The SXA043 includes a digital filter for removing the DC offset of the ADC output. For AC-coupled applications, this filter can be enabled by configuring register 0x0701 to 0x86 and register 0x073B to 0x37. The filter computes the average DC signal and subtracts it digitally from the ADC output. Because the filter does not distinguish the source of the DC signal, this function can be used when the DC signal content is not of concern. The filter can correct DC up to ±512 LSB, beyond which it saturates. Offset calibration is off by default.

中文： SXA043 包含一个数字滤波器，用于消除ADC 输出的直流偏移。对于交流耦合应用，可以通过将寄存器0x0701 配置0x86，0x73B 配置0x37 来启用该滤波器。滤波器计算平均直流信号，并以数字方式从ADC 输出中减去。由于滤波器不区分直流信号源，当直流信号内容不关注时可以使用此功能，滤波器可校正高达±512LSB 的直流，超过此值就会饱和，默认状态下失调校准处于关闭状态。

7、快速阈值检测 (FD_A 和 FD_B) / 7. Fast Threshold Detect (FD_A and FD_B)

English: When the absolute value of the input signal exceeds the programmable upper threshold, the FD_A or FD_B pin is asserted immediately. The FD bit is cleared only when the absolute value of the input signal falls below the lower threshold and remains there for longer than the programmable dwell time. This function provides hysteresis to prevent the FD bit from toggling too frequently. The operation of the upper- and lower-threshold registers and the dwell-time register is shown in Figure 39.

When the input signal amplitude exceeds the setting of the fast-detect upper-threshold registers (register 0x0247 and register 0x0248), the FD indicator is asserted. The value of the selected threshold register is compared with the signal amplitude at the ADC output. Fast upper-threshold detection has a maximum latency of 28 clock cycles. The approximate upper-threshold amplitude is defined by:

Upper-threshold amplitude (dBFS) = 20log(threshold amplitude / 2^13)

The FD indicator is not cleared until the signal falls below the lower threshold and the hold time exceeds the set dwell time. The lower threshold is set in the fast-detect lower-threshold registers (register 0x0249 and register 0x024A). The value of the 13-bit fast-detect lower-threshold register is compared with the signal amplitude at the ADC output. This comparison is subject to the ADC pipeline latency, and the comparison accuracy depends on the converter resolution. The lower threshold is defined by:

Lower-threshold amplitude (dBFS) = 20log(threshold amplitude / 2^13)

For example, to set an upper threshold of −6 dBFS, write 0xFFF to register 0x0247 and register 0x0248; to set a lower threshold of −10 dBFS, write 0xA1D to register 0x0249 and register 0x024A. The dwell time can be set from 1 to 65535 sample-clock cycles by writing the desired value to the fast-detect dwell-time registers (register 0x024B and register 0x024C).

中文： 当输入信号的绝对值超过可编程阈值上限，FD_A 或FD_B 引脚就会立即置位。在输入信号的绝对值降至阈值下限以下并且持续时间超过可编程驻留时间时，FD 位才会被清除。此功能提供迟滞，防止FD 位过于频繁地切换。阈值上限和下限寄存器工作以及驻留时间寄存器的情况如图39 所示。

当输入信号幅度超过快速检测阈值上限寄存器(寄存器0x0247 和0x0248)的设置值时，FD指示器置位。选定阈值寄存器的值与ADC 输出的信号幅度进行比较。快速阈值上限检测具有最大28 个时钟周期的延迟。近似阈值上限幅度由下式定义：

阈值上限幅度(dBFS)=20log(阈值幅度/2^13)

在信号降至阈值下限以下且保持时间超过设定的驻留时间之前，FD 指示器不会清零。阈值下限在快速检测阈值下限寄存器(寄存器0x0249 和0x024A)中进行设置。13 位快速检测阈值下限寄存器的值与ADC 输出的信号幅度进行比较。该比较受 ADC 流水线延迟的控制，比较精度取决于转换器分辨率。阈值下限由下式定义：

阈值下限幅度(dBFS)=20log(阈值幅度/2^13)

例如，要设置-6dBFS 的阈值上限，应将0xFFF 写入寄存器0x0247 和寄存器0x0248；要设置-10dBFS 的阈值下限，应将0xA1D 写入寄存器0x0249 和寄存器0x024A。驻留时间可以在1 至65535 个采样时钟周期范围内设置，方法是将所需值写入快速检测驻留时间寄存器(寄存器 0x024B 和 0x024C)。

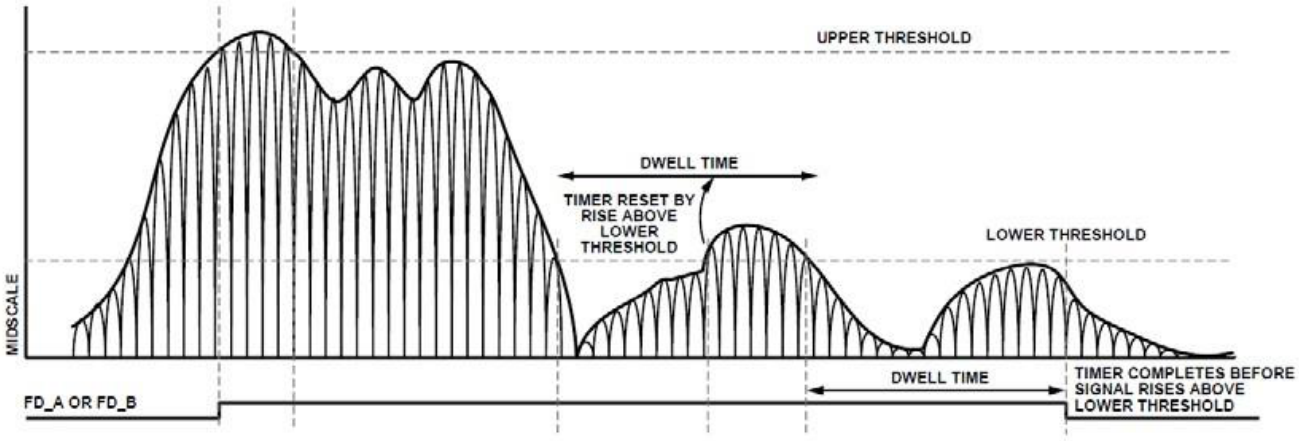


Figure 39: FD signal threshold settings

8、ADC 应用模式和 JESD204B Tx 转换映射 / 8. ADC Application Modes and JESD204B Tx Converter Mapping

English: The SXA043 contains a configurable signal path that allows different functions to be enabled for different applications. These functions are controlled through the chip application mode register 0x0200; the chip operating mode is controlled by bits [3:0] of this register, and bit 5 controls whether the chip ignores Q. The SXA043 includes the following modes:

Full-bandwidth mode: both 14-bit ADC cores run at the full sampling rate. DDC mode: up to four digital downconverter (DDC) channels.

After selecting the chip application mode, use bits [3:0] of register 0x0201 to set the chip decimation ratio; output sampling rate = ADC sampling rate / chip decimation ratio. To support the different application-layer modes, the SXA043 treats each sample stream (real, I, or Q) as an independent virtual converter.

Table 3 gives the number of virtual converters and the transport-layer mapping required when channel swapping is disabled. Figure 40 shows the virtual converters when complex output is used and their relationship to the DDC outputs. Each DDC channel outputs two sample streams (I/Q) for complex data (real + imaginary), or one sample stream for real (I) data. The SXA043 can be configured to use up to eight virtual converters, depending on the DDC configuration. I/Q samples are always mapped in pairs, with the I sample mapped to the first virtual converter and the Q sample mapped to the second virtual converter. With this transport-layer mapping, the number of virtual converters is the same whether a single real converter produces I/Q output through a digital downconverter, or two real converters produce I/Q output

after analog downconversion. Figure 41 is a block diagram of the two scenarios described by the I/Q transport-layer mapping.

中文： SXA043 包含一个可配置的信号路径，允许为不同的应用而启用不同的功能。这些功能是通过芯片应用模式寄存器0x0200 来控制的，芯片操作模式由该寄存器中的位[3:0]控制，位 5 控制芯片 Q 是否忽略。SXA043 包含以下模式：

全带宽模式：两个14 位ADC 核以全采样率运行。 DDC 模式：最多四个数字下变频器（DDC）通道。

选择芯片应用模式后，使用寄存器0x0201 的位[3:0]设置芯片抽取比，输出采样率=ADC采样率/芯片抽取比。为了支持不同的应用层模式，SXA043 将每个采样流（实数、I 或Q）视为独立的虚拟转换器。

表 3 为禁用信道交换时所需的虚拟转换器数量和传输层映射。图40 显示了使用复数输出时的虚拟转换器及其与 DDC 输出的关系。每个DDC 通道输出用于复数数据（实数+虚数）的两个采样流（I/Q），或用于实数（I）数据的一个采样流。SXA043 可以配置为使用多达八个虚拟转换器，具体取决于DDC 配置。I/Q 样本总是与映射到第一虚拟转换器的I 样本和映射到第二虚拟转换器的Q 样本成对映射。通过这种传输层映射，无论是单个实转换器通过数字下变频器产生I/Q 输出，还是模拟下变频后通过两个实转换器产生I/Q 输出，虚拟转换器的数量是相同的。图41 是I/Q 传输层映射描述的两种场景的框图。

表 3 虚拟转换器映射 / Table 3 Virtual Converter Mapping

支持的虚拟转换器数量 / Supported virtual converters	芯片操作模式（寄存器0x0200，位[3:0]）/ Chip operating mode (Reg. 0x0200, bits [3:0])	芯片 Q 忽略（0x0200，位5）/ Chip Q ignore (0x0200, bit 5)	虚拟转换器映射 0 / VC 0	1 / VC 1	2 / VC 2	3 / VC 3	4 / VC 4	5 / VC 5	6 / VC 6	7 / VC 7
1–2	全带宽模式（0x0）/ Full-bandwidth mode (0x0)	实数或复数（0x0）/ Real or complex (0x0)	ADC A 样本 / ADC A samples	ADC B 样本 / ADC B samples	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused
1	一个DDC模式（0x1）/ One-DDC mode (0x1)	实数（仅I）（0x1）/ Real (I only) (0x1)	DDC0 I 样本 / DDC0 I samples	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused
2	一个DDC模式（0x1）/ One-DDC mode (0x1)	复数（I/Q）（0x0）/ Complex (I/Q) (0x0)	DDC0 I 样本 / DDC0 I samples	DDC0 Q 样本 / DDC0 Q samples	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused
2	两个DDC模式（0x2）/ Two-DDC mode (0x2)	实数（仅I）（0x1）/ Real (I only) (0x1)	DDC0 I 样本 / DDC0 I samples	DDC1 I 样本 / DDC1 I samples	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused
4	两个DDC模式（0x2）/ Two-DDC mode (0x2)	复数（I/Q）（0x0）/ Complex (I/Q) (0x0)	DDC0 I 样本 / DDC0 I samples	DDC0 Q 样本 / DDC0 Q samples	DDC1 I 样本 / DDC1 I samples	DDC1 Q 样本 / DDC1 Q samples	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused

支持的虚拟转换器数量 / Supported virtual converters	芯片操作模式（寄存器 0x0200，位[3:0]）/ Chip operating mode (Reg. 0x0200, bits [3:0])	芯片 Q 忽略（0x0200，位5）/ Chip Q ignore (0x0200, bit 5)	虚拟转换器映射 0 / VC 0	1 / VC 1	2 / VC 2	3 / VC 3	4 / VC 4	5 / VC 5	6 / VC 6	7 / VC 7
4	四个DDC模式（0x3）/ Four-DDC mode (0x3)	实数（仅I）（0x1）/ Real (I only) (0x1)	DDC0 I 样本 / DDC0 I samples	DDC1 I 样本 / DDC1 I samples	DDC2 I 样本 / DDC2 I samples	DDC3 I 样本 / DDC3 I samples	未使用 / Unused	未使用 / Unused	未使用 / Unused	未使用 / Unused
8	四个DDC模式（0x3）/ Four-DDC mode (0x3)	复数（I/Q）（0x0）/ Complex (I/Q) (0x0)	DDC0 I 样本 / DDC0 I samples	DDC0 Q 样本 / DDC0 Q samples	DDC1 I 样本 / DDC1 I samples	DDC1 Q 样本 / DDC1 Q samples	DDC2 I 样本 / DDC2 I samples	DDC2 Q 样本 / DDC2 Q samples	DDC3 I 样本 / DDC3 I samples	DDC3 Q 样本 / DDC3 Q samples

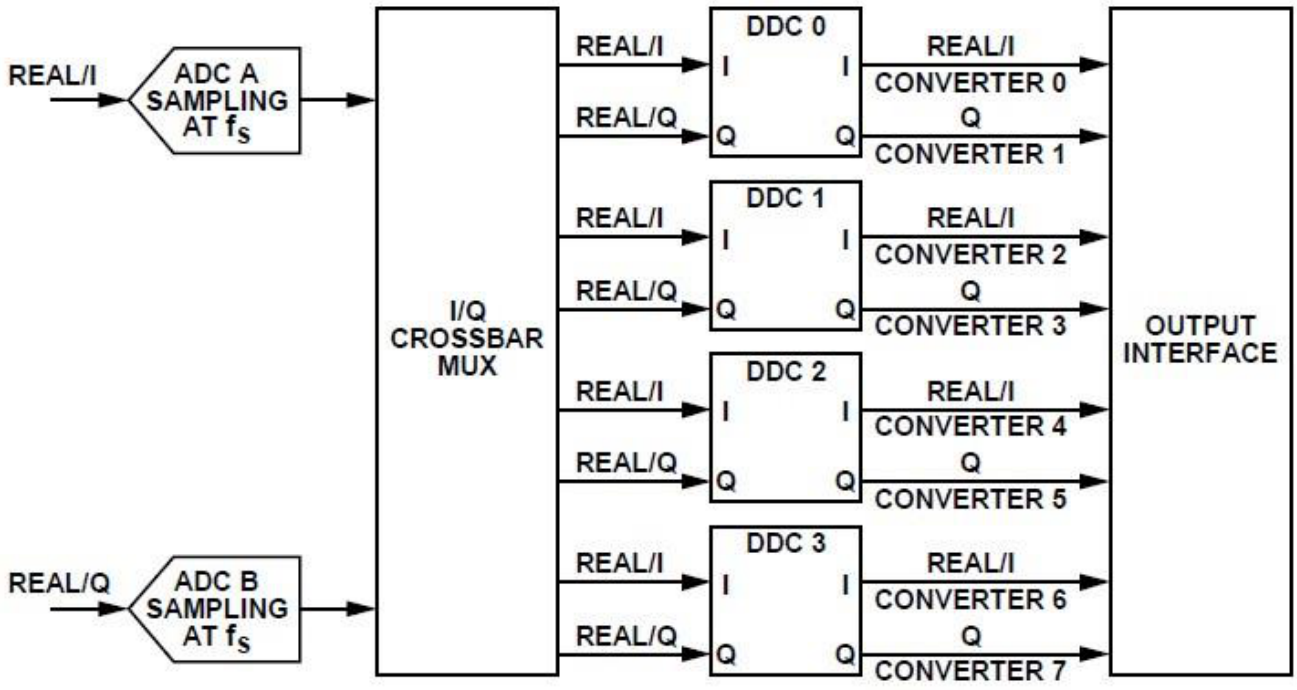


Figure 40: DDC and virtual converter mapping

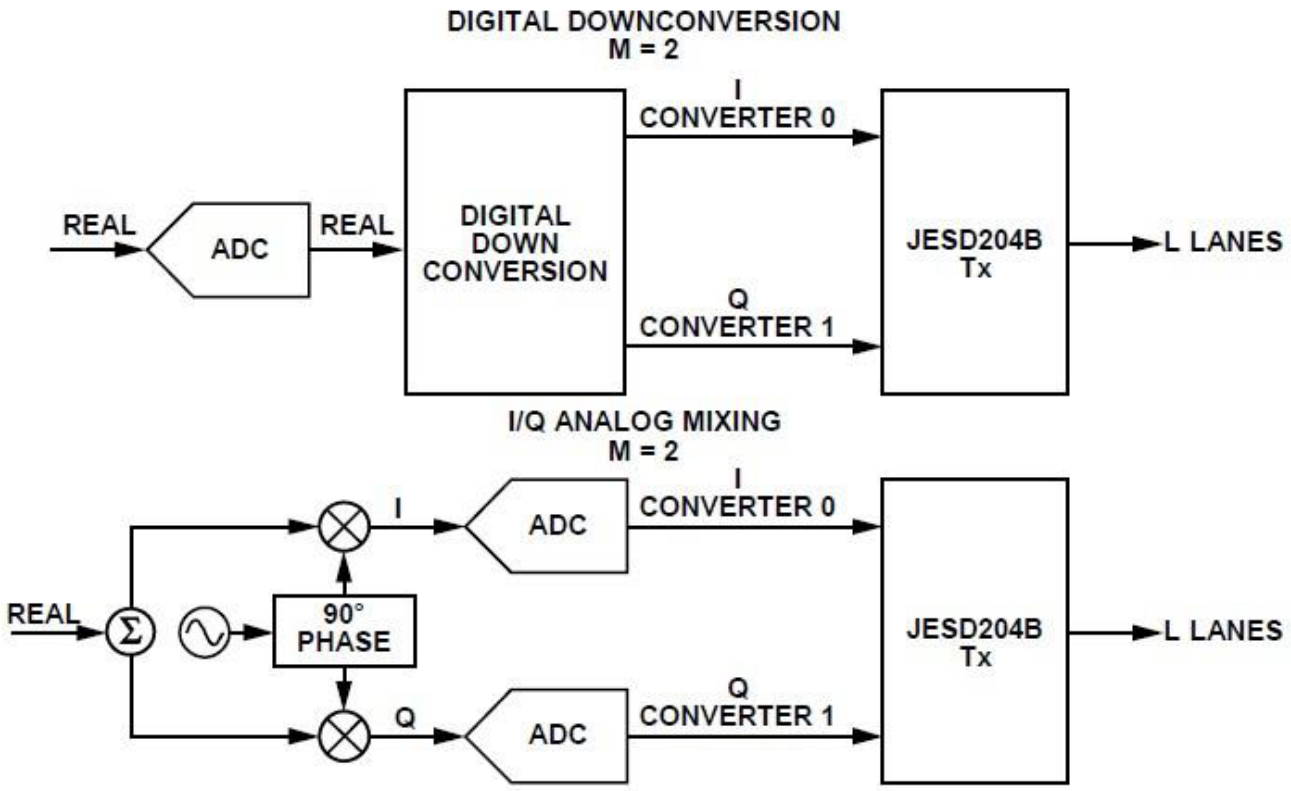


Figure 41: I/Q transport-layer mapping

9、数字下变频器 (DDC) / 9. Digital Downconverter (DDC)

English: The SXA043 integrates four digital downconverters (DDC0 to DDC3) for filtering and reducing the output data rate. The digital processing section includes an NCO, multiple decimation FIR filters, a gain stage, and a complex-to-real conversion stage. Each processing block has control lines and can be enabled or disabled individually to provide the required processing function. The digital downconverters can be configured to output real or complex data.

The DDC outputs a 16-bit data stream. To enable this operation, the converter word length N is set to a default of 16 even though the analog core outputs only 14 bits. In full-bandwidth operation, unless the tail bits are enabled, the ADC output is 14 bits followed by two zeros.

中文： SXA043 内置4 个数字下变频器(DDC0~DDC3)，用于滤波和降低输出数据速率。该数字处理部分包括一个NCO、多个抽取FIR 滤波器、一个增益级和一个复数-实数转换级。各处理模块都有控制线，能单独使能或者禁用，以便提供所需的处理功能。数字下变频器可以配置为输出实数数据或复数数据。

DDC 输出16 位数据流。为了启用此操作，即使模拟核仅输出14 位，转换器的位数N 也被设置为默认值16。在全带宽操作中，除非启用结束位，否则ADC 输出是14 位，后跟两个零。

9.1 DDC I/Q 输入选择 / 9.1 DDC I/Q Input Selection

English: The SXA043 has two ADC channels and four DDC channels. Each DDC channel has two input ports, which can be paired to support real or complex input through the I/Q crossbar multiplexer. For a real signal, both DDC input ports must select the same ADC channel, e.g., DDC input port I = ADC channel A, input port Q = ADC channel A. For a complex signal, each DDC input port must select a different ADC channel, e.g., DDC input port I = ADC channel A and DDC input port Q = ADC channel B.

The input of each DDC is controlled by the DDC input select registers (register 0x0311, register 0x0331, register 0x0351, and register 0x0371).

中文： SXA043 具有两个ADC 通道和四个DDC 通道，每个DDC 通道有两个输入端口，这些端口可以配对以通过I/Q 交叉开关多路复用器支持实数或复数输入。对于实数信号，两个DDC输入端口必须选择同一ADC 通道，例如：DDC 输入端口I = ADC 通道A，输入端口Q=ADC通道A。对于复数信号，各DDC 输入端口必须选择不同ADC 通道，例如：DDC 输入端口I=ADC 通道A 和DDC 输入端口Q=ADC 通道B。

每个DDC 的输入由DDC 输入选择寄存器(寄存器0x0311、寄存器0x0331、寄存器0x0351 和寄存器0x0371)控制。

9.2 DDC I/Q 输出选择 / 9.2 DDC I/Q Output Selection

English: Each DDC channel has two output ports, which can be paired to support real or complex output. For a real output signal, only DDC output port I is used (DDC output port Q is invalid). For a complex I/Q output signal, both DDC output port I and DDC output port Q are used.

The I/Q output of each DDC channel is controlled by the DDC complex-to-real enable bit (bit 3) in the DDC control registers (register 0x0310, register 0x0330, register 0x0350, and register 0x0370).

The chip Q ignore bit (bit 5) in the chip application mode register (register 0x0200) controls the chip output of all DDC channels. When all DDC channels use real output, set this bit high to ignore all DDC Q output ports. When any DDC channel is set to use complex I/Q output, the user must clear this bit so that both DDC output port I and DDC output port Q are used.

中文： 每个DDC 通道有两个输出端口，这些端口可以配对以支持实数或复数输出。对于实数输出信号，仅使用DDC 输出端口I(DDC 输出端口 Q 无效)。对于复数 I/Q 输出信号，DDC 输出端口 I 和 DDC 输出端口Q 均要使用。

各DDC 通道的I/Q 输出由DDC 控制寄存器(寄存器0x0310、寄存器0x0330、寄存器0x0350 和寄存器0x0370)中的DDC 复数转实数使能位(位3)控制。

芯片应用模式寄存器(寄存器0x0200)中的芯片Q 忽略位(位5)控制所有DDC 通道的芯片输出。所有DDC 通道都使用实数输出时，设置此位为高电平以忽略所有DDC Q 输出端口。当设置任意 DDC 通道使用复数 I/Q 输出时，用户必须清除此位以便同时使用 DDC 输出端口 I和 DDC 输出端口 Q。

9.3 DDC 概述 / 9.3 DDC Overview

English: The four DDC blocks are used to extract a portion of the full digital spectrum captured by the ADC. Each DDC block contains four signal-processing stages: - Frequency conversion stage (optional) - Filtering stage - Gain stage (optional) - Complex-to-real conversion stage (optional)

中文： 四个DDC 模块用于提取ADC 捕捉的全数字频谱的一部分,各DDC 模块包含 4 个信号处理级： - 频率转换级（可选） - 滤波级 - 增益级（可选） - 复数至实数转换级（可选）

9.3.1 频率转换级（可选）/ 9.3.1 Frequency Conversion Stage (Optional)

English: The frequency conversion stage consists of a phase-coherent NCO and a quadrature mixer and can be used for frequency conversion of real or complex input signals. The phase-coherent NCO allows an unlimited number of frequency hops, all referenced to a single synchronization event. It also includes 16

shadow registers for fast-switching applications. This stage shifts a portion of the available digital spectrum down to baseband.

中文： 频率转换级由相位相干NCO 和正交混频器组成，可用于实数或复数输入信号的频率转换。相位相干NCO 允许无限次数的跳频，这些跳频都参考单个同步事件。它还包括16 个用于快速切换应用的影子寄存器。该级将一部分可用数字频谱下移至基带。

9.3.2 滤波级 / 9.3.2 Filtering Stage

English: After being shifted down to baseband, the filtering stage uses multiple low-pass finite impulse response (FIR) filters to decimate the spectrum for rate conversion. The decimation process lowers the output data rate and thereby lowers the output interface rate.

中文： 下移至基带后，滤波级使用多个低通有限脉冲响应（FIR）滤波器抽取频谱进行速率转换。抽取过程会降低输出数据速率，进而降低输出接口速率。

9.3.3 增益级（可选）/ 9.3.3 Gain Stage (Optional)

English: When a real input signal is mixed down to baseband there is a loss; the gain stage compensates for it by adding 0 dB or 6 dB of gain.

中文： 实数输入信号下混频至基带时会存在损耗，增益级通过增加0dB 或6dB 的增益予以补偿。

9.3.4 复数至实数转换级（可选）/ 9.3.4 Complex-to-Real Conversion Stage (Optional)

English: When real output is required, the complex-to-real conversion stage performs an fs/4 mixing operation and filters out the complex component of the signal through a filter, thereby converting the complex output back to real output.

中文： 需要实数输出时，复数至实数转换级执行fs/4 混频操作，并通过滤波器滤除信号的复数成分，从而将复数输出转回实数输出。

English: Figure 42 shows the detailed DDC block diagram implemented in the SXA043.

中文： 图42 所示为SXA043 中实现的DDC 详细框图。

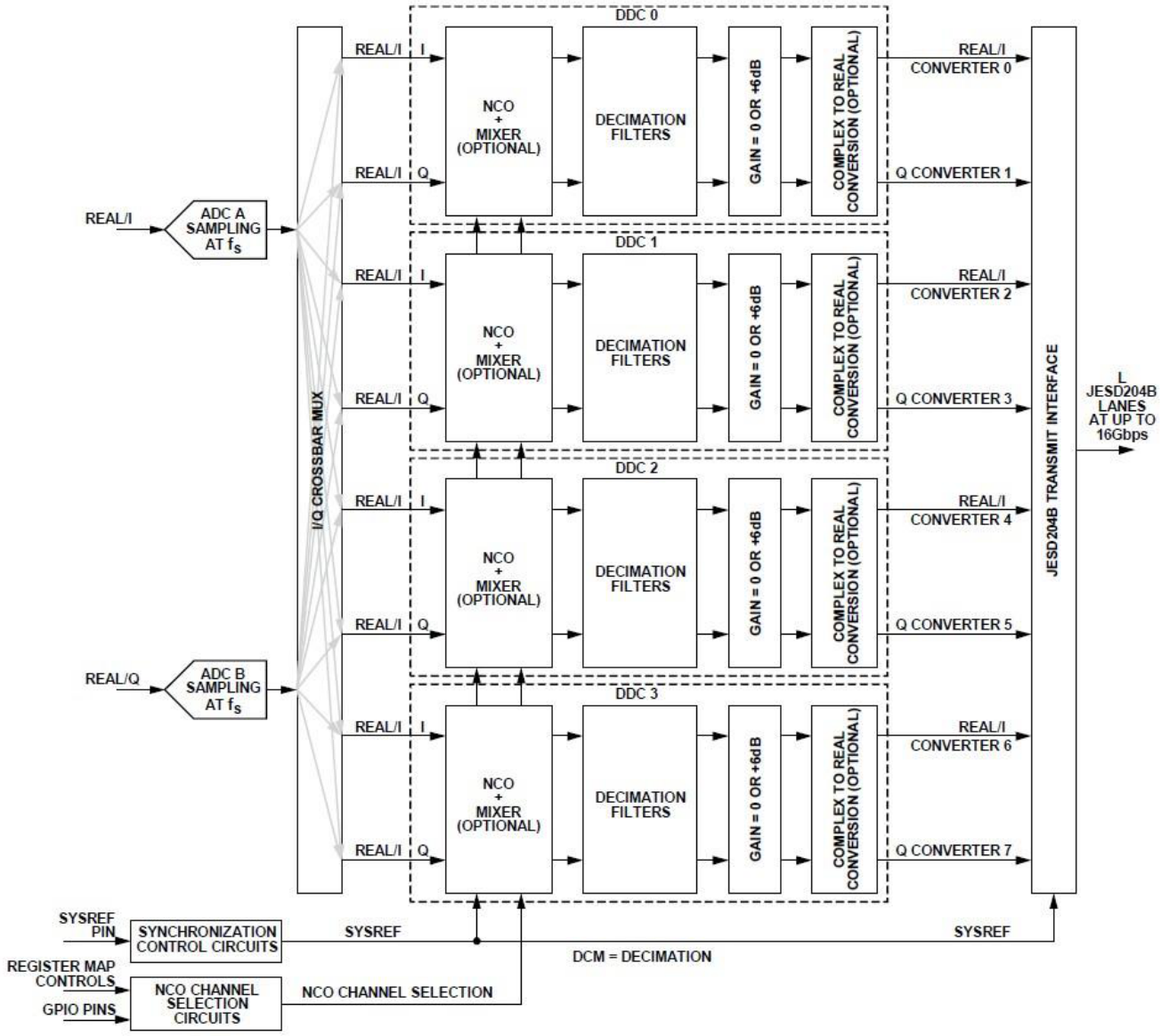


Figure 42: Detailed DDC block diagram

9.4 DDC 频率转换 / 9.4 DDC Frequency Conversion

9.4.1 DDC 频率转换概述 / 9.4.1 DDC Frequency Conversion Overview

English: Frequency conversion is implemented using a 48-bit complex NCO and a digital quadrature mixer. Frequency conversion converts a real or complex input signal from intermediate frequency (IF) to a baseband complex digital output (carrier = 0 Hz).

The frequency conversion stage of each DDC can be controlled individually and supports four different IF modes, selectable using bits [5:4] of the DDC control registers (register 0x0310, register 0x0330, register 0x0350, and register 0x0370). These IF modes are as follows: - Variable IF mode - Zero IF (ZIF) mode - fS/4 Hz IF mode - Test mode

中文： 频率转换是利用 48 位复数 NCO 和数字正交混频器实现的。频率转换将一个实数或复数输入信号从中频(IF)转换为基带复数数字输出(载波= 0 Hz)。

每个DDC 的频率转换级可以单独控制，支持四种不同的IF 模式，利用 DDC 控制寄存器(寄存器 0x0310、寄存器 0x0330、寄存器0x0350 和寄存器 0x0370)的位[5:4]可以选择具体模式。这些IF 模式如下： - 可变 IF 模式 - zero IF (ZIF)模式 - fS/4 Hz IF 模式 - 测试模式

9.4.2 可变 IF 模式 / 9.4.2 Variable IF Mode

English: The NCO and mixer are enabled. The NCO output frequency can be used to digitally tune the IF frequency.

中文： NCO 和混频器使能。NCO 输出频率可用来对 IF 频率进行数字调谐。

9.4.3 0Hz IF (ZIF) 模式 / 9.4.3 0 Hz IF (ZIF) Mode

English: The mixer is bypassed and the NCO is disabled.

中文： 混频器旁路，NCO 禁用。

9.4.4 fS/4 Hz IF 模式 / 9.4.4 fS/4 Hz IF Mode

English: The mixer and NCO are enabled in a special fS/4 mixing mode to save power.

中文： 混频器和 NCO 在特殊的 fS/4 下混频模式中使能以节省功耗。

9.4.5 测试模式 / 9.4.5 Test Mode

English: The input samples reach 0.999 of positive full scale, the NCO is enabled, and this test mode allows the NCO to drive the decimation filter directly.

中文： 输入样本达到0.999 至正满量程，NCO 使能，该测试模式允许NCO 直接驱动抽取滤波器。

9.5 DDC NCO 说明 / 9.5 DDC NCO Description

English: Each DDC contains an NCO. Each NCO implements the frequency conversion process by creating a complex exponential frequency (e^(−jwct)), which can be mixed with the input spectrum to convert the band of interest to DC, after which it is filtered by the subsequent low-pass filter to prevent aliasing. In variable IF mode, the NCO supports the following two modes.

中文： 每个 DDC 包含一个 NCO，每个NCO 通过创建一个复数指数频率（e-jwct）来实现频率转换过程，该频率可以与输入频谱混合，以将感兴趣的频带转换为直流，然后通过后续低通滤波器对其进行滤波以防止混叠。当处于可变IF 模式时，NCO 支持以下两种模式。

9.5.1 DDC NCO 可编程模数模式 / 9.5.1 DDC NCO Programmable-Modulus Mode

English: This mode supports >48-bit frequency tuning accuracy and is suitable for applications requiring precise rational (M/N) frequency synthesis at a single carrier frequency. In this mode, the NCO is set by providing the following: - 48-bit frequency tuning word (FTW) - 48-bit modulus A word (MAW) - 48-bit modulus B word (MBW) - 48-bit phase offset word (POW)

中文： 此模式支持>48 位频率调谐精度，适用于需要在单个载波频率下进行精确的有理数（M/N）频率合成的应用。在此模式下，通过提供以下内容来设置 NCO： - 48 位频率调谐字（FTW） - 48 位模数 A 字（MAW） - 48 位模数 B 字（MBW） - 48 位相位偏移字（POW）

9.5.2 DDC NCO 相干模式 / 9.5.2 DDC NCO Coherent Mode

English: This mode allows an unlimited number of frequency hops, in which the phase references a single synchronization event at time 0. This mode is useful when switching between different frequency bands while phase coherence must be maintained. In this mode, the user can switch to any tuning frequency without resetting the NCO. Although only one FTW is required, the NCO contains 16 shadow registers for fast-switching applications. Shadow-register selection is controlled by the CMOS GPIO pins or the SPI register map. In this mode, the NCO can be set by providing the following: - Up to 16 × 48-bit FTWs - Up to 16 × 48-bit POWs - In coherent mode, the 48-bit MAW must be set to 0

Figure 43 shows the block diagram of an NCO and mixer; the coherent phase accumulator contains the logic that allows an unlimited number of frequency hops, and the gray lines in the figure represent SPI control lines.

中文： 该模式允许无限次数的跳频，其中相位参考0 时刻的单个同步事件。当在不同频段之间切换时而又必须保持相位相干性时，此模式很有用。在此模式下，用户无需重置 NCO 即可切换至任何调谐频率。尽管只需要一个 FTW，但 NCO包含 16个用于快速切换应用的影子寄存器。影子寄存器的选择由 CMOS GPIO 引脚或 SPI 寄存器映射控制。在此模式下，可以通过提供以下内容来设置 NCO： - 最多 16 个 48 位 FTW - 最多 16 个 48 位 POW - 在相干模式下，48 位 MAW 必须设置为 0

图43 显示了一个NCO 及混频器的框图，相干相位累加器包含允许无限次跳频的逻辑，图中灰线代表SPI 控制线。

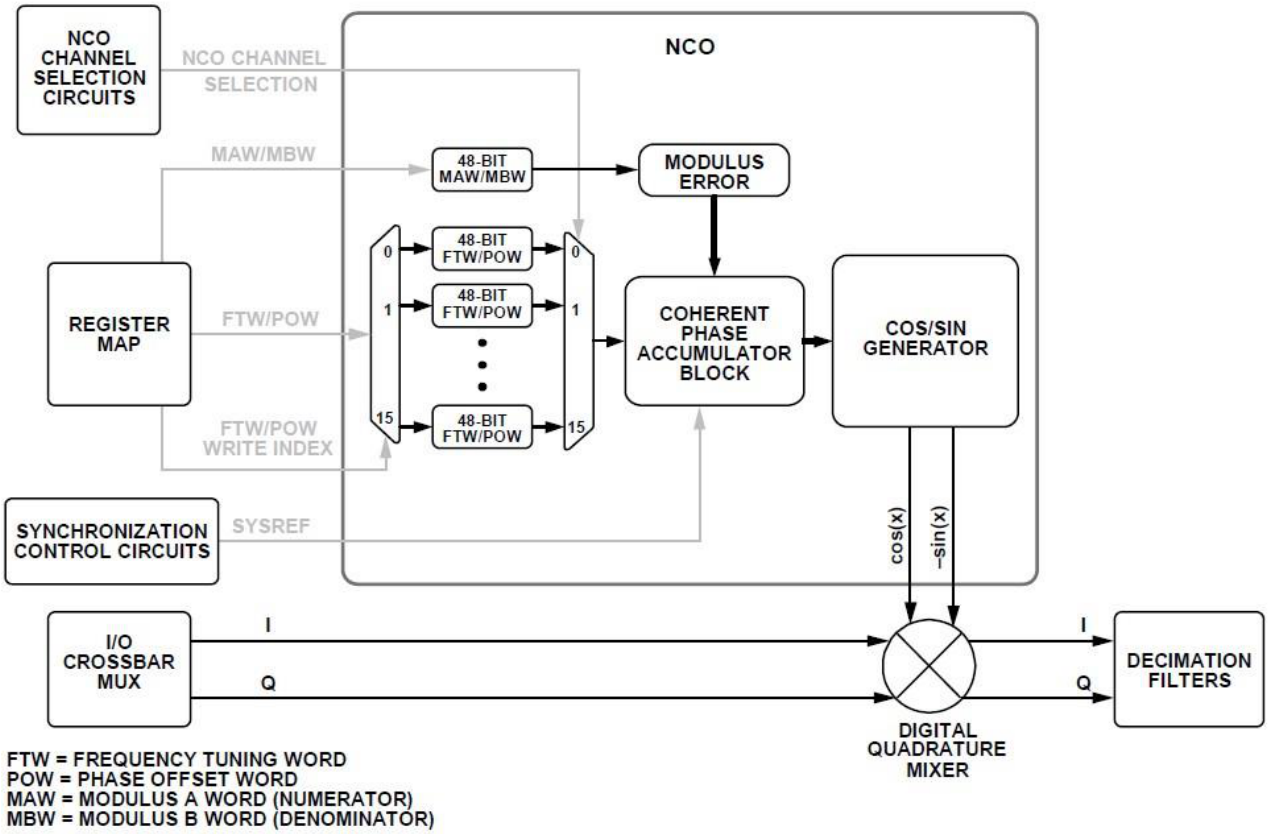


Figure 43: NCO and mixer block diagram

9.5.3 NCO FTW/POW/MAW/MAB 描述 / 9.5.3 NCO FTW/POW/MAW/MAB Description

English: The NCO frequency value is determined by the following settings: - The 48-bit two's-complement number entered in the FTW - The 48-bit unsigned number entered in the MAW - The 48-bit unsigned number entered in the MBW

Frequencies between −fS/2 and +fS/2 (excluding fS/2) are represented using the following values: - FTW = 0x8000_0000_0000 and MAW = 0x0000_0000_0000 represents a frequency of −fS/2 - FTW = 0x0000_0000_0000 and MAW = 0x0000_0000_0000 represents DC (frequency 0 Hz) - FTW = 0x7FFF_FFFF_FFFF and MAW = 0x0000_0000_0000 represents a frequency of +fS/2

中文： NCO 频率值由以下设置决定： - 在 FTW 中输入的 48 位二进制补码数 - 在 MAW 中输入的 48 位无符号数 - 在 MBW 中输入的 48 位无符号数

－fS/2 和+fS/2（不包括 fS/2）之间的频率使用以下值表示： - FTW=0x8000_0000_0000 和 MAW=0x0000_0000_0000 表示-fS/2 的频率 - FTW=0x0000_0000_0000 和 MAW=0x0000_0000_0000 表示直流（频率为 0Hz） - FTW=0x7FFF_FFFF_FFFF 和 MAW=0x0000_0000_0000 表示+fS/2 的频率

9.5.4 NCO FTW/POW/MAW/MAB 可编程模数模式 / 9.5.4 NCO FTW/POW/MAW/MAB Programmable-Modulus Mode

English: For programmable-modulus mode, the MAW must be set to a non-zero value (not equal to 0x0000_0000_0000). This mode is needed only when >48-bit frequency accuracy is required. An example of an application requiring >48-bit accuracy frequency synthesis is a carrier frequency of 1/3 the sampling rate. When ⩽48-bit frequency accuracy is required, coherent mode must be used (see the NCO FTW/POW/MAW/MAB coherent mode section). In programmable-modulus mode, the FTW, MAW, and MBW must satisfy the following four equations :

M = mod(fC, fS); N = fS; FTW = floor(2^48 × M/N); MAW/MBW defined with mod and floor functions as in the source.

Where: fC is the desired carrier frequency. fS is the ADC sampling frequency. M is the integer numerator of the rational frequency ratio. N is the integer denominator of the rational frequency ratio. FTW is the 48-bit two's-complement number representing the NCO FTW. MAW is the 48-bit unsigned number representing the NCO MAW (must be < 2^47). MBW is the 48-bit unsigned number representing the NCO MBW. mod(x) is the remainder function. For example, mod(110, 100) = 10; for negative numbers, mod(−32, 10) = −2. floor(x) is defined as the largest integer less than or equal to x. For example, floor(3.6) = 3.

Note that the above formulas apply to signal aliasing in the digital domain. M and N are coprime, and MAW and MBW are coprime. When MAW is set to zero, programmable-modulus mode is automatically disabled. For example, if the ADC sampling frequency (fS) is 1300 MSPS and the carrier frequency (fC) is 417.8 MHz, then : M = 2089, N = 6250, FTW = 0x5590_0000_03D9, MAW = 0x0000_0000_1117, MBW = 0x0000_0000_186A.

The actual carrier frequency can be calculated from the following equation:

fC_ACTUAL = fS × (FTW + MAW/MBW) / 2^48

For the preceding example, the actual carrier frequency (fC_ACTUAL) is 417.8 MHz.

Each NCO has a 48-bit POW to create a known phase relationship between multiple chips or between the individual DDC channels within a chip. In programmable-modulus mode, the FTW and POW registers can be updated at any time while still maintaining a deterministic phase result in the NCO. However, the following procedure must be followed to update the MAW and/or MBW registers to ensure proper NCO operation: 1) Write the MAW and MBW registers of all DDCs. 2) Synchronize the NCO through an SPI register DDC soft reset or through the SYSREF± pins.

中文： 对于可编程模数模式，MAW 必须设置为非零值（不等于0x0000_0000_0000）。仅当需要>48 位的频率精度时才需要此模式。需要>48 位精度频率合成要求的一个示例是1/3 采样率的载波频率。当需要≤48 位的频率精度时，必须使用相干模式（参见NCO FTW/POW/MAW/MAB 相干模式部分）。在可编程模数模式下，FTW、MAW 和MBW 必须满足以下四个方程式：

其中：fC 是所需的载波频率。fS 是 ADC 采样频率。M 是表示频率比的有理分子的整数。N是表示频率比的有理分母的整数。FTW 是表示NCO FTW 的48 位二进制补码数。MAW 是表示NCO MAW 的48 位无符号数（必须<2^47）。MBW 是表示NCO MBW 的48 位无符号数。mod(x)是余数函数。例如，mod(110,100)=10，对于负数，mod(-32,10)=-2。floor(x)定义为小于或等于 x 的最大整数。例如，floor(3.6)=3。

请注意，上述公式适用于数字域中的信号混叠。M 和N 是互质，MAW 和MBW 是互质。当MAW 设置为零时，可编程模数模式将自动禁用。例如，如果ADC 采样频率(fS)为1300MSPS，载波频率(fC)为 417.8 MHz，则 M=2089、N=6250、FTW=0x5590_0000_03D9 、MAW=0x0000_0000_1117、MBW=0x0000_0000_186A。

实际载波频率可以根据以下等式计算：fC_ACTUAL = fS × (FTW + MAW/MBW) / 2^48。对于前面的示例，实际载波频率(fC_ACTUAL)是 417.8MHz。

每个NCO 都有一个48 位POW，以在多个芯片或芯片内的各个DDC 通道之间创建已知的相位关系。在可编程模数模式下，FTW 和POW 寄存器可以随时更新，同时仍保持NCO 中的确定性相位结果。但是，必须遵循以下操作来更新 MAW 和/或MBW 寄存器以确保NCO正常运行： 1）写入所有 DDC 的MAW 和MBW 寄存器。 2）通过 SPI 寄存器对 DDC 软复位或通过 SYSREF±引脚来同步 NCO。

9.5.5 NCO FTW/POW/MAW/MAB 相干模式 / 9.5.5 NCO FTW/POW/MAW/MAB Coherent Mode

English: For coherent mode, the NCO MAW must be set to zero (0x0000_0000_0000). In this mode, the NCO FTW can be calculated from the following equation:

FTW = round(2^48 × mod(fC, fS) / fS)

Where: FTW is the 48-bit two's complement representing the NCO FTW. fS is the ADC sampling frequency. fC is the desired carrier frequency. mod(x) is the remainder function. For example, mod(110, 100) = 10; for negative numbers, mod(−32, 10) = −2. round(x) is a rounding function. For example, round(3.6) = 4; for negative numbers, round(−3.4) = −3.

Note that the above formula applies to aliasing of signals in the digital domain. The MAW must be set to zero to use coherent mode. When the MAW is zero, programmable-modulus mode is automatically disabled. For example, if the ADC sampling frequency (fS) is 1300 MSPS and the carrier frequency (fC) is 417.3333 MHz, then FTW = 0x5578_49CE_E73F.

The actual carrier frequency can be calculated from the following equation:

fC_ACTUAL = fS × FTW / 2^48

For the preceding example, the actual carrier frequency (fC_ACTUAL) is 417.333 MHz.

Each NCO has a 48-bit POW to create a known phase relationship between multiple chips or between the individual DDC channels within a chip. In coherent mode, the FTW and POW registers can be updated at any time while still maintaining a deterministic phase result in the NCO.

中文： 对于相干模式，NCO MAW 必须设置为零(0x0000_0000_0000)。在这种模式下，NCO FTW 可以通过以下等式计算：

FTW = round(2^48 × mod(fC, fS) / fS)

其中：FTW 是表示NCO FTW 的48 位二进制补码。fS 是ADC 采样频率。fC 是所需的载波频率。mod(x)是余数函数。例如mod(110,100)=10，对于负数，mod(–32,10)=–2。round(x)是一个舍入函数。例如 round(3.6)=4，对于负数，round(–3.4)=–3。

请注意，上述公式适用于数字域中信号的混叠。MAW 必须设置为零才能使用相干模式。当MAW 为零时，可编程模数模式自动禁用。例如，如果 ADC 采样频率(fS)为1300MSPS，载波频率(fC)为417.3333MHz，则 FTW = 0x5578_49CE_E73F。

实际载波频率可以根据以下等式计算：fC_ACTUAL = fS × FTW / 2^48。对于前面的示例，实际载波频率(fC_ACTUAL)是 417.333MHz。

每个NCO 都有一个 48 位POW，以在多个芯片或芯片内的各个DDC 通道之间创建已知的相位关系。在相干模式下，FTW 和 POW 寄存器可以随时更新，同时仍保持 NCO 中的确定性相位结果。

9.5.6 NCO 通道选择 / 9.5.6 NCO Channel Selection

English: When configured in coherent mode, only one FTW is needed in the NCO. In this mode, the user can switch to any tuning frequency by writing the FTW directly. For fast-switching applications, all FTWs are known in advance and a set of FTWs can be queued; the NCO contains 16 additional shadow registers. These shadow registers are referred to below as NCO channels. Figure 44 shows a simplified block diagram of the NCO channel selection block; the gray lines represent SPI control lines.

Only one NCO channel is active at a time. NCO channel selection is controlled by GPIO pins or through the register map. Each NCO channel selector supports three different modes, described below:

中文： 当配置为相干模式时，NCO 中只需要一个FTW。在这种模式下，用户可通过直接写入FTW 来切换到任何调谐频率。对于快速切换应用，所有FTW 都是预先已知的，可以对一组 FTW 进行排队，NCO 包含16 个额外的影子寄存器。这些影子寄存器在下文中称为NCO 通道。图44 显示了NCO 通道选择模块的简化框图，灰线代表 SPI 控制线。

一次只有一个NCO 通道处于活动状态，NCO 通道选择由GPIO 引脚或通过寄存器映射控制。每个NCO 通道选择器支持三种不同的模式，描述如下：

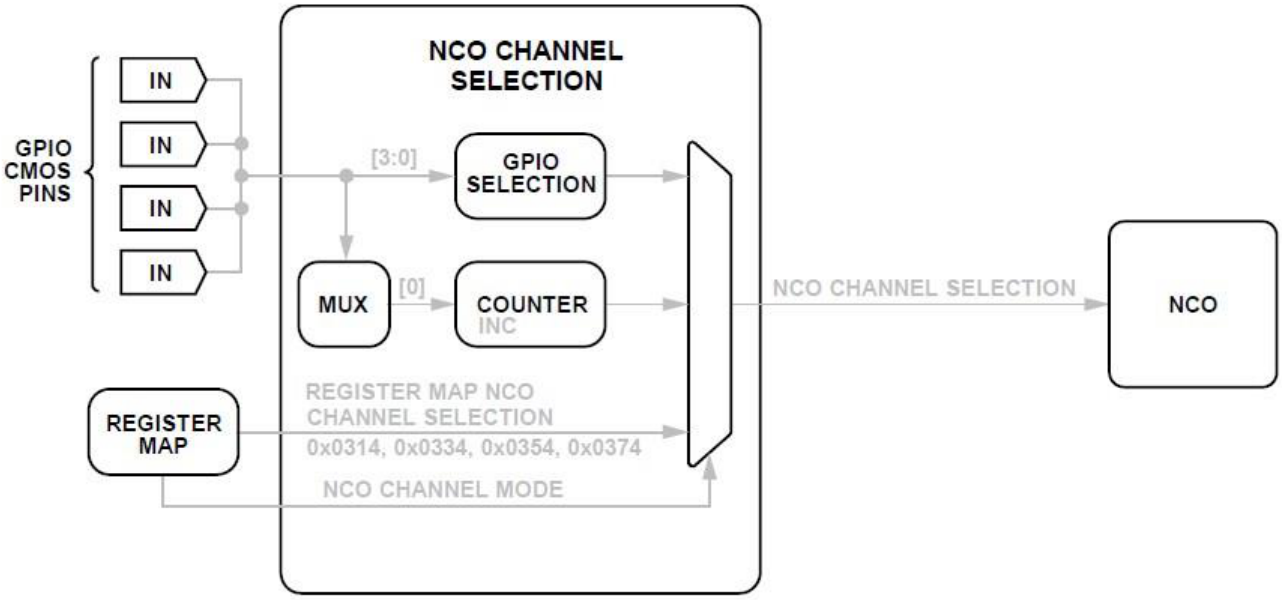


Figure 44: NCO channel selection block

9.5.6.1 GPIO 电平控制模式 / 9.5.6.1 GPIO Level Control Mode

English: In this mode, the GPIO pin level determines the selected NCO channel. 1) Configure one or more GPIO pins as NCO channel select inputs. GPIO pins not configured as NCO channel select inputs are connected low internally. a. To use GPIO_A0, write bits [2:0] of register 0x0040 to 0x6 and bits [3:0] of register 0x0041 to 0x0. b. To use GPIO_B0, write bits [5:3] of register 0x0040 to 0x6 and bits [7:4] of register 0x0041 to 0x0. 2) By setting bits [7:4] of the NCO control registers (register 0x0314, register 0x0334, register 0x0354, and register 0x0374) to 0x1 to 0x6, configure the NCO channel selector to GPIO level control mode, depending on the desired GPIO pin command; select the NCO channel through the channel configuration strobe registers (register 0x0315, register 0x0335, register 0x0355, and register 0x0375) and write the corresponding FTW and POW. 3) Select the desired NCO channel through the GPIO pins.

中文： 在此模式下，GPIO 引脚电平确定所选的NCO 通道。 1）配置一个或多个GPIO 引脚为NCO 通道选择输入。未配置为NCO 通道选择输入的GPIO 引脚在内部连接为低电平。 a. 要使用GPIO_A0，请将寄存器 0x0040 中的位[2:0]写入0x6，将寄存器 0x0041中的位[3:0]写入0x0。 b. 要使用GPIO_B0，请将寄存器 0x0040 中的位[5:3]写入0x6，将寄存器 0x0041中的位[7:4]写入0x0。 2）通过将NCO 控制寄存器（寄存器0x0314、寄存器 0x0334、寄存器0x0354 和寄存器0x0374）中的位 [7:4]设置为 0x1 至0x6，将 NCO 通道选择器配置为GPIO 电平控制模式，具体取决于所需的GPIO 引脚命令，通过通道配置选通寄存器（寄存器0x0315、寄存器 0x0335、寄存器0x0355 和寄存器0x0375）选中NCO 通道，并写入相应的FTW,POW。 3）通过GPIO 引脚选择所需的NCO 通道。

9.5.6.2 GPIO 边沿控制模式 / 9.5.6.2 GPIO Edge Control Mode

English: A low-to-high transition on a single GPIO pin determines the selected NCO channel. The internal channel-select counter is reset by SYSREF± or a DDC soft reset. To use GPIO edge control mode for NCO channel selection, the following procedure must be followed: 1) Configure one or more GPIO pins as NCO channel select inputs. a. To use GPIO_A0, write bits [2:0] of register 0x0040 to 0x6 and bits [3:0] of register 0x0041 to 0x0. b. To use GPIO_B0, write bits [5:3] of register 0x0040 to 0x6 and bits [7:4] of register 0x0041 to 0x0. 2) By setting bits [7:4] of the NCO control registers (register 0x0314, register 0x0334, register 0x0354,

and register 0x0374) to 0x8 to 0xB, configure the NCO channel selector to GPIO edge control mode, depending on the desired GPIO pin; select the NCO channel through the channel configuration strobe registers (register 0x0315, register 0x0335, register 0x0355, and register 0x0375) and write the corresponding FTW and POW. 3) By setting bits [3:0] of the NCO control registers (register 0x0314, register 0x0334, register 0x0354, and register 0x0374), configure the wrap point for NCO channel selection. For example, a value of 4 causes the channel selection to wrap back to channel 0 after channel 4 (e.g., 0, 1, 2, 3, 4, 0, 1, 2, 3, 4). 4) The selected GPIO pin gives a low-to-high edge transition to trigger the NCO channel selection.

中文： 单个GPIO 引脚上的低到高转换决定了所选的NCO 通道。内部通道选择计数器由SYSREF±或DDC 软复位复位。要使用GPIO 边沿控制模式进行NCO 通道选择，必须遵循以下程序： 1）配置一个或多个GPIO 引脚作为NCO 通道选择输入。 a. 要使用 GPIO_A0，请将寄存器 0x0040 中的位[2:0]写入0x6，将寄存器 0x0041中的位[3:0]写入0x0。 b. 要使用 GPIO_B0，请将寄存器 0x0040 中的位[5:3]写入0x6，将寄存器 0x0041中的位[7:4]写入0x0。 2）通过将NCO 控制寄存器（寄存器 0x0314、寄存器0x0334、寄存器0x0354 和寄存器 0x0374）中的位 [7:4]设置为0x8 至0xB，将 NCO 通道选择器配置为GPIO 边沿控制模式，具体取决于所需的GPIO引脚，通过通道配置选通寄存器（寄存器 0x0315、寄存器 0x0335、寄存器0x0355 和寄存器0x0375）选中NCO 通道，并写入相应的FTW,POW。 3）通过设置 NCO 控制寄存器（寄存器0x0314、寄存器 0x0334、寄存器 0x0354和寄存器 0x0374）中的位 [3:0]，为NCO 通道选择配置回绕点。比如，值4 会导致通道选择在通道4 后绕回通道0（例如，0、1、2、3、4、0、1、2、3、4）。 4）选定的GPIO 引脚给出从低电平到高电平的边沿跳变触发NCO 通道选择。

9.5.6.3 寄存器控制模式 / 9.5.6.3 Register Control Mode

English: 1) Select the NCO channel through the channel configuration strobe registers (register 0x0315, register 0x0335, register 0x0355, and register 0x0375) and write the corresponding FTW and POW. 2) By setting bits [7:4] of the NCO control registers (register 0x0314, register 0x0334, register 0x0354, and register 0x0374) to 0x0, select register control mode; set bits [3:0] to 0x0 to 0xF to select the corresponding channel.

Figure 45 shows an example use case of coherent mode using three NCO channels. In this example, NCO channel 0 is downconverting bandwidth 0 (B0), while NCO channel 1 and channel 2 are in standby mode and tuned to bandwidth 1 and bandwidth 2 (B1 and B2), respectively.

The phase-coherent NCO switching function allows an unlimited number of phase-coherent frequency hops. The initial phase of the NCO is synchronized to SYSREF±. Switching the NCO FTW does not affect the phase; using this function, only one FTW is needed and the user can queue frequency hops using all 16 channels. If SYSREF± synchronization is completed at chip start-up, the NCOs of multiple chips are inherently synchronized.

中文： 1）通过通道配置选通寄存器（寄存器 0x0315、寄存器0x0335、寄存器0x0355 和寄存器0x0375）选中NCO 通道，并写入相应的FTW,POW。 2）通过将NCO 控制寄存器（寄存器0x0314、寄存器0x0334、寄存器 0x0354 和寄存器0x0374）中位[7:4]设为0x0，从而选中寄存器控制模式，位[3:0]设置为0x0 至0xF 选中对应通道。

图45 显示了使用三个NCO 通道的相干模式示例用例。在此示例中，NCO 通道0正在下变频带宽0(B0)，而NCO 通道1 和通道2 处于待机模式并分别调谐到带宽1 和带宽2（B1 和B2）。

相位相干NCO 切换功能允许无限次的相位相干跳频。NCO 的初始相位与SYSREF±同步。切换 NCO FTW 不会影响相位，使用此功能，只需要一个FTW，用户可使用所有 16 个通道排队跳频。在芯片启动时如果完成SYSREF±同步，多个芯片的所有NCO 在本质上是同步的。

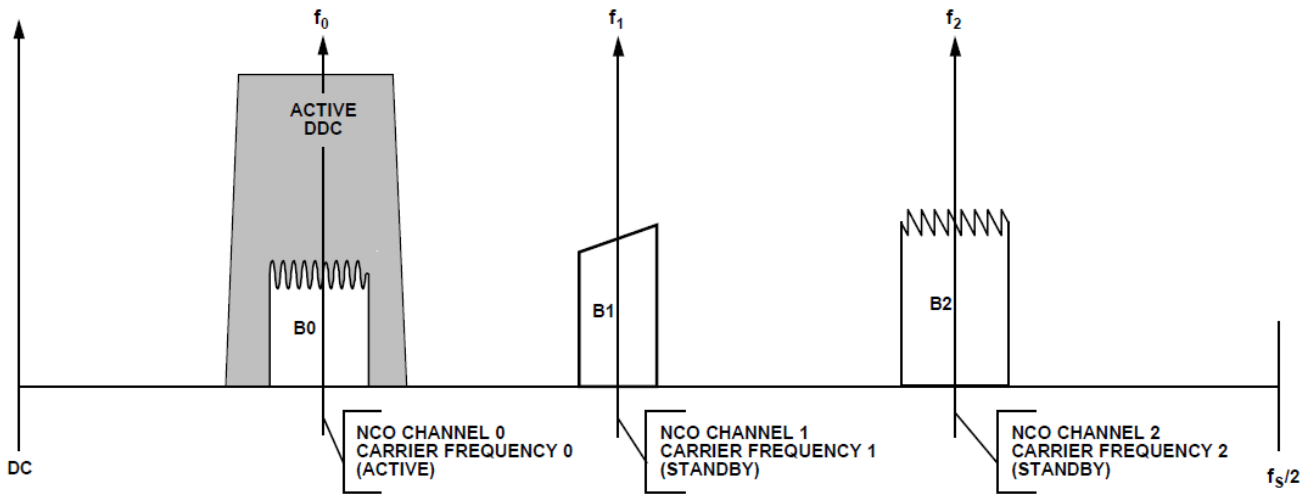


Figure 45: NCO coherent mode with three NCO channels (B0 selected)

9.5.7 NCO 同步 / 9.5.7 NCO Synchronization

English: Each NCO contains an individual phase accumulator word (PAW); the initial reset value of each PAW is zero and it increments every clock cycle. The instantaneous phase of the NCO is computed using the PAW, FTW, MAW, MBW, and POW. Because of this architecture, the FTW and POW registers can be updated at any time and the PAW of the NCO still maintains a deterministic phase result. There are two methods to synchronize the PAWs within a chip: 1) Using the SPI. The DDC NCO soft reset register in the DDC synchronization control register (bit 4 of register 0x0300) can be used to reset all PAWs in the chip. This reset is performed by setting the DDC soft reset control bit high and then low. Note that this method can only be used to synchronize DDC channels within the same chip. 2) Using the SYSREF± pins. If the SYSREF± pins are enabled through the SYSREF± control registers (register 0x0120 and register 0x0121), and DDC synchronization is enabled through bits [1:0] of the DDC synchronization control register (register 0x0300), any subsequent SYSREF± event resets all PAWs in the chip. Note that this method can be used to synchronize DDC channels within the same chip and also DDC channels in different chips.

中文： 每个NCO 都含有一个单独的相位累加字(PAW)，每个PAW 的初始复位值为零并在每个时钟周期递增。使用PAW、FTW、MAW、MBW 和POW 计算NCO 的瞬时相位。由于这种架构，FTW 和POW 寄存器可以随时更新，NCO 的PAW 仍然保持确定性相位结果。同步芯片内的PAW 有两种方法： 1) 使用SPI。可以利用 DDC 同步控制寄存器中的DDC NCO 软复位寄存器(寄存器0x0300 的位4）来复位芯片中的所有PAW。此复位是通过将DDC 软复位控制位设置为高，然后再设置为低来完成的。请注意，此方法只能用于同步同一芯片内的DDC 通道。 2) 使用SYSREF±引脚。如果通过SYSREF±控制寄存器(寄存器0x0120 和寄存器0x0121)使能SYSREF±引脚，并且通过DDC 同步控制寄存器(寄存器0x0300)的位[1:0]使能DDC 同步，则随后的任何SYSREF±事件都会复位芯片中的全部PAW。请注意，此方法可用于同步同一芯片内的DDC 通道，也可以同步不同芯片内的DDC 通道。

9.5.8 DDC 混频器说明 / 9.5.8 DDC Mixer Description

English: When not bypassed (register 0x0200 ≠ 0x00), the digital quadrature mixer performs an operation similar to an analog quadrature mixer, downconverting the input signal (real or complex) using the NCO frequency as the local oscillator. For a real input signal, a real mixer operation is performed (using two

multipliers). For a complex input signal, a complex mixer operation is performed (using four multipliers and two adders). Bit 7 of the DDC control registers (register 0x0310, register 0x0330, register 0x0350, and register 0x0370) can be used to select real or complex input for each DDC block.

中文： 当未旁路时（寄存器0x0200≠0x00），数字正交混频器完成与模拟正交混频器类似的操作，通过将NCO频率用作本振执行输入信号（实数或复数）的下变频。对于实数输入信号，执行实数混频器操作（使用两个乘法器）。对于复数的输入信号，执行复数的混频器操作（使用四个乘法器和两个加法器）。可以使用DDC 控制寄存器（寄存器0x0310、寄存器0x0330、寄存器0x0350 和寄存器0x0370）的位7 为每个DDC 模块选择实数或复数输入。

9.5.8.1 NCO+混频器损耗和SFDR / 9.5.8.1 NCO + Mixer Loss and SFDR

English: When a real input signal is mixed down to baseband, there is a 6 dB loss due to filtering of the negative image. In addition, the NCO causes a 0.05 dB loss. The total loss for a real input signal mixed down to baseband is 6.05 dB. Therefore, the user is advised to enable the 6 dB additional gain in the DDC gain stage to compensate for this loss.

When a complex input signal (the I and Q inputs of the DDC come from different ADCs) is mixed down to baseband, each I/Q sample can reach a maximum of 1.414× full scale after the complex mixer. For a complex signal, to prevent the I/Q samples from exceeding the range and to keep the data bit width consistent with real mixing, the mixer causes a 3.06 dB loss. In addition, the NCO causes a 0.05 dB loss. The total loss for a complex input signal mixed down to baseband is −3.11 dB.

For all output frequencies, the SFDR of the worst-case spurious signal at the NCO output is greater than 102 dBc.

中文： 将实数输入信号下混频至基带时，由于对负镜像的滤波，信号会有6dB 的损失。另外，NCO 也会造成0.05dB 的损失。下混频至基带的实数输入信号的总损失为6.05dB。因此，建议用户使能 DDC 增益级中的6dB 附加增益来补偿上述损失。

将复数输入信号（DDC 的I 和Q 输入来自不同的ADC）下混频至基带时，每个I/Q 样本经过复数混频器后能达到的最大值是1.414x 满量程。对于复数信号，为了防止I/Q 样本超出量程，以及使数据位宽与实数混频一致，混频器会造成3.06dB 的损失。另外，NCO也会造成0.05dB的损失。下混频至基带的复数输入信号的总损失为-3.11dB。

对于所有输出频率，NCO 输出的最差情况杂散信号的SFDR 大于102dBc。

9.5.9 DDC 抽取滤波器 / 9.5.9 DDC Decimation Filters

English: After frequency conversion, multiple decimation filters are available to reduce the output data rate. After the carrier frequency of interest is downconverted to DC, these filters can effectively reduce the sampling rate while providing sufficient adjacent-carrier alias suppression. Figure 46 shows a simplified block diagram of the decimation filter stage; Table 4 describes the characteristics of the different finite impulse response (FIR) filter blocks. Table 5 shows the different filter configurations that can be selected by including different filters. In all cases, the DDC filtering stage provides 80% usable output bandwidth and 100 dB of stopband alias suppression.

中文： 在频率转换之后，有多个抽取滤波器可降低输出数据速率。把感兴趣的载波频率下变频到直流后，这些滤波器可有效的降低采样率，同时提供充足的临近载波混叠抑制。图46 显示了抽取滤波器级的简化框图，表 4 描

述了不同有限脉冲响应(FIR)滤波器模块的特性。表 5 显示了可以通过包含不同滤波器来选择的不同滤波器配置。在所有情况下，DDC 滤波级提供80%的可用输出带宽、100dB 的阻带混叠抑制。

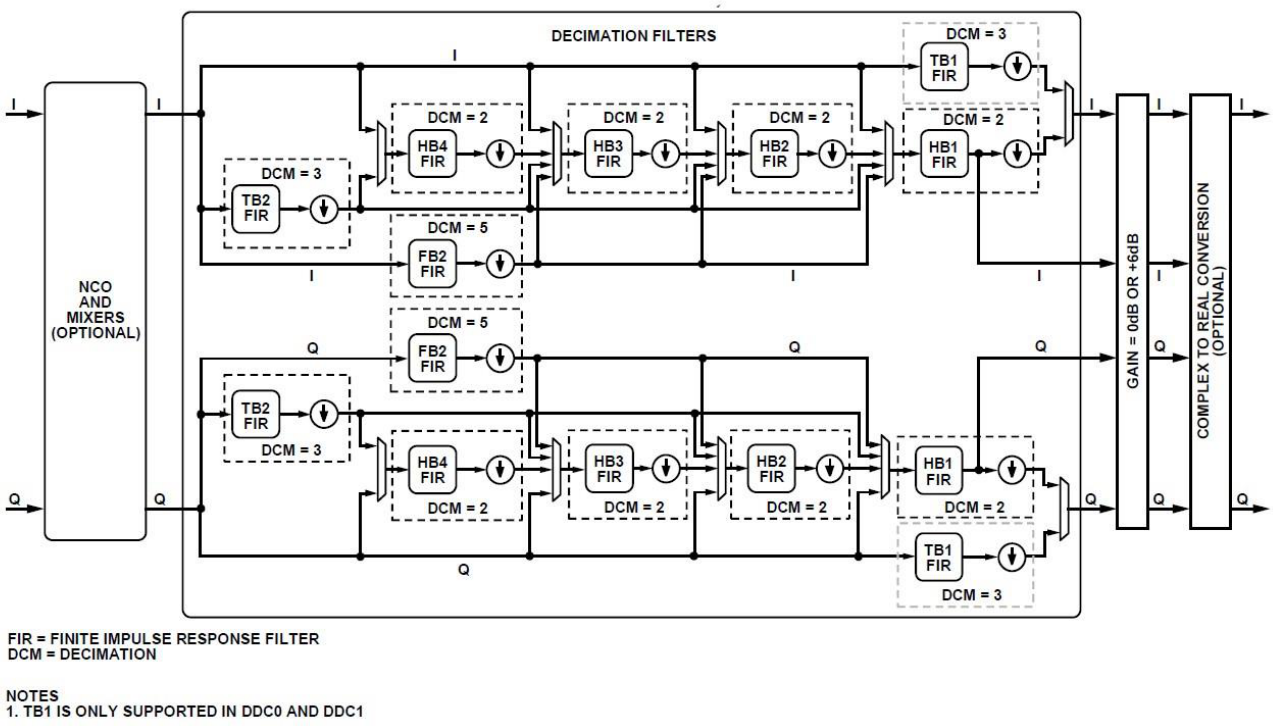


Figure 46: DDC decimation filter block diagram

表 4 DDC 抽取滤波器特性 / Table 4 DDC Decimation Filter Characteristics

滤波器名称 / Filter	滤波器类型 / Type	抽取率 / Decimation	通带 (弧度/秒) / Passband (rad/s)	阻带 (弧度/秒) / Stopband (rad/s)	通带纹波 (dB) / Passband ripple (dB)	阻带衰减 (dB) / Stopband attenuation (dB)
HB4	低通 FIR / Low-pass FIR	2	0.1×π/2	1.9×π/2	<±0.001	>100
HB3	低通 FIR / Low-pass FIR	2	0.2×π/2	1.8×π/2	<±0.001	>100
HB2	低通 FIR / Low-pass FIR	2	0.4×π/2	1.6×π/2	<±0.001	>100
HB1	低通 FIR / Low-pass FIR	2	0.8×π/2	1.2×π/2	<±0.001	>100
TB2	低通 FIR / Low-pass FIR	3	0.4×π/3	1.6×π/3	<±0.002	>100
TB1[1]	低通 FIR / Low-pass FIR	3	0.8×π/3	1.2×π/3	<±0.005	>100
FB2		5	0.4×π/5	1.6×π/5	<±0.001	>100

滤波器名称 / Filter	滤波器类型 / Type	抽取率 / Decimation	通带 (弧度/秒) / Passband (rad/s)	阻带 (弧度/秒) / Stopband (rad/s)	通带纹波 (dB) / Passband ripple (dB)	阻带衰减 (dB) / Stopband attenuation (dB)
	低通 FIR / Low-pass FIR					

1 TB1 仅在 DDC0 和 DDC1 中受支持。/ TB1 is supported only in DDC0 and DDC1.

表 5 DDC 滤波器配置 / Table 5 DDC Filter Configurations

DDC 滤波器配置 / DDC filter configuration	实数 (I) 输出 — 抽取率 / Real (I) output — decimation	实数 (I) 输出 — 采样率 / Real (I) output — rate	复数 (I/Q) 输出 — 抽取率 / Complex (I/Q) output — decimation	复数 (I/Q) 输出 — 采样率 / Complex (I/Q) output — rate	可预防混叠带宽 / Alias-protected bandwidth	理想信噪比提升 (dB)[2] / Ideal SNR improvement (dB)[2]
HB1	1	fS	2	fS/2 (I) + fS/2 (Q)	fS/2 × 80%	1
TB1[3]	N/A	N/A	3	fS/3 (I) + fS/3 (Q)	fS/3 × 80%	2.7
HB2+HB1	2	fS/2	4	fS/4 (I) + fS/4 (Q)	fS/4 × 80%	4
TB2+HB1	3	fS/3	6	fS/6 (I) + fS/6 (Q)	fS/6 × 80%	5.7
HB3+HB2+HB1	4	fS/4	8	fS/8 (I) + fS/8 (Q)	fS/8 × 80%	7
FB2+HB1	5	fS/5	10	fS/10 (I) + fS/10 (Q)	fS/10 × 80%	8
TB2+HB2+HB1	6	fS/6	12	fS/12 (I) + fS/12 (Q)	fS/12 × 80%	8.8
FB2+TB1[3]	N/A	N/A	15	fS/15 (I) + fS/15 (Q)	fS/15 × 80%	9.7
HB4+HB3+HB2+HB1	8	fS/8	16	fS/16 (I) + fS/16 (Q)	fS/16 × 80%	10
FB2+HB2+HB1	10	fS/10	20	fS/20 (I) + fS/20 (Q)	fS/20 × 80%	11
TB2+HB3+HB2+HB1	12	fS/12	24	fS/24 (I) + fS/24 (Q)	fS/24 × 80%	11.8
HB2+FB2+TB1[3]	N/A	N/A	30	fS/30 (I) + fS/30 (Q)	fS/30 × 80%	12.7
FB2+HB3+HB2+HB1	20	fS/20	40	fS/40 (I) + fS/40 (Q)	fS/40 × 80%	14
TB2+HB4+HB3+HB2+HB1	24	fS/24	48	fS/48 (I) + fS/48 (Q)	fS/48 × 80%	14.8

1 N/A 表示不适用。/ N/A means not applicable. 2 由于过采样和滤波导致的SNR 改善 = 10log（带宽/fS/2）。/ SNR improvement due to oversampling and filtering = 10log(bandwidth / (fS/2)). 3 TB1 仅在 DDC0 和 DDC1 中受支持。/ TB1 is supported only in DDC0 and DDC1.

1）HB4 滤波器 / 1) HB4 Filter

English: The first ×2 decimation, half-band, low-pass FIR filter (HB4) uses an 11-tap, symmetric, fixed-coefficient filter scheme optimized for low power. The HB4 filter is used only for complex output (×16 decimation) or real output (×8 decimation); in other cases this filter is bypassed. Table 6 and Figure 47 show the HB4 filter coefficients and response.

中文： 第一个2 倍抽取、半带、低通FIR 滤波器(HB4)采用11 抽头、对称、固定系数滤波器方案，针对低功耗而优化。HB4 滤波器仅在复数输出(16 倍抽取)或实数输出(8 倍抽取)时使用，其他情况下旁路该滤波器。表 6 和图 47 显示了 HB4 滤波器的系数和响应。

表 6 HB4 滤波器系数 / Table 6 HB4 Filter Coefficients

HB4 系数值 / Coefficient	归一化系数 / Normalized	十进制系数 (15位) / Decimal (15-bit)
C1, C11	0.006042	99
C2, C10	0	0
C3, C9	−0.049377	−809
C4, C8	0	0
C5, C7	0.293304	4806
C6	0.5	8192

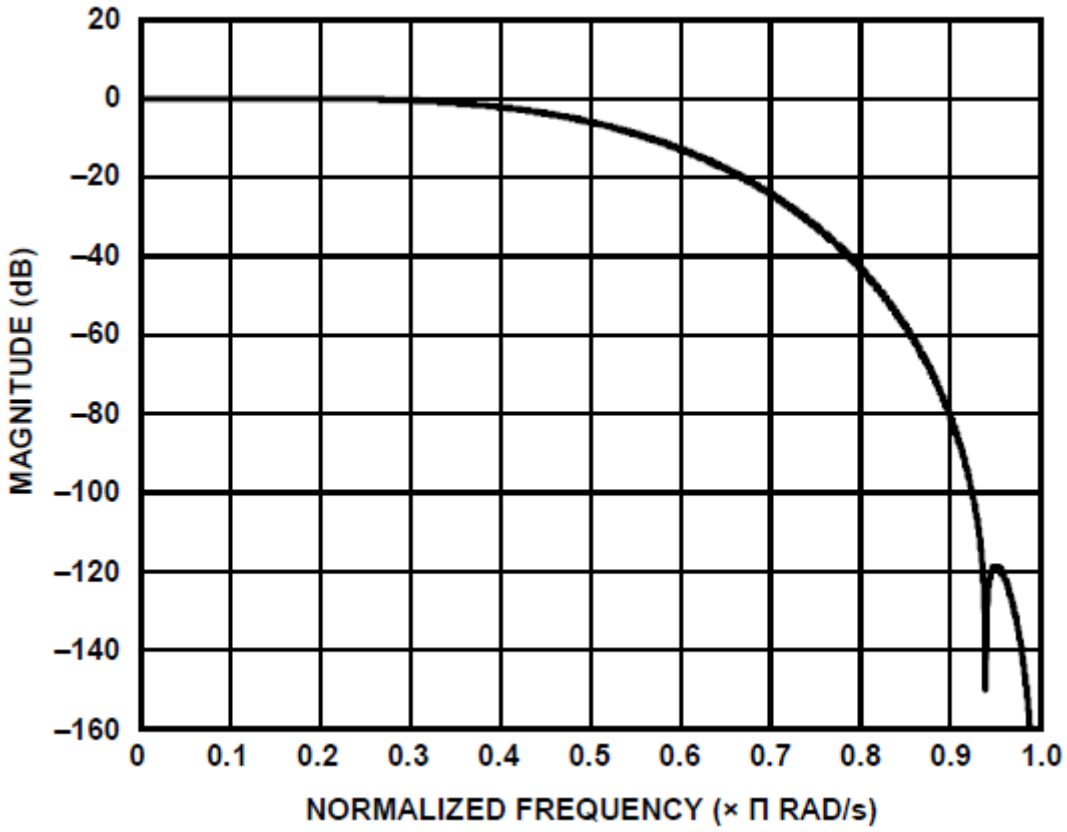


Figure 47: HB4 filter response

2）HB3 滤波器 / 2) HB3 Filter

English: The second ×2 decimation, half-band, low-pass FIR filter (HB3) uses an 11-tap, symmetric, fixed-coefficient filter scheme optimized for low power. The HB3 filter is used only when complex output (×8 or ×16 decimation) or real output (×4 or ×8 decimation) is enabled; in other cases this filter is bypassed. Table 7 and Figure 48 show the HB3 filter coefficients and response.

中文： 第二个 2 倍抽取、半带、低通 FIR 滤波器(HB3)采用 11 抽头、对称、固定系数滤波器方案，针对低功耗而优化。HB3 滤波器仅在复数输出(8 倍或 16 倍抽取)或实数输出(4 倍或 8 倍抽取)使能时使用，其他情况下旁路该滤波器。表 7 和图48 显示了HB3 滤波器的系数和响应。

表 7 HB3 滤波器系数 / Table 7 HB3 Filter Coefficients

HB3 系数值 / Coefficient	归一化系数 / Normalized	十进制系数 (17位) / Decimal (17-bit)
C1, C11	0.006637	435
C2, C10	0	0
C3, C9	−0.051055	−3346
C4, C8	0	0
C5, C7	0.294418	19295
C6	0.500000	65536

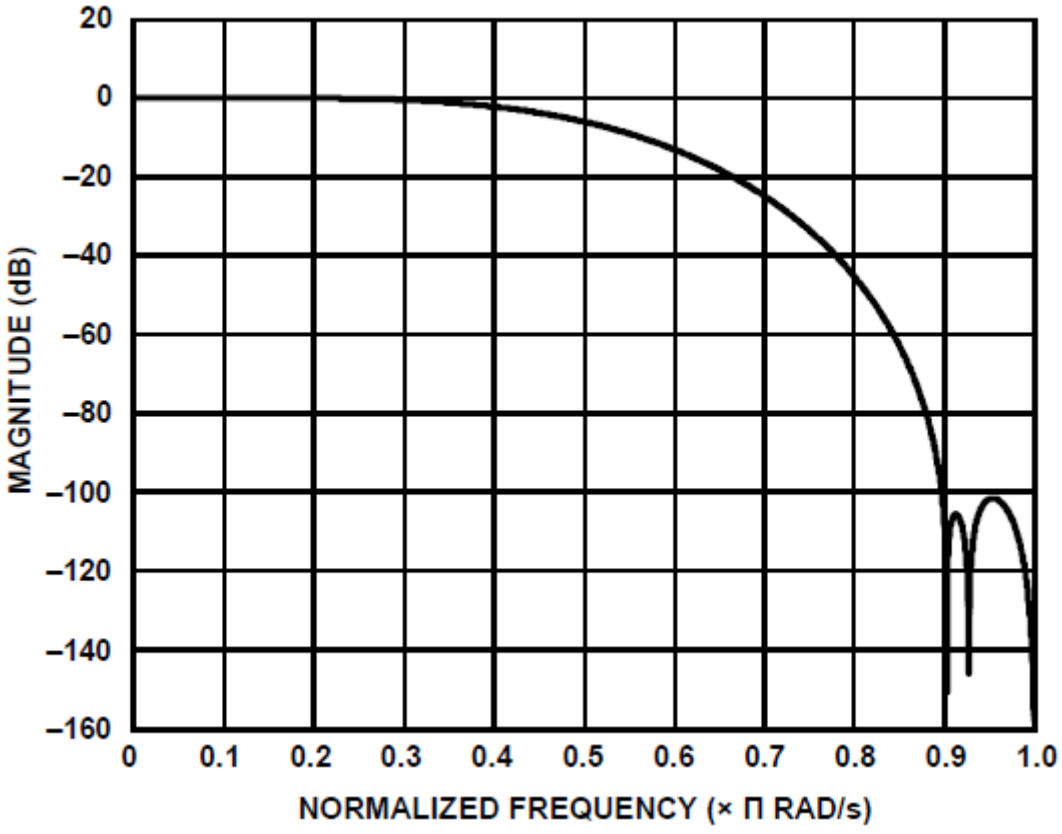


Figure 48: HB3 filter response

3）HB2 滤波器 / 3) HB2 Filter

English: The third ×2 decimation, half-band, low-pass FIR filter (HB2) uses a 19-tap, symmetric, fixed-coefficient filter scheme optimized for low power. The HB2 filter is used only for complex or real output (×4, ×8, or ×16 decimation); in other cases this filter is bypassed. Table 8 and Figure 49 show the HB2 filter coefficients and response.

中文： 第三个2 倍抽取、半带、低通 FIR 滤波器(HB2)采用19 抽头、对称、固定系数滤波器方案，针对低功耗而优化。HB2 滤波器仅在复数或实数输出(4 倍、8 倍或 16 倍抽取)时使用，其他情况下旁路该滤波器。表 8 和图49显示了 HB2 滤波器的系数和响应。

表 8 HB2 滤波器系数 / Table 8 HB2 Filter Coefficients

HB2 系数值 / Coefficient	归一化系数 / Normalized	十进制系数 (18位) / Decimal (18-bit)
C1, C19	0.000671	88
C2, C18	0	0
C3, C17	−0.005325	−698
C4, C16	0	0
C5, C15	0.022743	2981
C6, C14	0	0
C7, C13	−0.074180	−9723
C8, C12	0	0
C9, C11	0.306091	40120
C10	0.5	65536

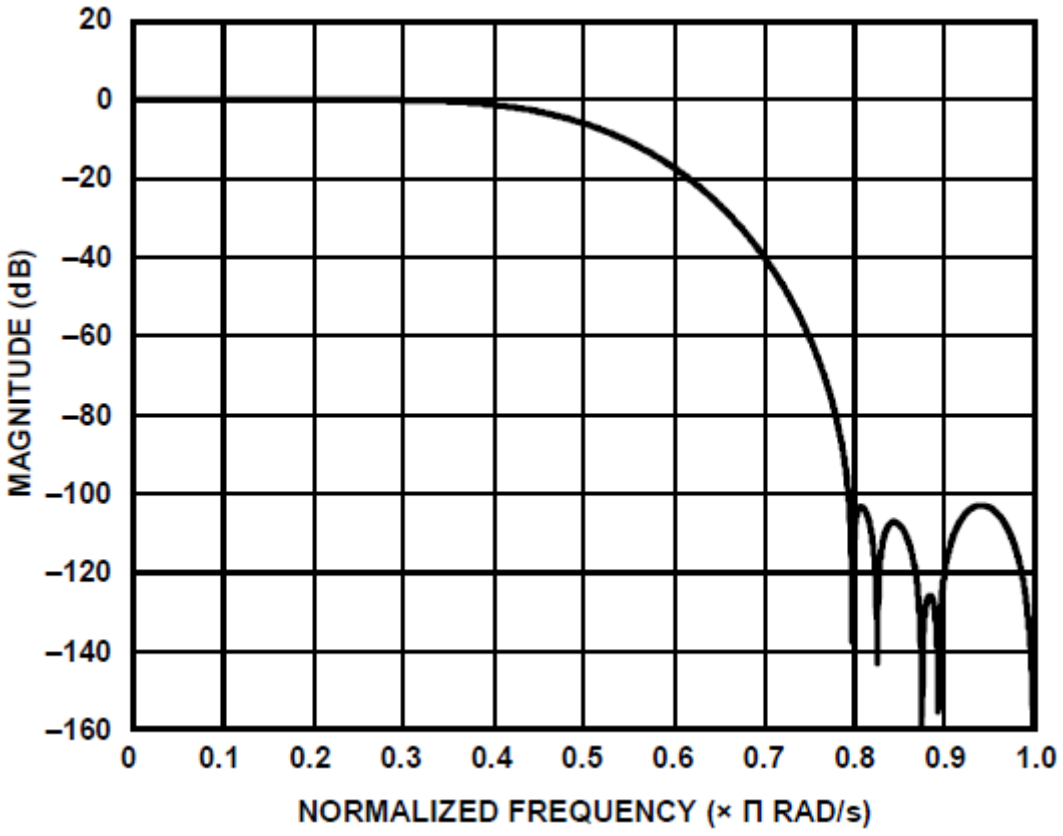


Figure 49: HB2 filter response

4）HB1 滤波器 / 4) HB1 Filter

English: The fourth (last) ×2 decimation, half-band, low-pass FIR filter (HB1) uses a 63-tap, symmetric, fixed-coefficient filter scheme optimized for low power. The HB1 filter is always enabled and cannot be bypassed. Table 9 and Figure 50 show the HB1 filter coefficients and response.

中文： 第四个(最后一个)2 倍抽取、半带、低通FIR 滤波器(HB1)采用63 抽头、对称、固定系数滤波器方案，针对低功耗而优化。HB1 滤波器始终使能，无法旁路。表 9 和图50 显示了 HB1 滤波器的系数和响应。

表 9 HB1 滤波器系数 / Table 9 HB1 Filter Coefficients

HB1 系数值 / Coefficient	归一化系数 / Normalized	十进制系数 (20位) / Decimal (20-bit)
C1, C63	−0.000019	−10
C2, C62	0	0
C3, C61	0.000072	38
C4, C60	0	0
C5, C59	−0.000195	−102
C6, C58	0	0
C7, C57	0.000443	232
C8, C56	0	0
C9, C55	−0.000891	−467
C10, C54	0	0
C11, C53	0.001644	862
C12, C52	0	0
C13, C51	−0.00284	−1489
C14, C50	0	0
C15, C49	0.004654	2440
C16, C48	0	0
C17, C47	−0.007311	−3833
C18, C46	0	0
C19, C45	0.011122	5831
C20, C44	0	0
C21, C43	−0.016554	−8679
C22, C42	0	0
C23, C41	0.02442	12,803
C24, C40	0	0
C25, C39	−0.036404	−19,086
C26, C38	0	0
C27, C37	0.056866	29,814

HB1 系数值 / Coefficient	归一化系数 / Normalized	十进制系数 (20位) / Decimal (20-bit)
C28, C36	0	0
C29, C35	−0.101892	−53,421
C30, C34	0	0
C31, C33	0.316883	166,138
C32	0.5	262,144

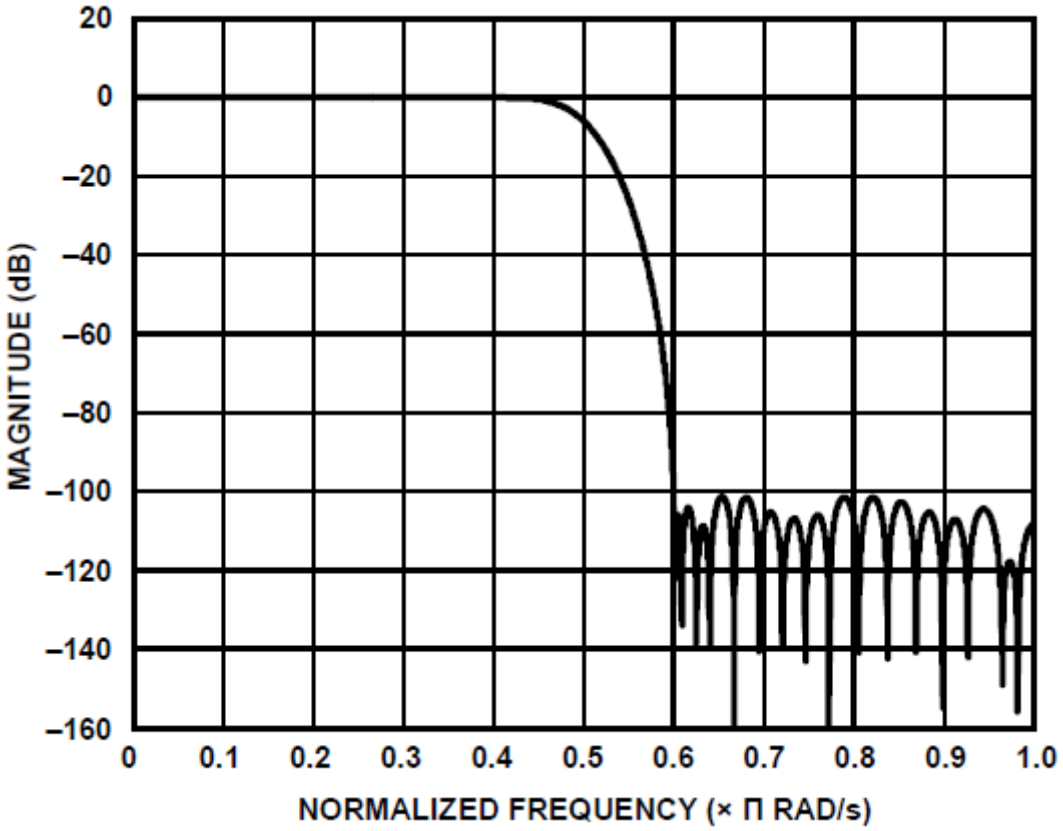


Figure 50: HB1 filter response

5）TB2 滤波器 / 5) TB2 Filter

English: TB2 is implemented using a 26-tap, symmetric, fixed-coefficient filter optimized for low power. The TB2 filter is used only when a decimation ratio of 6, 12, or 24 is required. Table 10 and Figure 51 show the TB2 filter coefficients and response.

中文： TB2 使用26 抽头、对称、固定系数滤波器实施，该滤波器针对低功耗进行了优化。TB2 滤波器仅在需要 6、12 或24 的抽取比时使用。表 10 和图51 显示了TB2 滤波器的系数和响应。

表 10 TB2 滤波器系数 / Table 10 TB2 Filter Coefficients

TB2 系数值 / Coefficient	归一化系数 / Normalized	十进制系数 (19位) / Decimal (19-bit)
C1, C26	−0.000190	−50
C2, C25	−0.000793	208
C3, C24	−0.00113	−298

TB2 系数值 / Coefficient	归一化系数 / Normalized	十进制系数 (19位) / Decimal (19-bit)
C4, C23	0.000915	240
C5, C22	0.006290	1649
C6, C21	0.009822	2575
C7, C20	0.000915	240
C8, C19	−0.023483	−6156
C9, C18	−0.043151	−11312
C10, C17	−0.019317	−5064
C11, C16	0.071327	18698
C12, C15	0.201171	52736
C13, C14	0.297756	78055

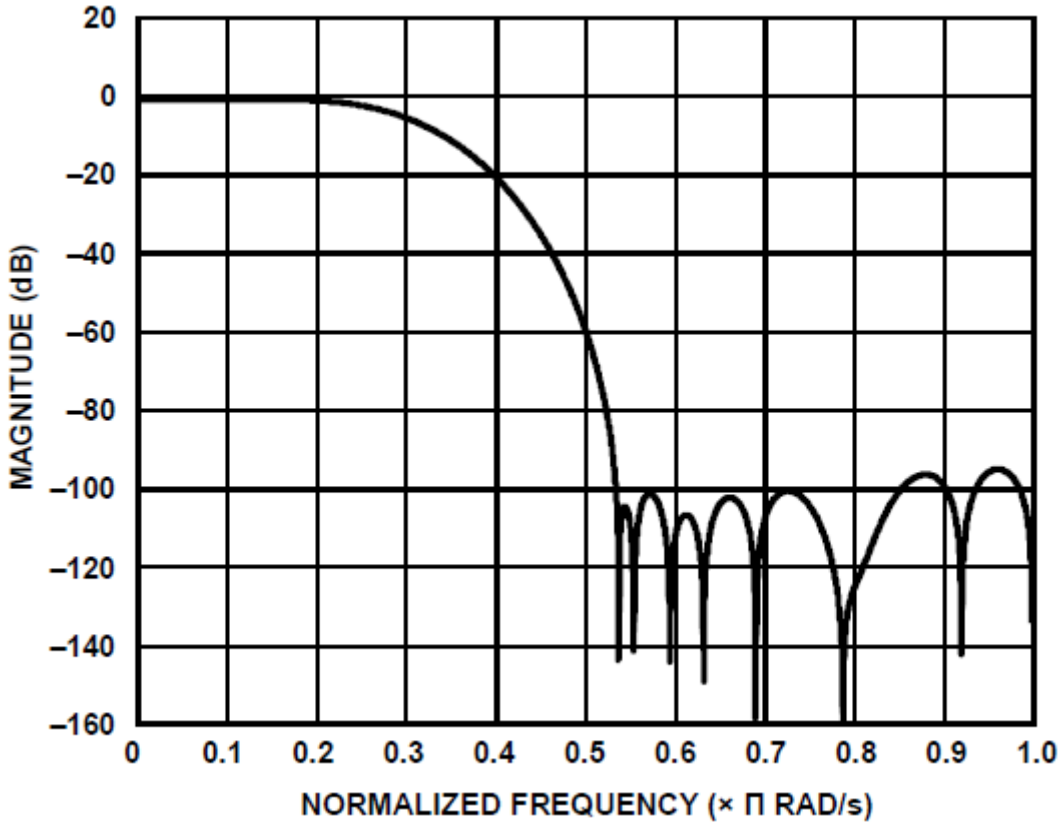


Figure 51: TB2 filter response

6）TB1 滤波器 / 6) TB1 Filter

English: The TB1 ×3 decimation, low-pass FIR filter is implemented using a 76-tap, symmetric, fixed-coefficient filter. Table 11 shows the TB1 filter coefficients and Figure 52 shows the TB1 filter response. TB1 is available only in DDC0 and DDC1.

中文： TB1 抽取3、低通FIR 滤波器使用76 抽头、对称、固定系数滤波器实现。表 11显示了TB1 滤波器系数，图 52 显示了TB1 滤波器响应。TB1 仅在DDC0 和DDC1 中可用。

表 11 TB1 滤波器系数 / Table 11 TB1 Filter Coefficients

TB1 系数值 / Coefficient	归一化系数 / Normalized	十进制系数 (22位) / Decimal (22-bit)
C1, C96	−0.000023	−96
C2, C75	−0.000053	−224
C3, C74	−0.000037	−156
C4, C73	0.00009	379
C5, C72	0.000291	1220
C6, C71	0.000366	1534
C7, C70	0.000095	398
C8, C69	−0.000463	−1940
C9, C68	−0.000822	−3448
C10, C67	−0.000412	−1729
C11, C66	0.000739	3100
C12, C65	0.001665	6984
C13, C64	0.001132	4748
C14, C63	−0.000981	−4114
C15, C62	−0.002961	−12418
C16, C61	−0.002438	−10226
C17, C60	0.001087	4560
C18, C59	0.004833	20272
C19, C58	0.004614	19352
C20, C57	−0.000871	−3652
C21, C56	−0.007410	−31080
C22, C55	−0.008039	−33718
C23, C54	0.000053	222
C24, C53	0.010874	45608
C25, C52	0.013313	55840
C26, C51	0.001817	7620
C27, C50	−0.015579	−65344
C28, C49	−0.021590	−90556
C29, C48	−0.005603	−23502
C30, C47	0.022451	94167
C31, C46	0.035774	150046
C32, C45	0.013541	56796
C33, C44	−0.034655	−145352
C34, C43	−0.066549	−279128
C35, C42	−0.035213	−147694
C36, C41	0.07122	298720

TB1 系数值 / Coefficient	归一化系数 / Normalized	十进制系数 (22位) / Decimal (22-bit)
C37, C40	0.210777	884064
C38, C39	0.3092	1296880

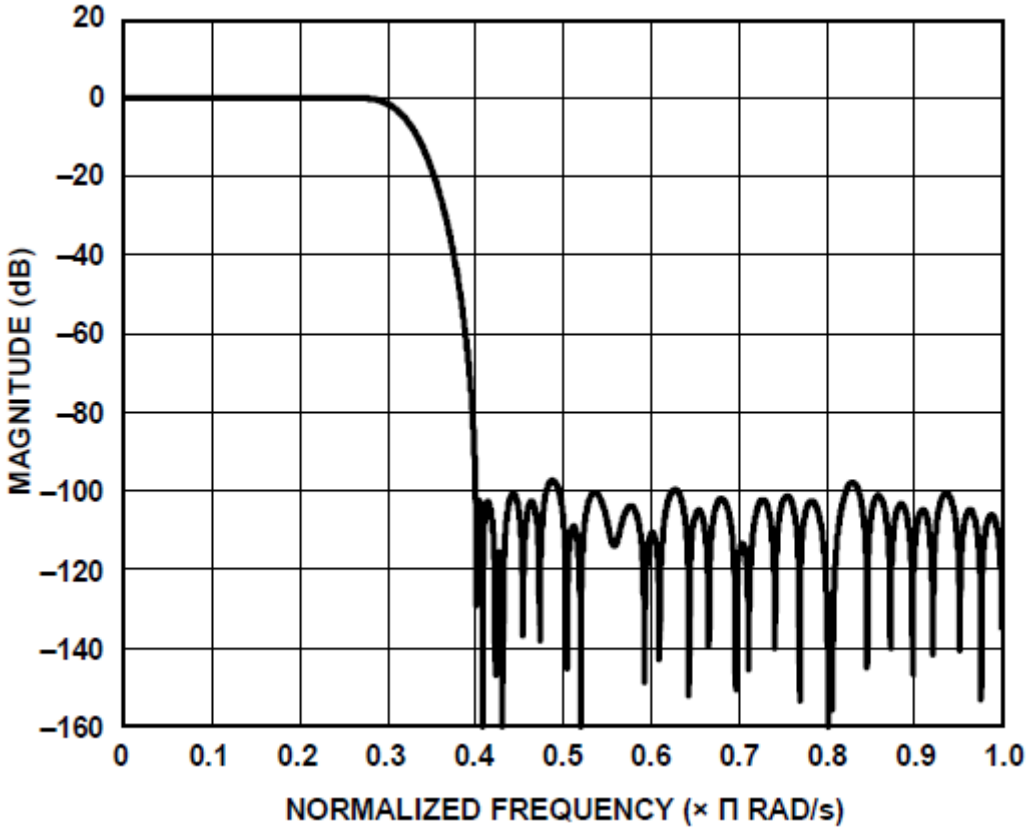


Figure 52: TB1 filter response

7）FB2 滤波器 / 7) FB2 Filter

English: The FB2 ×5 decimation, low-pass FIR filter is implemented using a 48-tap, symmetric, fixed-coefficient filter. Table 12 shows the FB2 filter coefficients and Figure 53 shows the FB2 filter response.

中文： FB2 抽取 5、低通 FIR 滤波器使用 48 抽头、对称、固定系数滤波器实现。表 12 显示了 FB2 滤波器系数，图53 显示了 FB2 滤波器响应。

表 12 FB2 滤波器系数 / Table 12 FB2 Filter Coefficients

FB2 系数值 / Coefficient	归一化系数 / Normalized	十进制系数 (22位) / Decimal (22-bit)
C1, C48	0.000007	7
C2, C47	−0.000004	−4
C3, C46	−0.000069	−72
C4, C45	−0.000244	−256
C5, C44	−0.000544	−570
C6, C43	−0.000870	−912
C7, C42	−0.000962	−1009

FB2 系数值 / Coefficient	归一化系数 / Normalized	十进制系数 (22位) / Decimal (22-bit)
C8, C41	−0.000448	−470
C9, C40	0.000977	1024
C10, C39	0.003237	3394
C11, C38	0.005614	5887
C12, C37	0.006714	7040
C13, C36	0.004871	5108
C14, C35	−0.001011	−1060
C15, C34	−0.010456	−10964
C16, C33	−0.020729	−21736
C17, C32	−0.026978	−28288
C18, C31	−0.023453	−24592
C19, C30	−0.005608	−5880
C20, C29	0.027681	29026
C21, C28	0.07272	76252
C22, C27	0.121223	127112
C23, C26	0.162346	170232
C24, C25	0.185959	194992

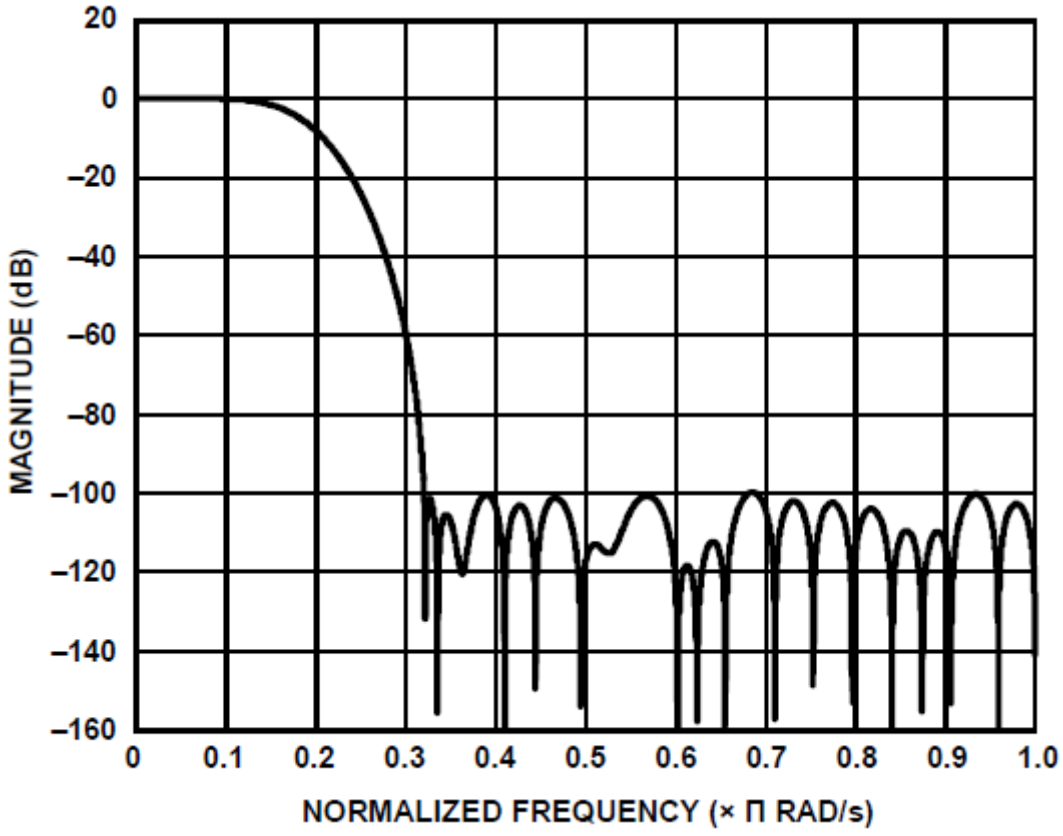


Figure 53: FB2 filter response

9.5.9.1 DDC 增益级 / 9.5.9.1 DDC Gain Stage

English: Each DDC contains an independently controlled gain stage. A gain of 0 dB or 6 dB can be selected. When a real input signal is mixed down to baseband, the user is advised to enable the 6 dB gain.

When a complex input signal is mixed to baseband, no additional gain is needed. The optional 6 dB gain can be used to compensate for weaker signals. When the complex-to-real conversion stage is used, the ×2 downsampling of the HB1 FIR filter is bypassed. The TB1 filter has no 6 dB gain stage.

中文： 每个DDC 包含一个独立控制的增益级。可以选择0dB 或6dB 的增益。实数输入信号下混频至基带时，建议用户使能 6dB 增益。

复数输入信号混频至基带时，无需额外的增益。可选的6dB 增益可用来补偿强度较低的信号。使用复数至实数转换级时， HB1 FIR 滤波器的2倍下采样被旁路。TB1 滤波器没有 6 dB增益级。

9.5.9.2 DDC 复数—实数转换 / 9.5.9.2 DDC Complex-to-Real Conversion

English: Each DDC contains an independently controlled complex-to-real conversion block. The complex-to-real conversion block reuses the last filter of the filtering stage (the HB1 FIR), together with an fS/4 complex mixer, to upconvert the signal. After the signal is upconverted, the Q portion of the complex mixer is no longer needed and is therefore discarded. The TB1 filter does not support complex-to-real conversion. Figure 54 shows a simplified block diagram of the complex-to-real conversion.

中文： 各DDC 包含一个独立控制的复数至实数转换模块。复数至实数转换模块复用了滤波级的最后一个滤波器(HB1 FIR)，与一个fS/4 复数混频器一起对信号进行上变频处理。信号上变频之后，复数混频器的Q 部分不再需要，因而被丢弃。TB1 过滤器不支持复数到实数的转换。图54 显示了复数到实数转换的简化框图。

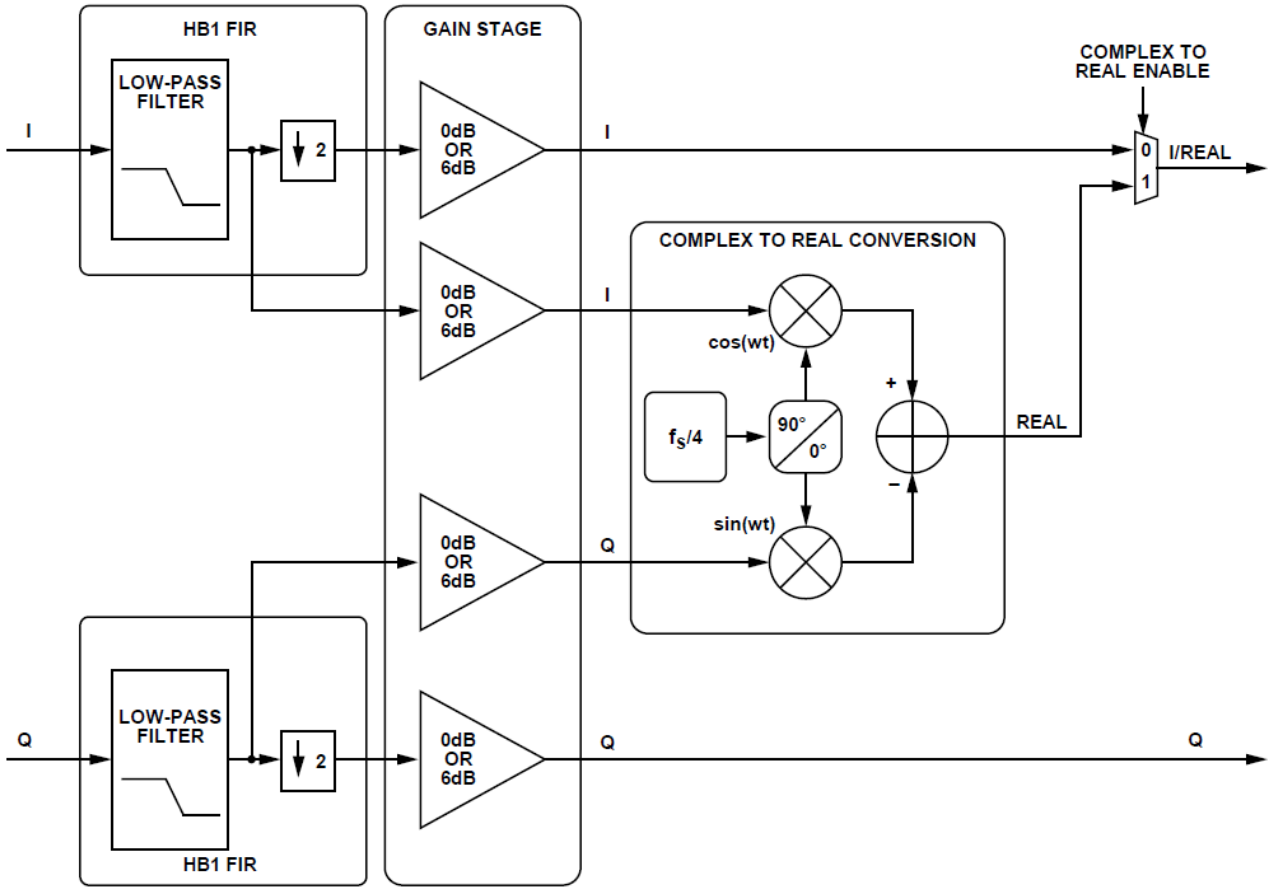


Figure 54: Complex-to-real conversion

9.5.9.3 DDC 混合抽取设置 / 9.5.9.3 DDC Mixed Decimation Settings

English: The SXA043 also supports DDCs with different decimation ratios. In this case, the chip decimation ratio must be set to the lowest decimation ratio of all DDC channels. Samples of DDCs with a higher decimation ratio are repeated to match the chip decimation ratio. Only integer multiples of 2 in mixed decimation ratios are supported. For example, decimation 1, 2, 4, 8, or 16 can be mixed together; decimation 3, 6, 12, 24, or 48 can be mixed together; or decimation 5, 10, 20, or 40 can be mixed together. Table 13 shows the DDC sample mapping when the chip decimation ratio differs from the DDC decimation ratio. For example, if the chip decimation ratio is set to ×4 decimation, DDC0 is set to use the HB2+HB1 filters (complex output, ×4 decimation), and DDC1 is set to use the HB4+HB3+HB2+HB1 filters (real output, ×8 decimation), the DDC1 output data is repeated twice. Table 14 shows the final output samples.

中文： SXA043 还支持具有不同抽取率的 DDC。在这种情况下，芯片抽取率必须设置为所有 DDC 通道的最低抽取率。高抽取比的 DDC 样本被重复从而匹配芯片抽取比。仅支持 2 的整数倍的混合抽取率。例如，抽取 1、2、4、8 或 16 可以混合在一起；抽取 3、6、12、24 或 48 可以混合在一起；或抽取 5、10、20 或 40 可以混合在一起。表 13 显示了芯片抽取率与 DDC 抽取率不同时的 DDC 样本映射。例如，如果芯片抽取率设置为 4 倍抽取，DDC0 设置为使用 HB2+HB1 滤波器（复数输出4 倍抽取），DDC1 设置为使用 HB4+HB3+HB2+HB1 滤波器（实数输出8 倍抽取)， DDC1输出数据重复两次。表 14 显示了最终输出样本。

表 13 芯片抽取比 (DCM) 与 DDC DCM 样本索引不匹配时的样本映射 / Table 13 Sample Mapping When the Chip Decimation Ratio (DCM) Does Not Match the DDC DCM Sample Index

样本指数 / Sample index	DDC DCM = 芯片抽取比 / DDC DCM = chip decimation	DDC DCM = 2× 芯片抽取比 / DDC DCM = 2× chip decimation	DDC DCM = 4× 芯片抽取比 / DDC DCM = 4× chip decimation	DDC DCM = 8× 芯片抽取比 / DDC DCM = 8× chip decimation
0	N	N	N	N
1	N + 1	N	N	N
2	N + 2	N + 1	N	N
3	N + 3	N + 1	N	N
4	N + 4	N + 2	N + 1	N
5	N + 5	N + 2	N + 1	N
6	N + 6	N + 3	N + 1	N
7	N + 7	N + 3	N + 1	N
8	N + 8	N + 4	N + 2	N + 1
9	N + 9	N + 4	N + 2	N + 1
10	N + 10	N + 5	N + 2	N + 1
11	N + 11	N + 5	N + 2	N + 1
12	N + 12	N + 6	N + 3	N + 1
13	N + 13	N + 6	N + 3	N + 1
14	N + 14	N + 7	N + 3	N + 1
15	N + 15	N + 7	N + 3	N + 1
16	N + 16	N + 8	N + 4	N + 2
17	N + 17	N + 8	N + 4	N + 2
18	N + 18	N + 9	N + 4	N + 2
19	N + 19	N + 9	N + 4	N + 2
20	N + 20	N + 10	N + 5	N + 2
21	N + 21	N + 10	N + 5	N + 2
22	N + 22	N + 11	N + 5	N + 2
23	N + 23	N + 11	N + 5	N + 2
24	N + 24	N + 12	N + 6	N + 3
25	N + 25	N + 12	N + 6	N + 3
26	N + 26	N + 13	N + 6	N + 3
27	N + 27	N + 13	N + 6	N + 3
28	N + 28	N + 14	N + 7	N + 3
29	N + 29	N + 14	N + 7	N + 3
30	N + 30	N + 15	N + 7	N + 3
31	N + 31	N + 15	N + 7	N + 3

表 14 DCM = 4、DDC0 DCM = 4（复数）且 DDC1 DCM = 8（实数）/ Table 14 DCM = 4, DDC0 DCM = 4 (Complex) and DDC1 DCM = 8 (Real)

DDC 输入样本 / DDC input sample	DDC0 I 端口输出 / DDC0 I output	DDC0 Q 端口输出 / DDC0 Q output	DDC1 I 端口输出 / DDC1 I output	DDC1 Q 端口输出 / DDC1 Q output
N	I0[N]	Q0[N]	I1[N]	不适用 / N/A
N + 1	I0[N]	Q0[N]	I1[N]	不适用 / N/A
N + 2	I0[N]	Q0[N]	I1[N]	不适用 / N/A
N + 3	I0[N]	Q0[N]	I1[N]	不适用 / N/A
N + 4	I0[N+1]	Q0[N+1]	I1[N]	不适用 / N/A
N + 5	I0[N+1]	Q0[N+1]	I1[N]	不适用 / N/A
N + 6	I0[N+1]	Q0[N+1]	I1[N]	不适用 / N/A
N + 7	I0[N+1]	Q0[N+1]	I1[N]	不适用 / N/A
N + 8	I0[N+2]	Q0[N+2]	I1[N+1]	不适用 / N/A
N + 9	I0[N+2]	Q0[N+2]	I1[N+1]	不适用 / N/A
N + 10	I0[N+2]	Q0[N+2]	I1[N+1]	不适用 / N/A
N + 11	I0[N+2]	Q0[N+2]	I1[N+1]	不适用 / N/A
N + 12	I0[N+3]	Q0[N+3]	I1[N+1]	不适用 / N/A
N + 13	I0[N+3]	Q0[N+3]	I1[N+1]	不适用 / N/A
N + 14	I0[N+3]	Q0[N+3]	I1[N+1]	不适用 / N/A
N + 15	I0[N+3]	Q0[N+3]	I1[N+1]	不适用 / N/A

9.5.10 DDC 示例配置 / 9.5.10 DDC Example Configurations

English: Table 15 describes the register settings for multiple DDC example configurations.

中文： 表 15 描述了多个 DDC 示例配置的寄存器设置。

表 15 DDC 配置示例（每个 ADC 通道对）/ Table 15 DDC Configuration Examples (Per ADC Channel Pair)

芯片应用层 / Chip application	芯片抽取比 / Chip decimation	DDC 输入类型 / DDC input type	DDC 输出类型 / DDC output type	每个 DDC 带宽[1] / Bandwidth per DDC[1]	所需虚拟转换器数量 / Virtual converters required	寄存器设置 / Register settings
1 个 DDC / 1 DDC	2	复数 / Complex	复数 / Complex	40% × fS	2	寄存器 0x0200 = 0x01（一个DDC；I/Q选择）/ Reg. 0x0200 = 0x01 (one DDC; I/Q select); 寄存器 0x0201 = 0x01（芯片抽取率2）/ Reg. 0x0201 = 0x01 (chip decimation 2); 寄存器 0x0310 = 0x83（复数混频器；0 dB增益；可变 IF；复数输出；HB1滤波器）/ Reg. 0x0310 = 0x83 (complex mixer; 0 dB gain; variable IF; complex output; HB1 filter); 寄存器 0x0311 = 0x04（DDC I输入 = ADC通道A；DDC Q输入 = ADC通道B）/ Reg. 0x0311 = 0x04 (DDC I input = ADC channel A; DDC Q input = ADC channel B); 寄存器 0x0316、0x0317、0x0318、0x0319、0x031A、0x031B、0x031D、0x031E、0x031F、0x0320、0x0321、0x0322

芯片应用层 / Chip application	芯片抽取比 / Chip decimation	DDC 输入类型 / DDC input type	DDC 输出类型 / DDC output type	每个 DDC 带宽[1] / Bandwidth per DDC[1]	所需虚拟转换器数量 / Virtual converters required	寄存器设置 / Register settings
						= FTW 和 POW 按 DDC0 要求设置 / FTW and POW set as required for DDC0
2 个 DDC / 2 DDCs	4	复数 / Complex	复数 / Complex	20% × fS	4	寄存器 0x0200 = 0x02（两个DDC；I/Q选择）/ Reg. 0x0200 = 0x02 (two DDCs; I/Q select); 寄存器 0x0201 = 0x02（芯片抽取率4）/ chip decimation 4; 寄存器 0x0310、0x0330 = 0x80（复数混频器；0 dB增益；可变IF；复数输出；HB2+HB1滤波器）/ complex mixer; 0 dB gain; variable IF; complex output; HB2+HB1 filter; 寄存器 0x0311、0x0331 = 0x04（DDC I 输入 = ADC通道A；DDC Q输入 = ADC通道B）；寄存器 0x0316–0x0322（同上组）= FTW/POW 按 DDC0 要求设置；寄存器 0x0336–0x0342 = FTW/POW 按 DDC1 要求设置 / FTW/POW set as required for DDC0 / DDC1 respectively
2 个 DDC / 2 DDCs	4	复数 / Complex	实数 / Real	10% × fS	2	寄存器 0x0200 = 0x22（两个DDC；选择I）/ Reg. 0x0200 = 0x22 (two DDCs; I select); 寄存器 0x0201 = 0x02（芯片抽取率4）；寄存器 0x0310、0x0330 = 0x89（复数混频器；0 dB增益；可变IF；实数输出；HB3+HB2+HB1滤波器）/ complex mixer; 0 dB gain; variable IF; real output; HB3+HB2+HB1 filter; 寄存器 0x0311、0x0331 = 0x04; FTW/POW 寄存器组同上例 / FTW/POW register groups as in the previous example
2 个 DDC / 2 DDCs	4	实数 / Real	实数 / Real	10% × fS	2	寄存器 0x0200 = 0x22（2个DDC；选择I）；寄存器 0x0201 = 0x02（芯片抽取率4）；寄存器 0x0310、0x0330 = 0x49（实数混频器；6 dB增益；可变IF；实数输出；HB3+HB2+HB1滤波器）/ real mixer; 6 dB gain; variable IF; real output; HB3+HB2+HB1 filter; 寄存器 0x0311 = 0x00（DDC0 I输入 = ADC通道A；DDC0 Q输入 = ADC通道A）；寄存器 0x0331 = 0x05（DDC1 I输入 = ADC通道B；DDC1 Q输入 = ADC通道B）；FTW/POW 寄存器组同上例
2 个 DDC / 2 DDCs	4	实数 / Real	复数 / Complex	20% × fS	4	寄存器 0x0200 = 0x02（两个DDC；I/Q选择）；寄存器 0x0201 = 0x02（芯片抽取率4）；寄存器 0x0310、0x0330 = 0x40（实数混频器；6 dB增益；可变IF；复数输出；HB2+HB1滤波器）/ real mixer; 6 dB gain; variable IF; complex output; HB2+HB1 filter; 寄存器 0x0311 = 0x00; 寄存器 0x0331 = 0x05; FTW/POW 寄存器组同上例
2 个 DDC / 2 DDCs	8	实数 / Real	实数 / Real	5% × fS	2	寄存器 0x0200 = 0x22（两个DDC；选择I）；寄存器 0x0201 = 0x03（芯片抽取率8）；寄存器 0x0310、0x0330 = 0x4A（实数混频器；6 dB增益；可变IF；实数输出；HB4+HB3+HB2+HB1滤波器）/ real mixer; 6 dB gain; variable IF; real output;

芯片应用层 / Chip application	芯片抽取比 / Chip decimation	DDC 输入类型 / DDC input type	DDC 输出类型 / DDC output type	每个 DDC 带宽[1] / Bandwidth per DDC[1]	所需虚拟转换器数量 / Virtual converters required	寄存器设置 / Register settings
						HB4+HB3+HB2+HB1 filter; 寄存器 0x0311 = 0x00; 寄存器 0x0331 = 0x05; FTW/POW 寄存器组同上例
4 个 DDC / 4 DDCs	8	实数 / Real	复数 / Complex	10% × fS	8	寄存器 0x0200 = 0x03（四个DDC；I/Q选择）；寄存器 0x0201 = 0x03（芯片抽取率8）；寄存器 0x0310、0x0330、0x0350、0x0370 = 0x41（实数混频器；6 dB增益；可变IF；复数输出；HB3+HB2+HB1滤波器）/ real mixer; 6 dB gain; variable IF; complex output; HB3+HB2+HB1 filter; 寄存器 0x0311 = 0x00（DDC0 输入来自通道A）；寄存器 0x0331 = 0x00（DDC1 输入来自通道A）；寄存器 0x0351 = 0x05（DDC2 输入来自通道B）；寄存器 0x0371 = 0x05（DDC3 输入来自通道B）；FTW/POW：0x0316–0x0322 按 DDC0、0x0336–0x0342 按 DDC1、0x0356–0x0362 按 DDC2、0x0376–0x0382 按 DDC3 设置 / FTW/POW groups set per DDC0–DDC3 respectively
4 个 DDC / 4 DDCs	8	实数 / Real	实数 / Real	5% × fS	4	寄存器 0x0200 = 0x23（四个DDC；I选择）；寄存器 0x0201 = 0x03（芯片抽取率8）；寄存器 0x0310、0x0330、0x0350、0x0370 = 0x4A（实数混频器；6 dB增益；可变IF；HB4+HB3+HB2+HB1滤波器）；寄存器 0x0311 = 0x00; 寄存器 0x0331 = 0x00; 寄存器 0x0351 = 0x05; 寄存器 0x0371 = 0x05; FTW/POW 寄存器组同上例
4 个 DDC / 4 DDCs	16	实数 / Real	复数 / Complex	5% × fS	8	寄存器 0x0200 = 0x03（四个DDC；I/Q选择）；寄存器 0x0201 = 0x04（芯片抽取率16）；寄存器 0x0310、0x0330、0x0350、0x0370 = 0x42（实数混频器；6 dB增益；可变IF；复数输出；HB4+HB3+HB2+HB1滤波器）/ real mixer; 6 dB gain; variable IF; complex output; HB4+HB3+HB2+HB1 filter; 寄存器 0x0311 = 0x00; 寄存器 0x0331 = 0x00; 寄存器 0x0351 = 0x05; 寄存器 0x0371 = 0x05; FTW/POW 寄存器组同上例

1 fS 是 ADC 采样率。/ fS is the ADC sampling rate.

10、数字输出 / 10. Digital Outputs

10.1 JESD204B 接口简介 / 10.1 JESD204B Interface Introduction

English: The SXA043 digital output is designed according to the JEDEC standard JESD204B ("Serial Interface for Data Converters"). The SXA043 connects to digital processing devices through a serial interface (lane rates up to 15 Gbps) protocol. The advantages of the JESD204B interface over LVDS include

less board space required for data interface routing and smaller packages for both the converter and the logic device.

中文： SXA043 数字输出根据JEDEC 标准JESD204B(“数据转换器串行接口”)进行设计。SXA043 通过串行接口(通道速率高达15Gbps)连接数字处理设备的协议。JESD204B接口相对于 LVDS 的优势包括：数据接口布线所需电路板空间更少，以及转换器和逻辑器件的封装更小。

10.2 JESD204B 概述 / 10.2 JESD204B Overview

English: The JESD204B data transmit block combines the parallel data from the ADC into data frames and outputs serial data using 8B/10B encoding and data scrambling technology. During initial link establishment, special control characters are used to support link synchronization; thereafter, synchronization is maintained through additional control characters embedded in the data stream.

The SXA043 JESD204B data transmit block can map up to 2 real ADCs or 8 virtual converters (when the DDCs are enabled). The link can be configured to use 1, 2, 4, or 8 JESD204B lanes. The JESD204B specification references multiple parameters to define the link, and these parameters of the JESD204B transmitter (SXA043 output) and the JESD204B receiver (logic device input) must match.

The JESD204B link can be described by the following parameters: - L = number of data lanes per converter (lanes per link) (SXA043 values: 1, 2, or 4) - M = number of converters per device (virtual converters per link) (SXA043 values: 1, 2, 4, or 8) - F = number of octets per frame (SXA043 values: 1, 2, 4, 8, or 16) - N′ = number of bits per sample (JESD204B word size) (SXA043 values: 8 or 16) - N = converter resolution (SXA043 values: 7 to 16) - CS = number of control bits per sample (SXA043 values: 0, 1, 2, or 3) - K = number of frames per multiframe (SXA043 values: 4, 8, 12, 16, 20, 24, 28, or 32) - S = number of samples transmitted per single converter per frame period (the SXA043 value is set automatically according to L, M, F, and N′) - HD = high-density mode (SXA043 is set automatically according to L, M, F, and N′) - CF = number of control words per frame clock period per converter (SXA043 value: 0)

Figure 55 shows a simplified block diagram of the SXA043 JESD204B link. By default, the SXA043 is configured to use two converters and 4 lanes. The data of converter A is output to SERDOUT0± and SERDOUT1±, and the data of converter B is output to SERDOUT2± and SERDOUT3±. The SXA043 allows other configurations, such as combining the outputs of the two converters onto one lane, or changing the mapping of the A and B digital output paths. These modes are set through the SPI registers.

By default, in the SXA043, each converter's 14-bit converter word is divided into two octets (eight-bit data). Bit 13 (MSB) to bit 6 are in the first octet. The second octet contains bit 5 to bit 0 (LSB) and two tail bits. The tail bits can be configured as zeros or a pseudorandom number sequence. The tail bits can also be used as control bits indicating overrange, SYSREF±, or fast-detect output.

The resulting two octets can be scrambled. Scrambling is optional, but enabling this function is recommended to avoid spectral spikes when similar data patterns are transmitted. These two octets are then encoded by the 8B/10B encoder. The 8B/10B encoder encodes 8 data bits into a 10-bit character. Figure 56 shows how the 14-bit data is taken from the ADC, how the tail bits are added, how the two octets are scrambled, and how the octets are encoded into two 10-bit characters.

中文： JESD204B 数据发送模块可将来自ADC 的并行数据组合成数据帧，并使用8B/10B编码以及数据加扰技术，输出串行数据。在链路初始建立过程中，使用特殊控制字符来支持链路同步；此后的同步通过数据流中嵌入的附加控制字符来维持。

SXA043 JESD204B 数据发送模块最多可映射2 个实ADC 或8 个虚拟转换器(DDC使能时)。可以配置链路以使用 1 个、2 个、4 个或 8 个 JESD204B 通道。JESD204B规范引用多个参数来定义链路，JESD204B 发射机(SXA043 输出)和 JESD204B 接收机(逻辑器件输入)的这些参数必须匹配。

JESD204B 链路可通过下列参数描述： - L=数据通路数/转换器(数据通路数/链路)(SXA043 的值为 1、2 或 4) - M=转换器数/转换器(虚拟转换器数/链路)(SXA043 的值为 1、2、4 或 8) - F=8 位字数/帧(SXA043 的值为 1、2、4、8 或 16) - N ′=每个样本的位数(JESD204B 字大小)(SXA043 的值为 8 或 16) - N=转换器分辨率(SXA043 的值为7 至 16) - CS =控制位数/样本(SXA043 的值为 0、1、2 或 3) - K=每个多帧的帧数(SXA043 的值为 4、8、12、16、20、24、28 或 32) - S=传送的样本数/单个转换器/帧周期(SXA043 的值根据 L、M、F 和N ′自动设置) - HD = 高密度模式(SXA043 根据L、M、F 和 N ′自动设置) - CF = 控制字数/帧时钟周期/转换器(SXA043 的值为 0)

图55 示出了SXA043 JESD204B 链接的简化框图。默认情况下，SXA043 配置为使用两个转换器和4 个通道。转换器A 的数据输出到SERDOUT0±，SERDOUT1±，转换器B 的数据输出到SERDOUT2±，SERDOUT3±。SXA043 允许其他配置，例如将两个转换器的输出组合到一条通道上， 或更改A 和B 数字输出路径的映射。这些模式通过 SPI 寄存器设置。

默认情况下，在 SXA043 中，每个转换器的 14 位转换器字被分成两个八位字节(八位数据)。位13(MSB)到位6 位于第一个八位位组中。第二个八位字节包含位5 到位0(LSB)和两个结束位。结束位可以配置为零或伪随机数序列。结束位也可以用于指示超量程、SYSREF±或快速检测输出的控制位。

产生的两个8 位字可以被加扰。加扰为可选项，但建议开启此功能来避免传输相似数据样式时出现的频谱尖峰。然后，这两个8 位字通过8B/10B 编码器进行编码。8B/10B 编码器将8 个数据位编码为一个10 位的字符。图56 显示14 位的数据是如何从ADC 中取出、结束位如何添加、两个8 位字如何加扰，以及8 位字如何被编码为两个10 位字符。

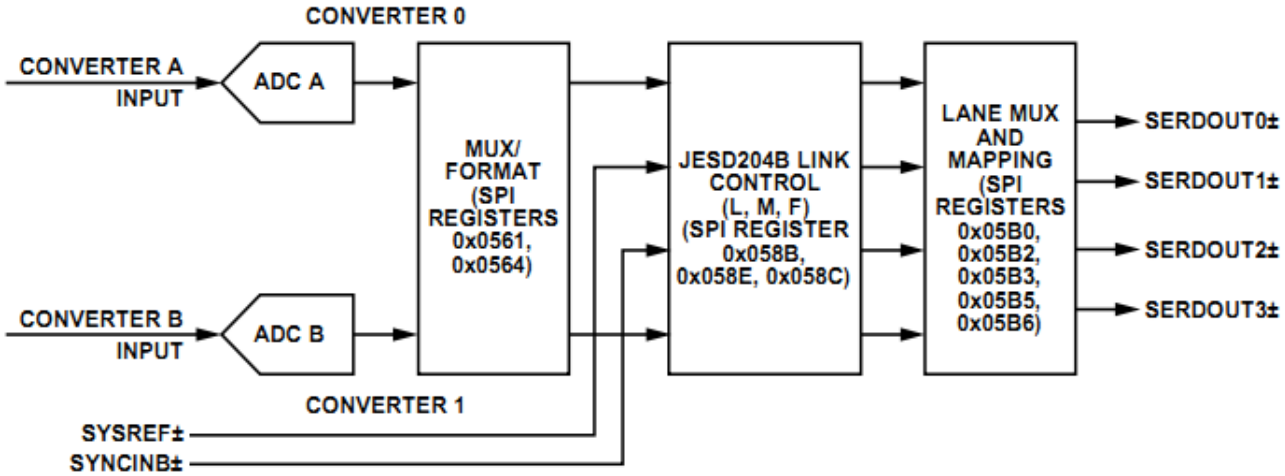


Figure 55: Simplified block diagram of the transmit link in full-bandwidth mode (register 0x0200 = 0x00)

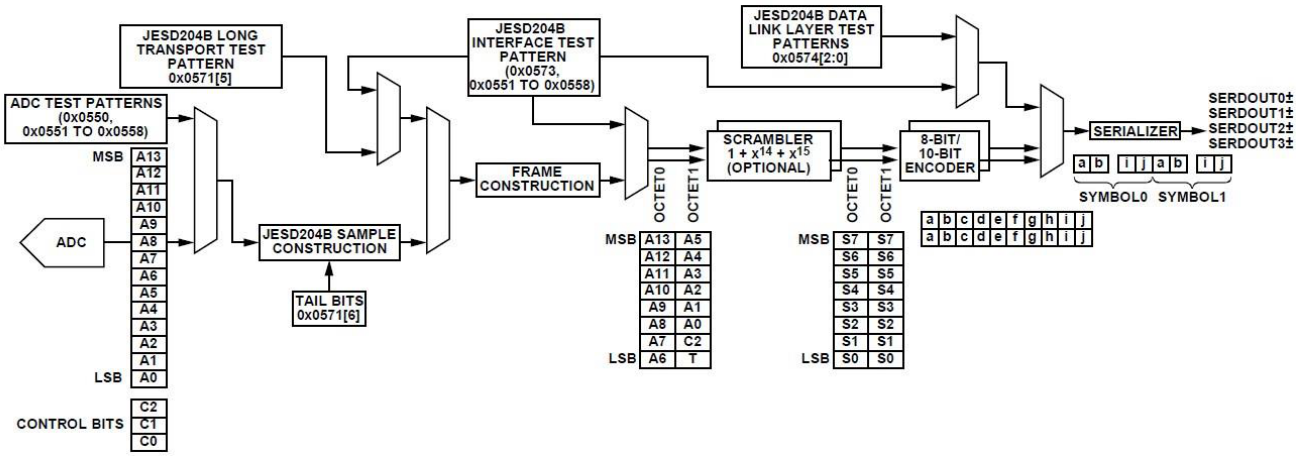


Figure 56: ADC output data path showing data frame transmission

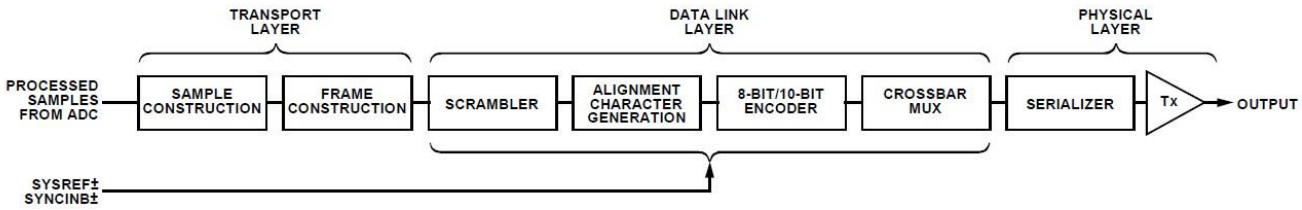


Figure 57: Data flow

English: The block diagram in Figure 57 shows the JESD204B data flow from sample input to physical output, which can be divided into the transport layer, the data link layer, and the physical layer; these layers originate from the open systems interconnection (OSI) model, widely used to describe the abstraction layers of communication systems.

中文： 图57 中的框图显示了从样本输入到物理输出的 JESD204B 数据流，可以分为传输层、数据链路层和物理层，这些层源自广泛用于描述通信系统抽象层的开源倡议(OSI)模型。

10.3 传输层 / 10.3 Transport Layer

English: The transport layer is responsible for packing the data (including samples and optional control bits) into JESD204B frames for mapping into octets. These octets are sent to the data link layer. Transport-layer matching is governed by the rules generated by the link parameters. Tail bits are added as needed to fill the gaps. The following equation can be used to determine the number of tail bits in a sample:

$$T = N' - N - CS$$

中文： 传输层负责将数据(包括样本和可选的控制位)包装为 JESD204B 帧以便映射为8位字。这些 8 位字被发送到数据链路层。传输层匹配由链路参数所产生的规则控制。根据需要添加结束位以填补空隙。可以利用下式来确定样本中的结束位数：

$$T = N'-N-CS$$

10.4 数据链路层 / 10.4 Data Link Layer

English: The data link layer is responsible for the low-level functions of transmitting data across the link, including scrambling the data (optional), inserting control characters to support multi-chip synchronization / lane alignment / monitoring, and encoding octets into 10-bit symbols. The data link

layer is also responsible for sending the initial lane alignment sequence (ILAS), which contains the link configuration data that the receiver uses to verify the transport-layer settings.

中文： 数据链路层负责通过链路传送数据的低层功能，包括加扰数据(可选)、插入控制字符以支持多芯片同步/通道对齐/监控，以及将8 位字编码为10 位符号。数据链路层还负责发送初始通道对齐序列(ILAS)，其中包含链路配置数据，接收机利用这些数据验证传输层的设置。

10.5 物理层 / 10.5 Physical Layer

English: The physical layer consists of high-speed circuits clocked at the serial clock rate. In this layer, parallel data is converted into high-speed differential serial data on 1, 2, or 4 lanes.

中文： 物理层由时钟频率为串行时钟速率的高速电路组成。在该层中，并行数据转换为1、2 或4 通道的高速差分串行数据。

10.6 JESD204B 链路建立 / 10.6 JESD204B Link Establishment

English: The SXA043 JESD204B transmitter (Tx) interface operates in Subclass 1 as defined in the JEDEC standard 204B (July 2011 specification). The link establishment process is divided into the following steps: code group synchronization and SYNCINB±, initial lane alignment sequence, user data, and error correction.

中文： SXA043 JESD204B 发射机(Tx)接口按照JEDEC 标准204B（2011 年7 月规范）中定义的子类1 中运行。链路建立过程分为以下几个步骤：码组同步和 SYNCINB±、初始通道对齐序列、用户数据和纠错。

10.6.1 代码组同步 (CGS) 和 SYNCINB± / 10.6.1 Code Group Synchronization (CGS) and SYNCINB±

English: CGS is the process by which the JESD204B receiver finds the boundaries between 10-bit characters in the data stream. During the CGS phase, the JESD204B transmit block transmits /K28.5/ characters. The receiver must use clock and data recovery (CDR) techniques to locate the /K28.5/ characters in the input data stream.

The receiver asserts the SYNCINB± pin of the SXA043 low, issuing a synchronization request. The JESD204B Tx then starts sending /K/ characters. Once the receiver has synchronized, it waits until the receiver has correctly received at least 4 consecutive /K/ symbols, and then deasserts SYNCINB±. The SXA043 then sends an ILAS at the next local multiframe clock (LMFC) boundary.

SYNCINB± pin operation can also be controlled by the SPI. By default, the SYNCINB± signal is a differential LVDS mode signal, but it can also be driven single-ended. For more information on configuring SYNCINB± pin operation, see register 0x0572.

中文： CGS 是 JESD204B 接收机找到数据流中10 位字符间边界的过程。在 CGS 阶段，JESD204B 传送模块传送/K28.5/字符。接收机必须使用时钟和数据恢复(CDR)技术，在输入数据流中定位/K28.5/字符。

接收机将SXA043 的SYNCINB±引脚置位低电平，发出一个同步请求。然后，JESD204B Tx 开始发送/K/字符。一旦接收机已同步，它便等待接收机至少正确接收4 个连续的/K/符号，然后解除置位 SYNCINB±。SXA043 接着在下一本地多帧时钟(LMFC)边界发送一个 ILAS。

SYNCINB±引脚操作也可以由 SPI 控制。默认情况下，SYNCINB±信号是一个差分 LVDS 模式信号， 但也可以单端驱动。有关配置SYNCINB±引脚操作的更多信息，参见寄存器0x0572。

10.6.2 初始通道对齐序列 (ILAS) / 10.6.2 Initial Lane Alignment Sequence (ILAS)

English: After CGS comes the ILAS, which starts at the next LMFC boundary. The ILAS consists of 4 multiframes, with the /R/ character indicating the start and the /A/ character indicating the end. The ILAS starts by sending an /R/ character, then sends one multiframe of 0-to-255 ramp data. In the second multiframe, link configuration data is sent, starting from the third character. The second character is the /Q/ character, confirming that link configuration data follows. All undefined data slots are filled with ramp data. The ILAS sequence is not scrambled.

The ILAS sequence structure is shown in Figure 58. The 4 multiframes include: - Multiframe 1, starting with the /R/ character (/K28.0/) and ending with the /A/ character (/K28.3/). - Multiframe 2, starting with the /R/ character, followed by the /Q/ (/K28.4/) character, then the link configuration parameters of 14 configuration octets (see Table 16), and finally ending with the /A/ character. - Multiframe 3, starting with the /R/ character (/K28.0/) and ending with the /A/ character (/K28.3/). - Multiframe 4, starting with the /R/ character (/K28.0/) and ending with the /A/ character (/K28.3/).

中文： CGS 之后是ILAS，它在下一LMFC 边界开始。ILAS 由4 个多帧组成，/R/字符表示开始，/A/字符表示结束。ILAS 从发送/R/字符开始，然后发送一个多帧的0 至255斜坡数据。在第二个多帧发送链路配置数据，从第三个字符开始。第二个字符是/Q/字符，用以确认随后是链路配置数据。所有未定义数据时隙都用斜坡数据填充。ILAS 序列不加扰。

ILAS 序列结构如图58 所示。4 个多帧包括： - 多帧1，以/R/字符(/K28.0/)开始，以/A/字符(/K28.3/)结束。 - 多帧2，以/R/字符开始，接着是/Q/(/K28.4/)字符，然后是 14 个配置 8 位字的链路配置参数(见表 16)，最后以/A/字符结束。 - 多帧3，以/R/字符(/K28.0/)开始，以/A/字符(/K28.3/)结束。 - 多帧4，以/R/字符(/K28.0/)开始，以/A/字符(/K28.3/)结束。

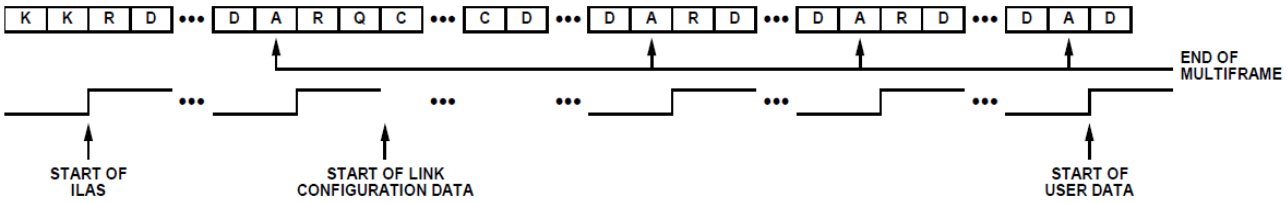


Figure 58: Initial lane alignment sequence

表 16 JESD204B 中使用的控制字符 / Table 16 Control Characters Used in JESD204B

缩写 / Abbreviation	控制符号 / Control symbol	8 位值 / 8-bit value	10 位值，RD = −1 / 10-bit value, RD = −1	10 位值，RD = +1 / 10-bit value, RD = +1	说明 / Description
/R/	/K28.0/	000 11100	001111 0100	110000 1011	多帧开始 / Multiframe start
/A/	/K28.3/	011 11100	001111 0011	110000 1100	通道对齐 / Lane alignment
/Q/	/K28.4/	100 11100	001111 0010	110000 1101	链路配置数据开始 / Link configuration data start
/K/	/K28.5/	101 11100	001111 1010	110000 0101	组同步 / Code group synchronization
/F/	/K28.7/	111 11100	001111 1000	110000 0111	帧对齐 / Frame alignment

10.6.3 用户数据和错误检测 / 10.6.3 User Data and Error Detection

English: After the initial lane alignment sequence is complete, user data is sent. In general, within a frame, all data is treated as user data. However, to monitor frame-clock and multiframe-clock synchronization, there is a mechanism to replace characters with /F/ or /A/ alignment characters when the data meets certain conditions. These conditions differ for unscrambled and scrambled data. Scrambling is enabled by default but can be disabled through the SPI.

For scrambled data, any 0xFC character at the end of a frame is replaced with /F/, and any 0xFD character at the end of a multiframe is replaced with /A/. The JESD204B receiver (Rx) checks the received data stream for /F/ and /A/ characters and verifies that they appear only in the expected positions. If an unexpected /F/ or /A/ character is found, the receiver enables dynamic realignment or asserts the SYNCINB± signal for more than four frames to initiate resynchronization. For unscrambled data, if the last characters of two consecutive frames are the same, the second character is replaced with /F/ (if it is at the end of a frame) or /A/ (if it is at the end of a multiframe).

Alignment character insertion can be modified through the SPI. Frame alignment character insertion (FACI) is enabled by default. For more information on link control, see register 0x0571.

中文： 初始通道对齐序列完成之后便发送用户数据。一般而言，在一帧以内，所有数据都被视为用户数据。然而，为了监控帧时钟和多帧时钟同步，当数据符合某些条件时，有一个机制来将字符替换为/F/或/A/对齐字符。对于未加扰和加扰的数据，这些条件是不同的。默认使能加扰操作，但可以通过SPI 禁用。

对于加扰的数据，帧末尾的任何0xFC 字符都用/F/替换，多帧末尾的任何0xFD 字符都用/A/替换。JESD204B 接收机(Rx)检查接收数据流中有无/F/和/A/字符，验证其仅出现在预期的位置。如果发现意外的/F/或/A/字符，接收机将启用动态重对齐，或置位SYNCINB±信号四帧以上以启动重新同步。对于未加扰的数据，如果两个连续帧的最后字符相同，则第二个字符将被替换为/F/(若它位于一个帧的末尾)或/A/(若它位于一个多帧的末尾)。

对齐字符的插入可通过 SPI 修改。帧对齐字符插入(FACI)默认使能。有关链路控制的更多信息，参见寄存器 0x0571。

10.6.4 8B/10B 编码器 / 10.6.4 8B/10B Encoder

English: The 8B/10B encoder converts octets into 10-bit symbols and inserts control characters into the stream when needed. The control characters used by JESD204B are shown in Table 16. 8B/10B encoding ensures DC balance of the signal by using the same number of 0s and 1s across multiple symbols. The options of the 8B/10B interface can be controlled through the SPI, including bypass and inversion.

中文： 8B/10B 编码器将8 位字转换为 10 位符号，并在需要时将控制字符插入流中。JESD204B 使用的控制字符如表 16 所示。8B/10B 编码通过在多个符号上使用相同数量的0 和1 来确保信号达到直流平衡。8B/10B 接口的选项可通过SPI 控制，包括旁路和反转。

10.7 物理层（驱动器）输出 / 10.7 Physical Layer (Driver) Output

10.7.1 数字输出、时序和控制 / 10.7.1 Digital Output, Timing, and Control

English: The SXA043 physical layer consists of the drivers specified by the JEDEC standard 204B (July 2011). Each driver uses a 100 Ω dynamic internal termination resistor to reduce reflection interference.

Placing a 100 Ω differential termination resistor at the input of each receiver achieves a nominal receiver swing of 0.85 × DRVDD1 Vp-p. The swing can be adjusted through the SPI registers. AC-coupled connection to the receiver is recommended. For more details, see register 0x05C0 to register 0x05C3.

The SXA043 digital output can interface with custom ASIC and FPGA receivers, achieving excellent switching performance in high-noise environments. A single point-to-point network topology is recommended, with the single 100 Ω differential termination resistor placed as close as possible to the receiver input. If there is no far-end receiver termination or the differential routing is poor, timing errors may result. To avoid such errors, trace lengths of less than 6 inches are recommended, with the differential output traces routed close together and of equal length. Figure 60 shows an example of a SXA043 digital output data eye diagram, jitter histogram, and bathtub curve, with the lane running at 16 Gbps. The output data format defaults to two's complement.

中文： SXA043 物理层由 JEDEC 标准 204B(2011 年7 月)所规定的驱动器组成。每个驱动器利用 100Ω 的动态内部端接电阻来降低反射干扰。

在每个接收机的输入端放置一个100Ω 差分端接电阻，可实现标称 0.85×DRVDD1Vp-p的接收机摆幅。摆幅可通过SPI 寄存器进行调整。建议使用交流耦合连接到接收器。更多详细信息，请参见寄存器 0x05C0 至寄存器 0x05C3。

SXA043 数字输出可与定制的ASIC 和FPGA 接收机接口，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将单个100Ω 差分端接电阻尽可能靠近接收机输入端放置。如果没有远端接收器端接或者差分布线很差，则可能导致时序错误。为避免此类错误，建议走线长度小于6 英寸，差分输出走线靠在一起且长度相等。图60显示了一个 SXA043 的数字输出数据眼图、抖动直方图和浴盆曲线示例，通道以16Gbps 的速度运行。输出数据的格式默认为二进制补码。

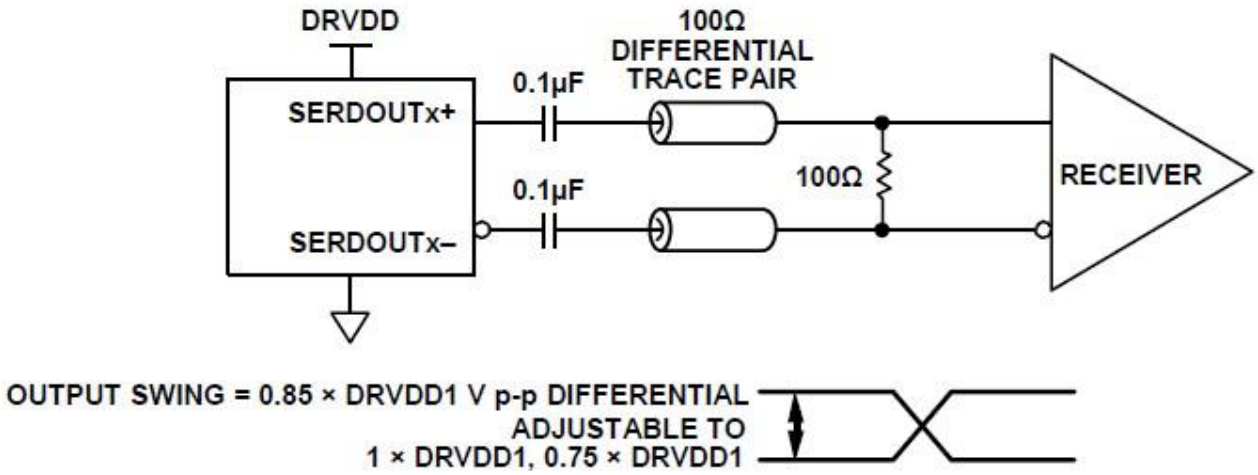


Figure 59: AC-coupled digital output termination example

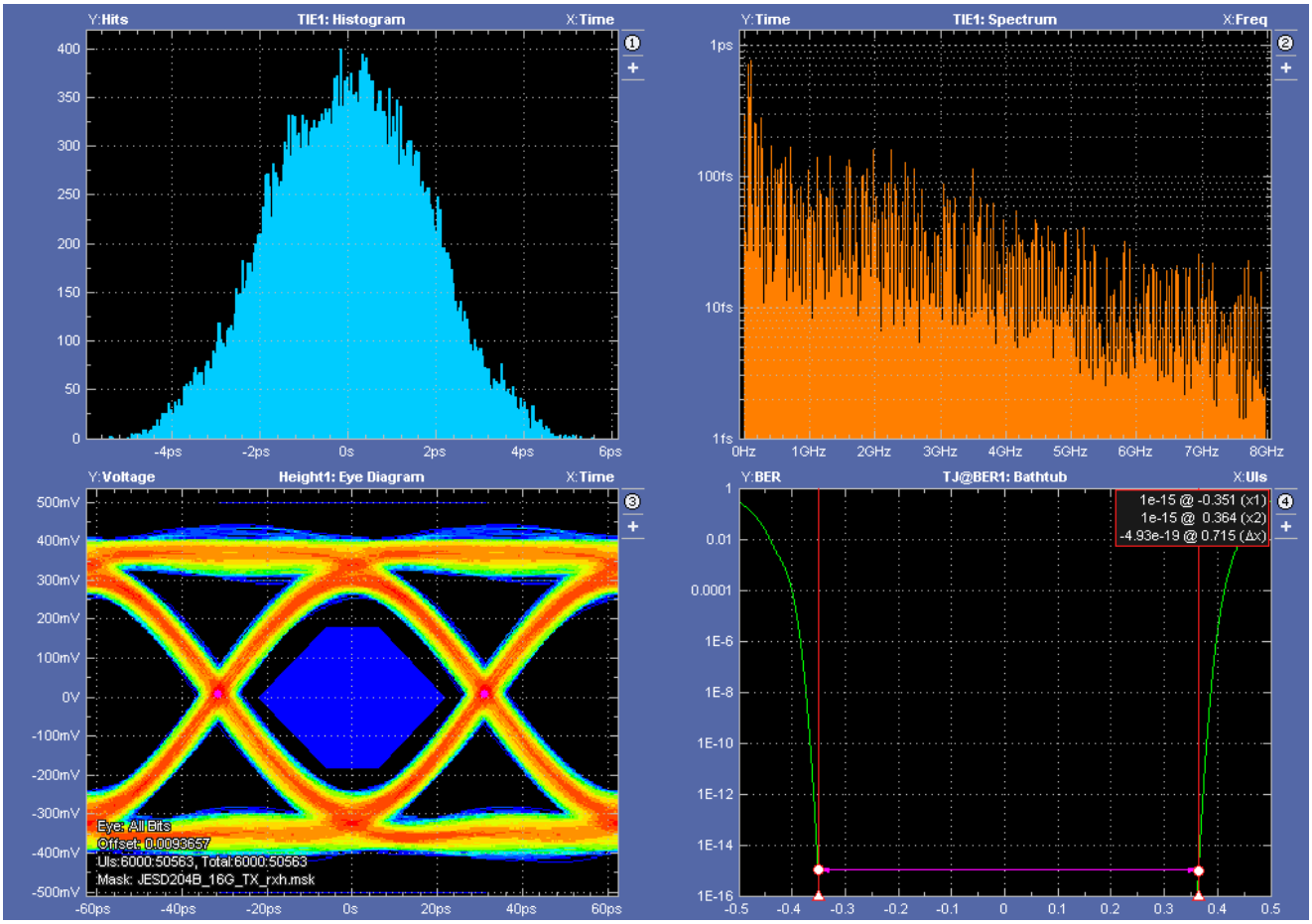


Figure 60: Digital output test results, 100 Ω termination at 16 Gbps

10.7.2 锁相环 / 10.7.2 Phase-Locked Loop (PLL)

English: The PLL generates the operating clock at the JESD204B lane rate. The PLL lock status can be checked in the PLL lock status bit (register 0x056F, bit 7). Register 0x056F also has a loss-of-lock (LOL) sticky bit (bit 3), which notifies the user that a loss of lock has been detected. The sticky bit can be reset through a JESD204B link restart (register 0x0571 = 0x15, followed by register 0x0571 = 0x14). Bits [7:4] of the JESD204B lane rate control register 0x056E must be set corresponding to the lane rate. Table 17 shows the lane rates supported by the SXA043 using register 0x056E.

Table 18 shows the JESD204B output configurations supported for a given number of virtual converters with N′ = 16. Note that the serial lane rate for a given configuration must be within the supported range of 3.4 Gbps to 15 Gbps.

中文： PLL 生成以 JESD204B 通道速率运行时钟。可以在 PLL 锁定状态位（寄存器0x056F，位7）中检查PLL 锁定状态。寄存器 0x056F 还具有失锁(LOL)粘滞位（位3），通知用户检测到失锁。可以通过JESD204B 链路重启（寄存器0x0571=0x15，随后是寄存器0x0571=0x14）来重置粘滞位。JESD204B 通道速率控制寄存器 0x056E 的位[7:4]必须设置为与通道速率相对应。表 17 显示了SXA043 使用寄存器0x056E 支持的通道速率。

表 18 显示了对于给定数量的虚拟转换器，N'=16 时支持的JESD204B 输出配置。注意确保给定配置的串行通道速率在3.4Gbps 到15Gbps 的支持范围内。

表 17 SXA043 使用寄存器 0x056E 支持的通道速率 / Table 17 Lane Rates Supported by the SXA043 Using Register 0x056E

值 / Value	Lane 速率 / Lane rate
0x00	Lane速率 = 6.75 Gbps ~ 13.5 Gbps
0x10	Lane速率 = 3.375 Gbps ~ 6.75 Gbps
0x30	Lane速率 = 13.5 Gbps ~ 15.5 Gbps（默认 / default）
0x50	Lane速率 = 1.6875 Gbps ~ 3.375 Gbps

表 18 N' = 16[1] 时 JESD204B 输出配置 / Table 18 JESD204B Output Configurations with N' = 16[1]

说明 / Legend: fOUT 为输出采样率 / fOUT is the output sampling rate.

支持的虚拟转换器数量（与 M 相同）/ Supported virtual converters (= M)	JESD204B 串行 Lane 速率[2] / Serial lane rate[2]	支持的抽取率 / Supported decimation ratios	L	M	F	S	HD	N	N'	CS	K
1	20×fOUT；10×fOUT；5×fOUT	1, 2, 3, 4, 5, 6	1	1	2	1	0	8~16	16	0~3 见注释 4 / see Note 4	—
1	20×fOUT；10×fOUT	1, 2, 3, 4, 5, 6	1	1	4	2	0	8~16	16	0~3 见注释 4	—
1	10×fOUT；5×fOUT	1, 2, 3	2	1	1	1	1	8~16	16	0~3 见注释 4	—
1	10×fOUT；5×fOUT	1	2	1	2	2	0	8~16	16	0~3 见注释 4	—
1	5×fOUT	1	4	1	1	2	1	8~16	16	0~3 见注释 4	—
1	5×fOUT	1	4	1	2	4	0	8~16	16	0~3 见注释 4	—
2	40×fOUT	1, 2, 3, 4, 5, 6, 8, 10, 12	1	2	4	1	0	8~16	16	0~3 见注释 4	—
2	40×fOUT	1, 2, 3, 4, 5, 6, 8, 10, 12	1	2	8	2	0	8~16	16	0~3 见注释 4	—
2	20×fOUT	1, 2, 3, 4, 5, 6	2	2	2	1	0	8~16	16	0~3 见注释 4	—
2	20×fOUT	1, 2, 3, 4, 5, 6	2	2	4	2	0	8~16	16	0~3 见注释 4	—
2	10×fOUT	1, 2, 3	4	2	1	1	1	8~16	16	0~3 见注释 4	—
2	10×fOUT	1, 2, 3	4	2	2	2	0	8~16	16	0~3 见注释 4	—
4	80×fOUT	2, 4, 6, 8, 16, 20, 24	1	4	8	1	0	8~16	16	0~3 见注释 4	—
4	40×fOUT	1, 2, 3, 4, 5, 6, 8, 10, 12	2	4	4	1	0	8~16	16	0~3 见注释 4	—
4	40×fOUT	1, 2, 3, 4, 5, 6, 8, 10, 12	2	4	8	2	0	8~16	16	0~3 见注释 4	—
4	20×fOUT	1, 2, 3, 4, 5, 6	4	4	2	1	0	8~16	16	0~3 见注释 4	—

支持的虚拟转换器数量（与 M 相同）/ Supported virtual converters (= M)	JESD204B 串行 Lane 速率[2] / Serial lane rate[2]	支持的抽取率 / Supported decimation ratios	L	M	F	S	HD	N	N'	CS	K
4	20×fOUT	1, 2, 3	4	4	4	2	0	8~16	16	0~3 见注释 4	—

1 由于内部时钟要求，某些链路参数仅支持某些抽取率。/ Due to internal clock requirements, certain link parameters support only certain decimation ratios. 2 fADC_CLK 为 ADC 采样率；DCM = 芯片抽取率；fOUT 为输出采样率 = fADC_CLK/DCM；SLR 是 JESD204B 串行通道速率。由于内部时钟分频器要求，必须满足以下等式：SLR ≥ 1.6875 Gbps 且 SLR ≤ 15.5 Gbps；SLR/40 ≤ fADC_CLK；最小公倍数(20×DCM×fOUT/SLR, DCM) ≤ 64。当 SLR ≤ 15500 Mbps 且 > 13500 Mbps 时，寄存器 0x056E 必须设置为 0x30。当 SLR ≤ 13500 Mbps 和 ≥ 6750 Mbps 时，寄存器 0x056E 必须设置为 0x00。当 SLR < 6750 Mbps 且 ≥ 3375 Mbps 时，寄存器 0x056E 必须设置为 0x10。当 SLR < 3375 Mbps 且 ≥ 1687.5 Mbps 时，寄存器 0x056E 必须设置为 0x50。/ fADC_CLK is the ADC sampling rate; DCM = chip decimation ratio; fOUT is the output sampling rate = fADC_CLK/DCM; SLR is the JESD204B serial lane rate. Due to internal clock divider requirements, the following must hold: SLR ≥ 1.6875 Gbps and SLR ≤ 15.5 Gbps; SLR/40 ≤ fADC_CLK; LCM(20×DCM×fOUT/SLR, DCM) ≤ 64. When 13500 Mbps < SLR ≤ 15500 Mbps, register 0x056E must be set to 0x30. When 6750 Mbps ≤ SLR ≤ 13500 Mbps, register 0x056E must be set to 0x00. When 3375 Mbps ≤ SLR < 6750 Mbps, register 0x056E must be set to 0x10. When 1687.5 Mbps ≤ SLR < 3375 Mbps, register 0x056E must be set to 0x50. 3 JESD204B 传输层说明如下：L 为每个转换器设备的通道数（lanes per link）；M 是每个转换器设备的虚拟转换器数（每个链路的虚拟转换器）；F 是每帧的八位字节；S 是每个虚拟转换器每个帧周期传输的样本；HD 是高密度模式；N 是虚拟转换器分辨率（以位为单位）；N' 是每个样本的总位数（JESD204B 字长）；CS 是每个转换样本的控制位数；K 是每个多帧的帧数。/ The JESD204B transport layer is described as follows: L is the number of lanes per converter device (lanes per link); M is the number of virtual converters per converter device (virtual converters per link); F is the number of octets per frame; S is the number of samples transmitted per virtual converter per frame period; HD is high-density mode; N is the virtual converter resolution (in bits); N' is the total number of bits per sample (JESD204B word size); CS is the number of control bits per conversion sample; K is the number of frames per multiframe. 4 仅支持可被 4 整除的有效 K×F 值：对于 F = 1，K = 20、24、28、32；对于 F = 2，K = 12、16、20、24、28、32；对于 F = 4，K = 8、12、16、20、24、28、32；对于 F = 8，K = 4、8、12、16、20、24、28、32；对于 F = 16，K = 4、8、12、16、20、24、28、32。/ Only valid K×F values divisible by 4 are supported: for F = 1, K = 20, 24, 28, 32; for F = 2, K = 12, 16, 20, 24, 28, 32; for F = 4, K = 8, 12, 16, 20, 24, 28, 32; for F = 8, K = 4, 8, 12, 16, 20, 24, 28, 32; for F = 16, K = 4, 8, 12, 16, 20, 24, 28, 32.

English: Example 1: ADC with DDC option (two ADCs and two DDCs). This example shows the flexibility of the SXA043 digital and lane configuration. The sampling rate is 1.3 GSPS; however, depending on the input/output speed capability of the receiving device, all outputs are combined onto two or four lanes. The setup is shown in Figure 61, with the following configuration: - Two 1.3 GSPS, 14-bit converters - Two DDC application-layer modes with complex output (I/Q) - Chip decimation ratio = 8 - DDC decimation ratio = 8

The JESD204B output configuration is as follows: - Virtual converters required = 4 - Output sampling rate (fOUT) = 1.3 GSPS / 8 = 162.5 MSPS

The supported JESD204B output configurations include the following: - N' = 16 bits - N = 14 bits - L = 2, M = 4, F = 4 or L = 4, M = 4, F = 2 - CS = 0 - K = 32 - Output serial lane rate = 6.5 Gbps per lane (L = 2) or 3.25 Gbps per lane (L = 4)

For L = 2, set PLL control register 0x056E to 0x10. For L = 4, set PLL control register 0x056E to 0x50.

中文： 示例1：带DDC 选项的ADC(两个ADC 和两个DDC)，此示例展示了SXA043 的数字和通道配置的灵活性。采样率为1.3GSPS；但是，根据接收设备的输入/输出速度能力，输出全部组合在两个或四个通道中。设置如图61，具有以下配置： - 两个1.3GSPS 的14 位转换器 - 具有复数输出(I/Q)的两个 DDC 应用层模式 - 芯片抽取比=8 - DDC 抽取比=8

JESD204B 输出配置如下： - 所需虚拟转换器=4 - 输出采样率(fOUT)= 1.3GSPS/8 =162.5MSPS

JESD204B 支持的输出配置包括以下内容： - N'=16 位 - N=14 位 - L=2，M=4，F=4 或 L=4，M=4，F=2 - CS=0 - K=32 - 输出串行线路速率=每通道6.5Gbps (L=2)或每通道3.25Gbps (L=4)

对于 L=2，将PLL 控制寄存器0x056E 设置为0x10。 对于 L=4，将PLL 控制寄存器0x056E 设置为0x50。

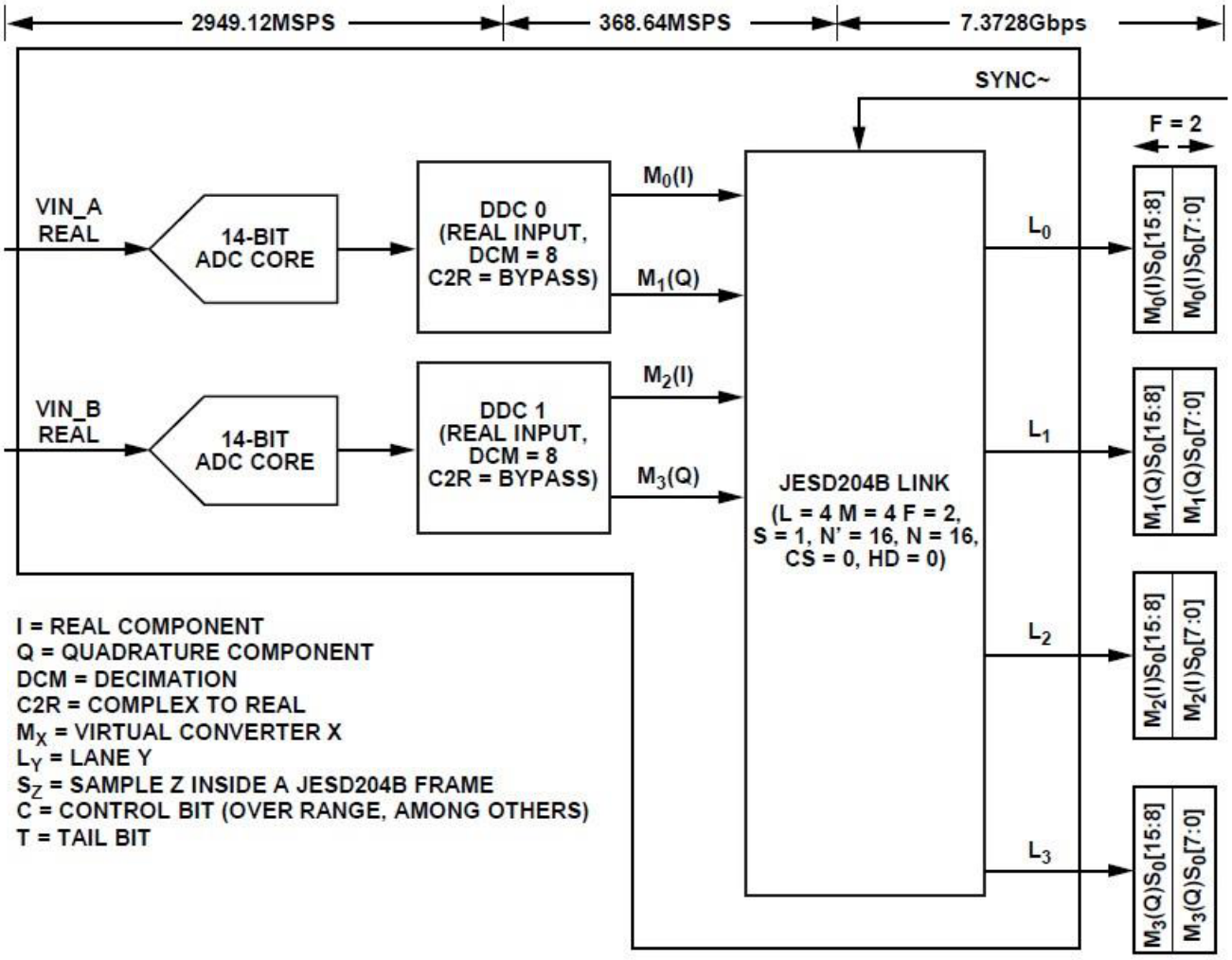


Figure 61: Two ADCs and two DDCs

10.8 确定性延迟 / 10.8 Deterministic Latency

English: The SXA043 supports JESD204B Subclass 0 and Subclass 1 operation. Bits [7:5] of register 0x0590 set the subclass mode, whose default setting is Subclass 1 operation mode (register 0x590, bit 5 = 1).

中文： SXA043 支持JESD204B 子类0 和子类1 操作。寄存器0x0590 位[7:5]设置子类模式，其默认设置为子类1操作模式(寄存器 0x590，位 5=1）。

10.8.1 子类 0 操作 / 10.8.1 Subclass 0 Operation

English: If multi-chip synchronization is not required when operating in Subclass 0 mode (register 0x590, bits [7:5] = 000), the SYSREF input can be disconnected. In this mode, the JESD204B clock relationship between the JESD204B transmitter and receiver is arbitrary, but this does not affect the receiver's ability to capture and align the lanes within the link.

中文： 如果在子类0 模式（寄存器 0x590，位[7:5]=000）下操作时不需要多芯片同步，则可以断开SYSREF输入。在这种模式下，JESD204B发送器和接收器之间的JESD204B时钟关系是任意的，但不影响接收器捕获和对齐链路内的通道的能力。

10.8.2 子类 1 操作 / 10.8.2 Subclass 1 Operation

English: The JESD204B protocol organizes data samples into octets, frames, and multiframes, as described in the transport layer section. The LMFC is synchronized with the start of these multiframes. In Subclass 1 operation, the SYSREF signal is used to synchronize the LMFC of each device in the link or across multiple links, as shown in Figure 62. The JESD204B receiver uses multiframe boundaries and buffering to achieve a fixed latency across lanes (and even multiple devices), and across power cycles and link reset conditions.

中文： JESD204B 协议将数据样本组织成八位字节、帧和多帧，如传输层部分所述。LMFC与这些多帧的开始同步。在子类 1 操作中，SYSREF 信号用于同步链路中或跨多个链路的每个设备的LMFC，如图62 所示。JESD204B 接收器使用多帧边界和缓冲来实现跨通道 (甚至多个设备)，并实现电源周期和链路重置条件之间的固定延迟。

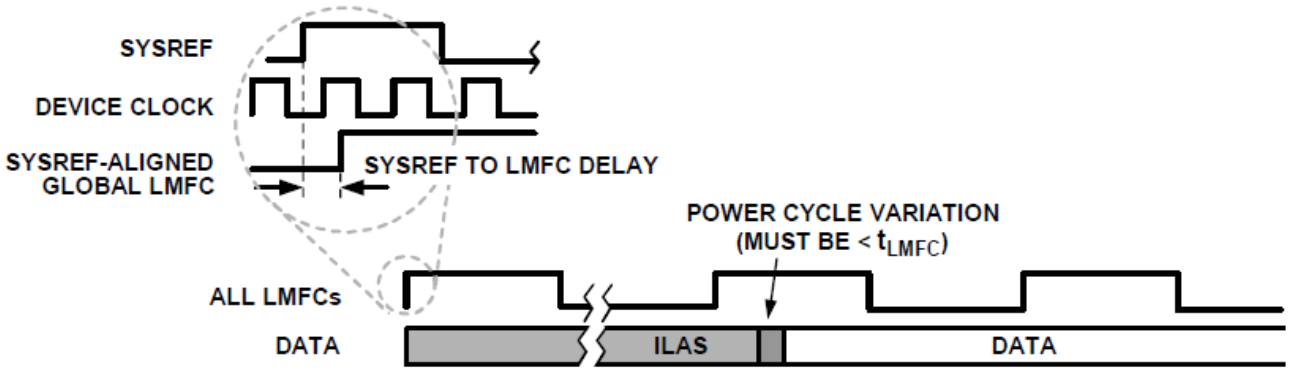


Figure 62: SYSREF and LMFC

10.8.3 确定性延迟要求 / 10.8.3 Deterministic Latency Requirements

English: Achieving deterministic latency in a JESD204B Subclass 1 system requires several key factors. 1) The SYSREF± signal distribution skew within the system must be less than the uncertainty required by the system. 2) Each device in the system must meet the SYSREF± setup and hold time requirements. 3) The total latency variation across all lanes, links, and devices must be ⩽ 1 LMFC period. This total latency includes the variable delay and the variation of the fixed delay in the system from lane to lane, link to link, and device to device.

中文： 在 JESD204B 子类 1 系统中实现确定性延迟需要几个关键因素。 1）系统内的 SYSREF±信号分布偏斜必须小于系统所需的不确定性。 2）系统中的每个设备都必须满足 SYSREF±设置和保持时间要求。 3）所有通道、

链路和设备的总延迟变化必须≤ 1 LMFC 周期。该总延迟包括可变延迟和系统中从通道到通道、链路到链路以及设备到设备的固定延迟的变化。

10.8.4 设置确定性延迟寄存器 / 10.8.4 Setting the Deterministic Latency Registers

English: The JESD204B receive buffer in the logic device buffers data starting on an LMFC boundary. If the total link latency in the system is close to an integer multiple of the LMFC period, the data arrival time at the receive buffer may coincide with the LMFC boundary from one power cycle to the next. To ensure deterministic latency in this case, an LMFC phase adjustment must be performed at the transmitter or the receiver. Usually, the LMFC of the receiver is adjusted to accommodate the receive buffer timing. In the SXA043, this adjustment can be made using the LMFC offset register (register 0x0578, bits [4:0]). This register delays the LMFC in frame-clock increments, depending on the F parameter (the number of octets per frame per lane). For F = 1, every fourth setting (0, 4, 8, etc.) is valid and results in a four-frame-clock offset. For F = 2, every other setting (0, 2, 4, etc.) is valid and results in a two-frame-clock offset. For all other values of F, each setting results in a one-frame-clock offset. As shown in Figure 63, when the link latency is close to an LMFC boundary, the local LMFC of the SXA043 can be adjusted to delay the data arrival time at the receiver. Figure 64 shows how the LMFC of the receiver is delayed to accommodate the receive buffer timing.

If the total latency in the system is not close to an integer multiple of the LMFC period, or if the LMFC phase has already been properly adjusted at the clock source, there can still be variable latency from one power cycle to the next. In this case, check whether the SYSREF setup and hold time requirements are not met by reading the SYSREF setup/hold monitor register (register 0x0128). This function is fully described in the SYSREF± setup/hold monitor section. If reading register 0x0128 shows a problem, the phase of SYSREF and/or the device clock (CLK±) may need to be adjusted.

中文： 逻辑设备中的 JESD204B 接收缓冲器缓冲在 LMFC 边界上开始的数据。如果系统中的总链路等待时间接近LMFC 周期的整数倍，则从一个电源周期到下一个电源周期，接收缓冲器处的数据到达时间可能与 LMFC 边界重叠。为了确保这种情况下的确定性延迟，必须在发射机或接收机处执行 LMFC 的相位调整。通常，对接收器的LMFC进行调整以适应接收缓冲区。在 SXA043 中，可以使用LMFC 偏移寄存器 (寄存器0x0578，位[4:0])进行此调整。此寄存器以帧时钟增量延迟LMFC，具体取决于 F 参数（每帧每通道的八位字节数）。对于 F=1，每四个设置（0、4、8 等）有效并导致四帧时钟偏移。对于F=2，所有其它设置（0、2、4 等）均有效，并导致两帧时钟偏移。对于F 的所有其他值，每个设置都会导致一帧时钟偏移。如图63 显示，当链路延迟接近LMFC 边界时，SXA043 的本地LMFC 可以调整以延迟数据到达接收器的时间。图64 显示了接收器的LMFC 如何延迟以适应接收缓冲区时序。

如果系统中的总延迟未接近LMFC 周期的整数倍，或者如果已经对时钟源处的LMFC 相位进行了适当的调整，则仍然可以具有从一个电源周期到下一个电源周期的可变延迟。在这种情况下，请通过读取SYSREF 建立/保持监视器寄存器 (寄存器0x0128)来检查是否未满足SYSREF 的建立和保持时间要求。此功能在SYSREF±建立/保持监视器部分中有完整描述。如果读取寄存器0x0128 显示出现问题，则可能需要调整SYSREF 和/或器件时钟(CLK±)的相位。

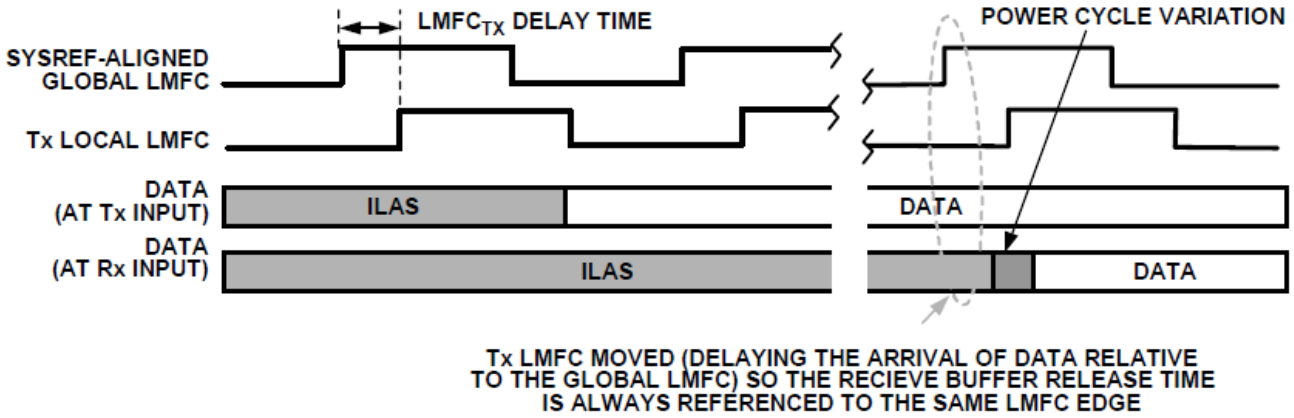


Figure 63: Adjusting the JESD204B Tx LMFC in the SXA043

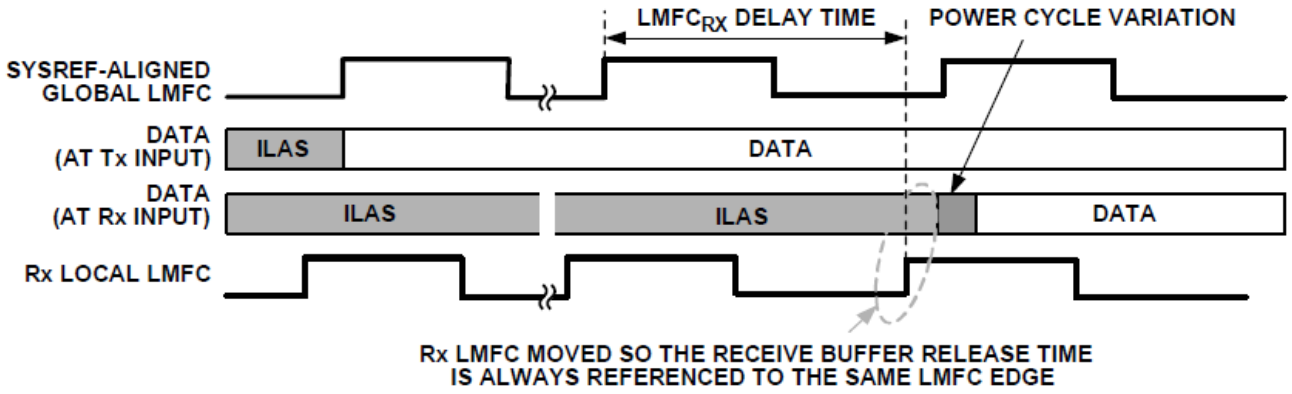


Figure 64: Adjusting the JESD204B Rx LMFC in the receiving device

11、多芯片同步设置 / 11. Multi-Chip Synchronization Setup

English: The flowchart in Figure 65 describes the internal mechanism used for multi-chip synchronization in the SXA043. The synchronization mode bit (bit 0) in register 0x1FF determines the synchronization mode, and each mode involves a different application of the SYSREF signal.

中文： 图65 中的流程图描述了SXA043 中用于多芯片同步的内部机制。寄存器 0x1FF中的同步模式位 (位 0)确定同步模式，每种方式都涉及 SYSREF 信号的不同应用。

11.1 正常模式 / 11.1 Normal Mode

English: The default state of the synchronization mode bit is 0x0, which configures the SXA043 to normal synchronization mode. The JESD204B standard specifies the use of SYSREF to provide deterministic latency in a single link. When applied to systems with multiple converters and logic devices, it can also provide multi-chip synchronization. In Figure 65, this synchronization mode is called normal mode. Follow the process outlined in the figure to ensure that the SXA043 is properly configured.

中文： 同步模式位的默认状态为0x0，这将配置SXA043 为正常同步模式。JESD204B 标准指定使用SYSREF 在单个链路中提供确定性延迟。当应用于具有多个转换器和逻辑器件的系统时，也可以提供多芯片同步。图65 中，该同步模式被称为正常模式。按照图中概述的过程，确保适当地配置SXA043。

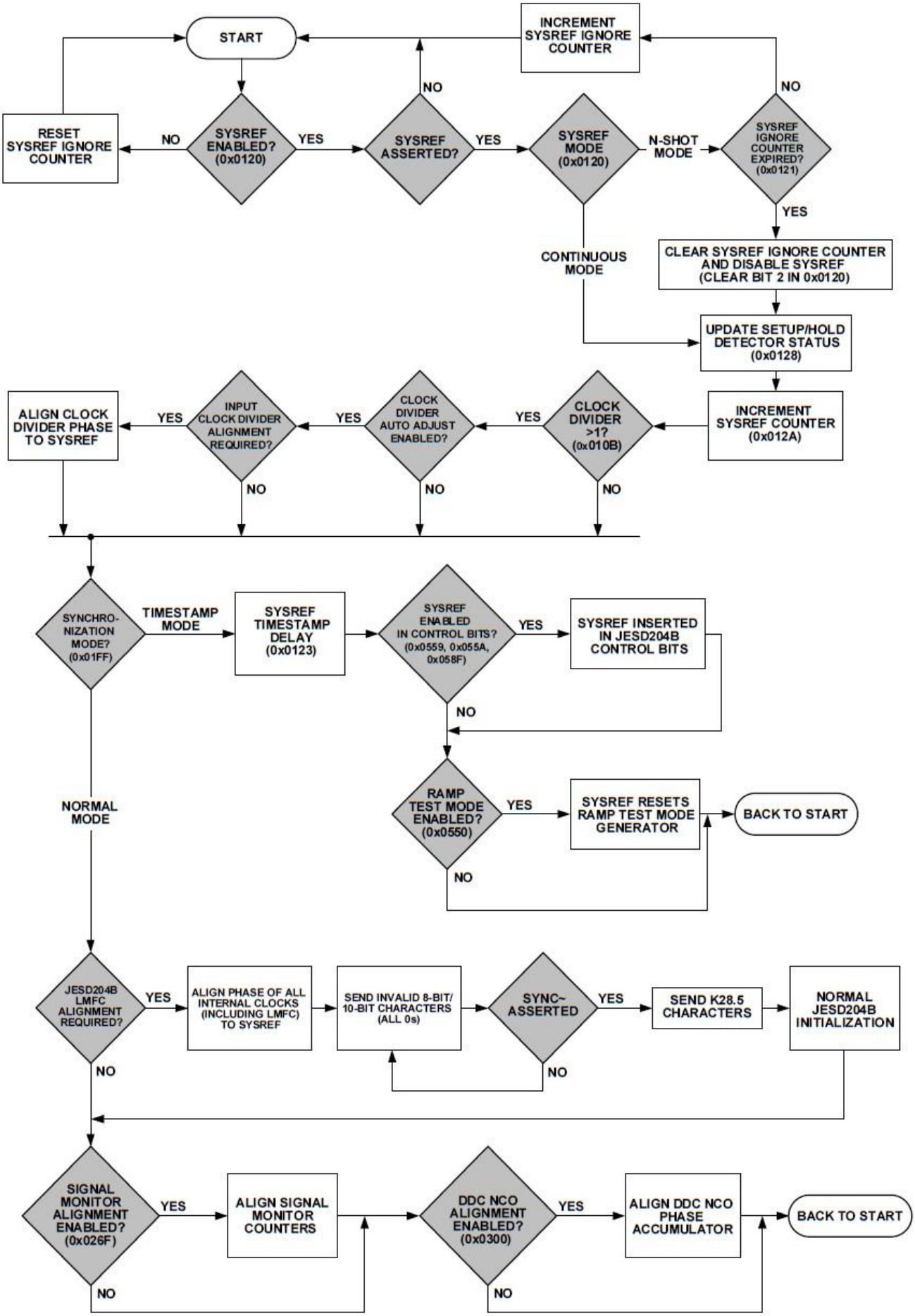

START
INCREMENT SYSREF IGNORE COUNTER
RESET SYSREF IGNORE COUNTER
SYSREF ENABLED? (0x0120)
NO
YES
SYSREF ASSERTED?
NO
YES
SYSREF MODE (0x0120)
N-SHOT MODE
SYSREF IGNORE COUNTER EXPIRED? (0x0121)
NO
YES
CONTINUOUS MODE
CLEAR SYSREF IGNORE COUNTER AND DISABLE SYSREF (CLEAR BIT 2 IN 0x0120)
UPDATE SETUP/HOLD DETECTOR STATUS (0x0128)
INCREMENT SYSREF COUNTER (0x012A)
CLOCK DIVIDER >1? (0x010B)
YES
NO
CLOCK DIVIDER AUTO ADJUST ENABLED?
YES
NO
INPUT CLOCK DIVIDER ALIGNMENT REQUIRED?
YES
NO
ALIGN CLOCK DIVIDER PHASE TO SYSREF
SYNCHRO-NIZATION MODE? (0x01FF)
TIMESTAMP MODE
SYSREF TIMESTAMP DELAY (0x0123)
SYSREF ENABLED IN CONTROL BITS? (0x0559, 0x055A, 0x058F)
YES
SYSREF INSERTED IN JESD204B CONTROL BITS
NO
NORMAL MODE
RAMP TEST MODE ENABLED? (0x0550)
YES
SYSREF RESETS RAMP TEST MODE GENERATOR
BACK TO START
NO
JESD204B LMFC ALIGNMENT REQUIRED?
YES
NO
ALIGN PHASE OF ALL INTERNAL CLOCKS (INCLUDING LMFC) TO SYSREF
SEND INVALID 8-BIT/ 10-BIT CHARACTERS (ALL 0s)
SYNC~ ASSERTED
YES
NO
SEND K28.5 CHARACTERS
NORMAL JESD204B INITIALIZATION
SIGNAL MONITOR ALIGNMENT ENABLED? (0x026F)
YES
NO
ALIGN SIGNAL MONITOR COUNTERS
DDC NCO ALIGNMENT ENABLED? (0x0300)
YES
NO
ALIGN DDC NCO PHASE ACCUMULATOR
BACK TO START

Figure 65: SYSREF capture scenarios and multi-chip synchronization

11.2 时间戳模式 / 11.2 Timestamp Mode

English: For the SXA043 full-bandwidth mode, the SYSREF input can also be used to timestamp samples. Timestamping is another multi-chip synchronization method. Timestamping is particularly effective when synchronizing multiple devices to one or more logic devices; the logic device only needs to buffer the data streams, identify the timestamped samples, and align them. When the synchronization mode bit (register 0x01FF, bit 0) is set to 0x1, timestamp mode is enabled. In this mode, SYSREF resets the sample divider and the JESD204B clock, while the clock is not reset ; instead, the corresponding sample is timestamped using a JESD204B control bit of that sample. To operate in timestamp mode, the following additional settings are required: - Continuous or N-shot SYSREF must be enabled (the value of bits [2:1] of register 0x0120 is 1 or 2). - At least one control bit must be enabled (the value of bits [7:6] of register 0x058F is 1, 2, or 3). - Set the function of one of the control bits to SYSREF, as follows: - If control bit 0 is used, register 0x0559 bits [3:0] = 5. - If control bit 1 is used, register 0x0559 bits [7:4] = 5. - If control bit 2 is used, register 0x055A bits [3:0] = 5.

Figure 66 shows how an input sample coincident with SYSREF is timestamped and ultimately output from the ADC. In this example, there are two control bits, and control bit 0 indicates which sample coincides with the rising edge of SYSREF.

The pipeline latency of each channel is the same. If needed, the SYSREF timestamp delay register (register 0x0123) can be used to adjust the timing of the timestamped sample. Any SXA043 operating mode using decimation does not support timestamping.

中文： 对于SXA043 全带宽模式，SYSREF 输入也可用于时间戳样本。时间戳是另一种多芯片同步方法。当将多个设备同步到一个或多个逻辑设备时，时间戳特别有效，逻辑设备只需缓冲数据流，识别带有时间戳的样本并对齐它们。当同步模式位(寄存器0x01FF，位0)设置为0x1，时间戳模式使能。在此模式下，SYSREF 重置采样分频器和JESD204B 时钟，而时钟不被重置；相反，使用该样本的JESD204B 控制位对相应样本进行时间戳标记。要在时间戳模式下操作，需要以下附加设置： - 必须启用连续或 N-shot SYSREF(寄存器 0x0120，位[2:1]的值为 1 或 2)。 - 必须至少启用一个控制位(寄存器 0x058F，位[7:6]的值为 1、2 或 3)。 - 将其中一个控制位的功能设置为 SYSREF，如下所示： - 如果使用控制位 0，寄存器 0x0559 位[3:0]=5。 - 如果使用控制位 1，寄存器 0x0559 位[7:4]=5。 - 如果使用控制位 2，寄存器 0x055A 位[3:0]=5。

图66 显示了与SYSREF 一致的输入样本是如何被打上时间戳并最终从ADC 输出的。在该示例中，存在两个控制位，并且控制位 0 指示哪个样本与 SYSREF 上升沿一致。

每个通道的流水线延迟是相同的。如果需要，可以使用SYSREF 时间戳延迟寄存器(寄存器0x0123)来调整带有时间戳的样本的时序。任何使用抽取的SXA043 操作模式都不支持时间戳。

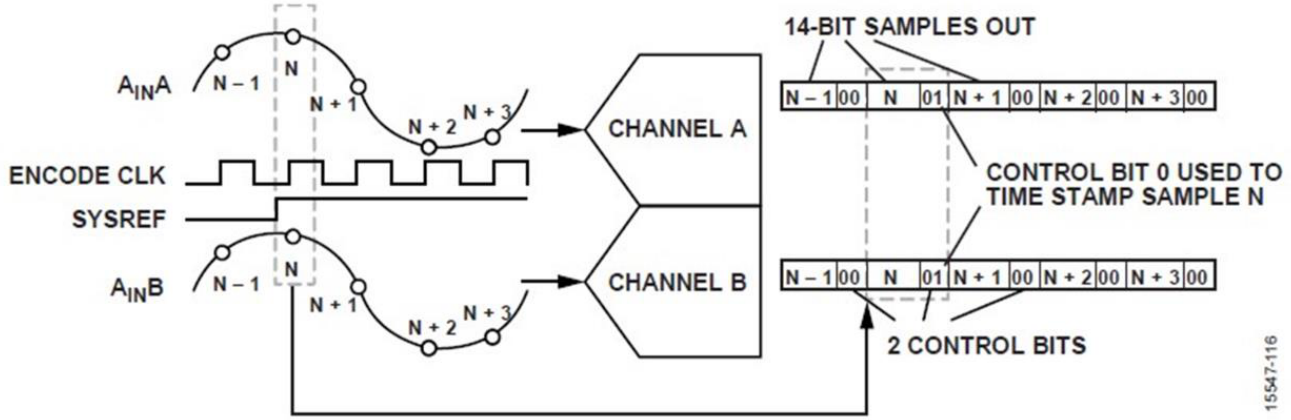


Figure 66: Timestamp CS = 2 (register 0x058F, bits [7:6] = 2), control bit 0 is SYSREF (register 0x0559, bits [3:0] = 5)

11.3 SYSREF 输入 / 11.3 SYSREF Input

English: The SYSREF input signal serves as the high-accuracy system reference for deterministic latency and multi-chip synchronization. The SXA043 accepts one-shot or periodic input signals. The SYSREF mode select bits (register 0x0120, bits [2:1]) select the input signal type and, when set, activate the SYSREF state machine. If in one-shot (or N-shot) mode (register 0x0120, bits [2:1] = 2), the SYSREF mode select bits self-clear after the proper SYSREF edge is detected. The minimum pulse width is two CLK± cycles. If the clock divider (register 0x010B, bits [3:0]) is set to a value other than divide-by-1, multiply this minimum pulse-width requirement by the division ratio (for example, if set to divide-by-8, the minimum pulse width is 16 CLK± cycles). When a continuous SYSREF signal is used (register 0x0120, bits [2:1] = 1), the period of the SYSREF signal must be an integer multiple of the LMFC. The LMFC can be derived from the following formula:

LMFC = ADC clock / (S × K)

Where: S is the number of samples per converter. K is the number of frames per multiframe.

When in sample synchronization mode (normal mode, register 0x01FF, bit 0 = 0x0), the input clock divider, DDC, signal monitor, and JESD204B link are all synchronized using the SYSREF± input. The SYSREF± input can also be used to timestamp ADC samples or to provide synchronization for multiple SXA043 devices. To obtain the highest level of timing accuracy, SYSREF± must meet the setup and hold requirements relative to the CLK± input.

中文： SYSREF 输入信号用作确定性延迟和多芯片同步的高精度系统参考。SXA043 接受单次或周期性输入信号。SYSREF 模式选择位(寄存器0x0120，位[2:1])选择输入信号类型，并在设置时激活SYSREF 状态机。如果处于单次(或N)模式下，(寄存器0x0120，位[2:1]=2)，当检测到适当的SYSREF 边沿后， SYSREF 模式选择位自清零。脉冲宽度的最小宽度为两个CLK±周期。如果时钟分频器（寄存器 0x010B，位[3:0]）设置为1 分频以外的值，则将此最小脉冲宽度要求乘以分频比（例如，如果设置为8 分频，则最小脉冲宽度为16 个CLK±周期）。当使用连续的SYSREF 信号（寄存器0x0120，位[2:1]=1）时，SYSREF 信号的周期必须是 LMFC 的整数倍。LMFC 可以用以下公式推导出：

LMFC = ADC 时钟/（S × K）

其中：S 是每个转换器的采样数。K 是每个多帧的帧数。

当处于采样同步模式(正常模式，寄存器0x01FF，位0=0x0)时，输入时钟分频器、DDC、信号监视器和JESD204B 链路都使用SYSREF±输入进行同步。SYSREF±输入也可用于对ADC 样本进行时间戳或提供用于多个SXA043 设备的同步。为了获得最高级别的定时精度，SYSREF±必须满足相对于CLK±输入的建立和保持要求。

11.4 SYSREF 控制功能 / 11.4 SYSREF Control Functions

English: SYSREF is used together with the input clock (CLK) as part of the synchronization timing interface and must meet setup and hold time requirements of −65 ps and 95 ps relative to CLK (see Figure 67). The SXA043 has several functions that can help customers meet these requirements. First, the SYSREF sampling event can be defined as a synchronous low-to-high transition or a synchronous high-to-low transition.

The SXA043 allows the SYSREF signal to be sampled using the rising or falling edge of the input clock. Figures 67 to 70 show all four possible combinations. The SXA043 has the ability to ignore a programmable number of SYSREF events (up to 16). (The SYSREF ignore function is enabled by setting bits [2:1] of the SYSREF mode register 0x0120 to 2'b10, which is marked as N-shot mode.) This function is very useful for handling periodic SYSREF signals that need time to stabilize after start-up. Ignoring SYSREF before the clock in the system is stable can avoid inaccurate SYSREF triggering. Figure 71 shows an example when three SYSREF events are ignored.

In continuous SYSREF mode (register 0x0120, bits [2:1] = 1), the SXA043 monitors the position of the internal LMFC relative to the SYSREF edge. If SYSREF is captured with a clock edge other than the clock edge aligned with the LMFC, the SXA043 initiates resynchronization of the link. Because the input clock rate of the SXA043 can be up to 2 GHz, the SXA043 provides another SYSREF-related function that can accommodate periodic SYSREF signals when cycle-accurate capture is not feasible or not required. For this case, the SXA043 has a programmable SYSREF offset window that allows the internal divider to remain undisturbed unless SYSREF appears outside the offset window. The SYSREF skew window resolution is set within a sample-clock period. If the SYSREF negative skew window is 1 and the positive skew window is 1, the total skew window is ±1 sample-clock period, which means that as long as SYSREF is captured within ±1 sample-clock period of the clock aligned with the LMFC, the link continues to operate normally. If SYSREF has jitter, which may cause misalignment between SYSREF and the LMFC, this function allows the system to continue operating without resynchronization, while letting the device continue to monitor larger timing errors not caused by jitter. For the SXA043, the positive and negative skew windows are controlled by SYSREF (register 0x0122, bits [3:2]) and SYSREF (register 0x0122, bits [1:0]). Figure 72 shows the position information of the offset window setting relative to internal divider phase 0. Negative skew is defined as occurring before the internal divider reaches phase 0, and positive skew is defined as occurring after the internal divider reaches phase 0.

中文： SYSREF 与输入时钟(CLK)一起用作同步时序接口的一部分，并且需要满足相对于CLK 的-65ps 和95ps 的建立和保持时间要求(参见图67)。SXA043 具有几个功能，可帮助客户满足这些要求。首先，SYSREF 采样事件可以定义为同步的低电平到高电平转换或同步的高电平到低电平转换。

SXA043 允许使用输入时钟的上升沿或下降沿对 SYSREF 信号进行采样。图67 -图70 示出了所有四种可能的组合。SXA043 具有忽略 SYSREF 事件的可编程数量(最多16 个)能力。(通过将 SYSREF 模式寄存器0x0120，位[2:1]设置为2’b10，来启用SYSREF 忽略功能，这被标记为N-shot 模式）。此功能对于处理启动后需要时间稳定的周期性 SYSREF 信号非常有用。在系统中的时钟稳定之前忽略 SYSREF 可以避免不准确的SYSREF 触发。图71 示出了当忽略三个SYSREF 事件时的示例。

在连续 SYSREF 模式下（寄存器 0x0120，位[2:1]=1），SXA043 监控内部 LMFC 与SYSREF边沿的位置。如果 SYSREF 是用与 LMFC 对齐的时钟边沿以外的时钟边沿捕获的，则 SXA043启动链路的重新同步。因为SXA043 的输入时钟速率最高可达 2 GHz，SXA043 提供另一个与 SYSREF 相关的功能，可以在周期精确捕获不可行或不需要的情况下适应周期性 SYSREF 信号。对于这种情况，SXA043 具有可编程SYSREF 偏移窗口，允许内部分频器保持不受干扰，除非SYSREF 出现在偏移窗口之外。SYSREF 的分辨率偏斜窗口在采样时钟周期内设置。如果 SYSREF 负偏斜窗口为1，正偏斜窗口为1，则总偏斜窗口为±1 个采样时钟周期，这意味着只要 SYSREF 在与 LMFC 对齐的时钟的±1 个采样时钟周期内捕获，链路继续正常运行。如果SYSREF 有抖动，这可能会导致 SYSREF 和LMFC 之间未对齐，则此功能允许系统在没有重新同步的情况下继续运行，同时让设备继续监控不是由抖动引起的更大时序错误。对于SXA043，正负偏斜窗口由SYSREF (寄存器0x0122，位[3:2])和SYSREF(寄存器0x0122，位[1:0])控制。图72 显示了偏移窗口设置相对于内部分压器相位0 的位置信息。负偏斜定义为发生在内部分频器到达相位 0 之前，而正偏斜定义为发生在内部分频器到达相位 0 之后。

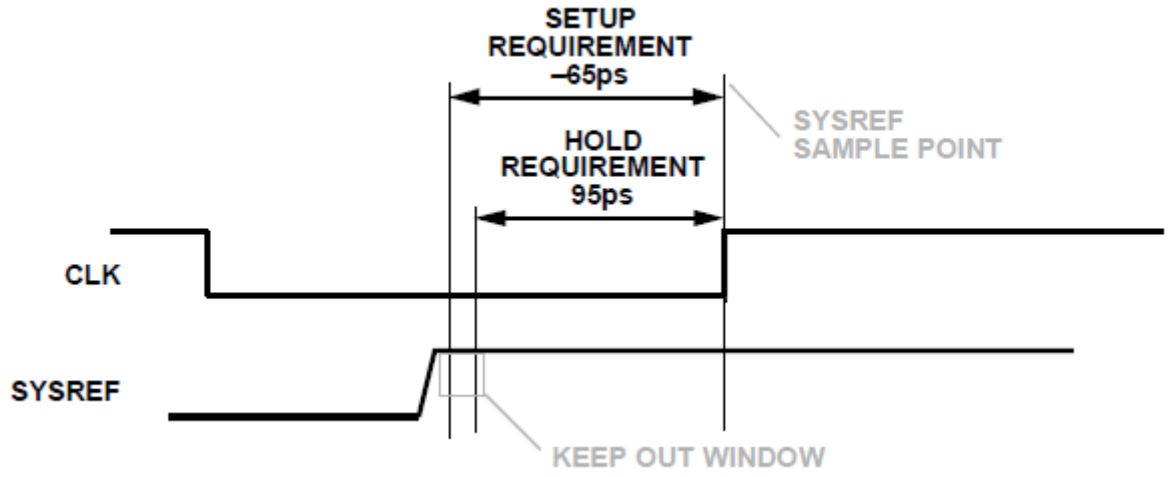


Figure 67: SYSREF setup and hold time requirements. Capturing SYSREF using the rising clock edge

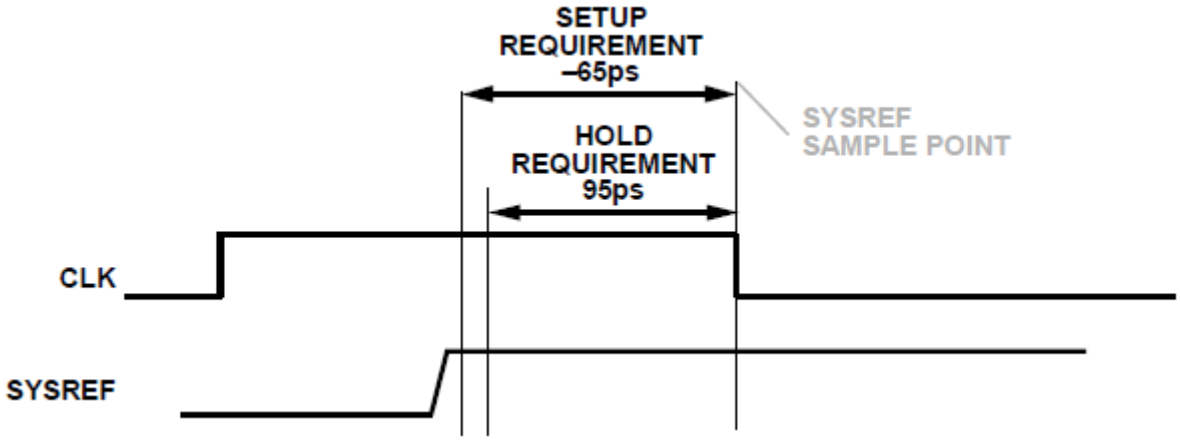


Figure 68: Capturing a SYSREF low-to-high transition using the falling clock edge (register 0x0120, bit 4 = 1'b0, register 0x0120, bit 3 = 1'b1)

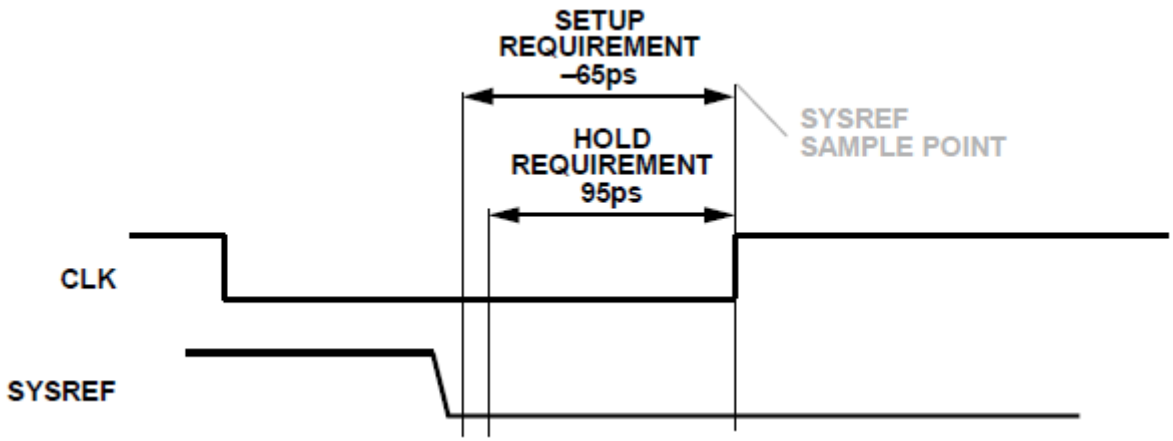


Figure 69: Capturing a SYSREF high-to-low transition using the rising clock edge (register 0x0120, bit 4 = 1'b1, register 0x0120, bit 3 = 1'b0)

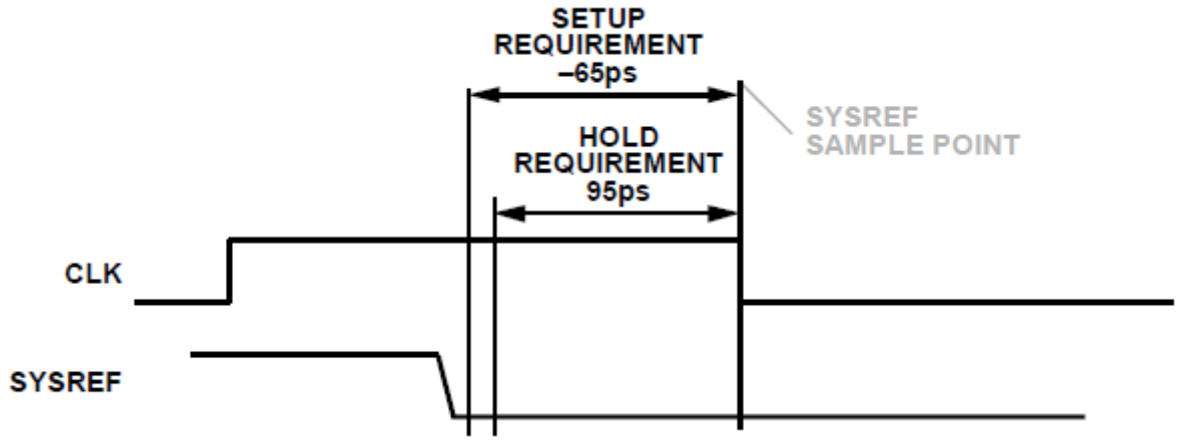


Figure 70: Capturing a SYSREF high-to-low transition using the falling clock edge (register 0x0120, bit 4 = 1'b1, register 0x0120, bit 3 = 1'b1)

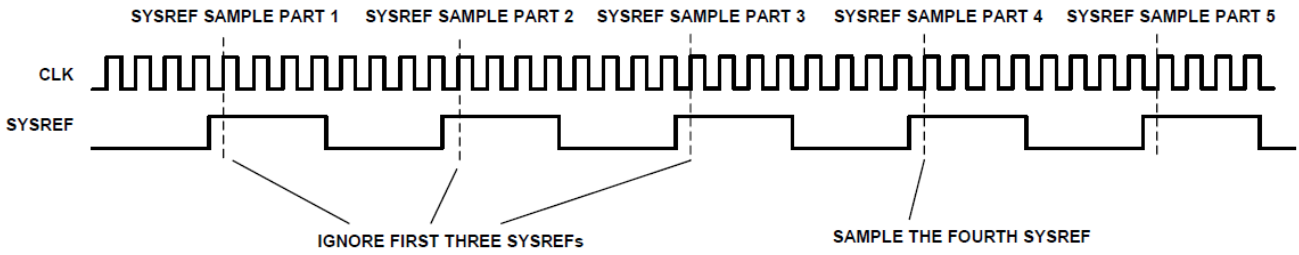


Figure 71: SYSREF ignore example (SYSREF ignore counter, register 0x0121, bits [3:0] = 3)

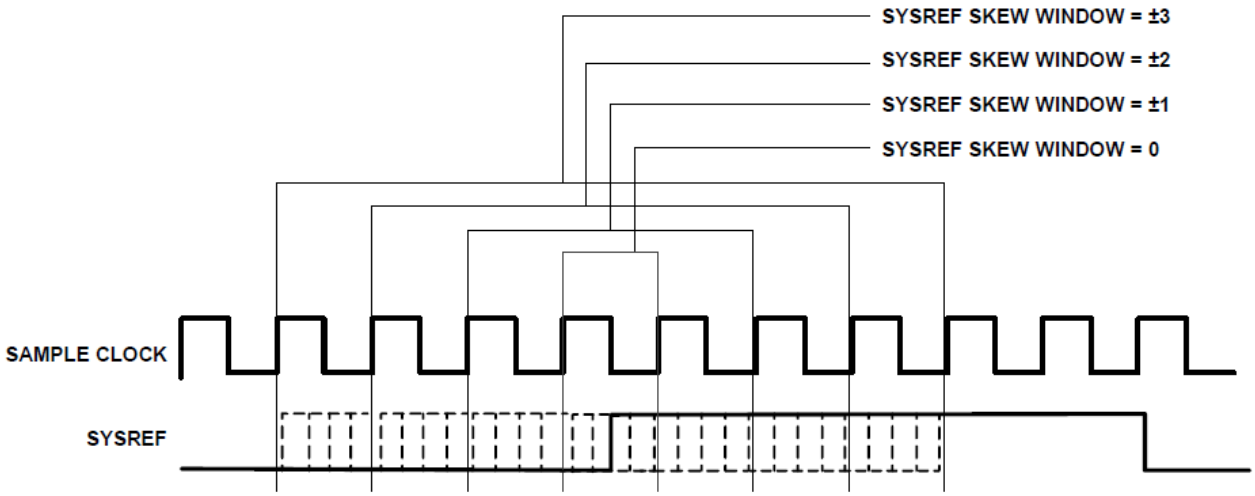


Figure 72: SYSREF skew window

11.5 SYSREF± 建立和保持窗口监视器 / 11.5 SYSREF± Setup and Hold Window Monitor

English: To ensure a valid SYSREF signal capture, the SXA043 has a SYSREF± setup and hold window monitor; this feature allows the system designer to determine the position of the SYSREF± signal relative to the CLK± signal through the setup/hold margin read over the register interface.

Figures 73 and 74 show the setup and hold status values at different phases of SYSREF±. The setup-time detector returns the state of the SYSREF± signal before the CLK± edge, and the hold-time detector returns the state of the SYSREF signal after the CLK± edge. Register 0x0128 stores the state of SYSREF± and lets the user know whether the SYSREF± signal is captured by the ADC. Table 19 shows a description of the contents of register 0x128 and how to interpret them.

中文： 为了确保一个有效的 SYSREF 信号捕获，SXA043 有一个 SYSREF±建立和保持窗口监视器，该特性允许系统设计者通过寄存器读取接口上的建立/保持裕度量来确定SYSREF±信号相对于CLK±信号的位置。

图73 和图74 显示了 SYSREF±不同阶段的建立和保持状态值。建立时间检测器返回 CLK±边缘之前的 SYSREF±信号的状态，而保持时间检测器返回 CLK±边缘之后的SYSREF 信号的状态。寄存器 0x0128 存储 SYSREF±的状态，并让用户知道SYSREF±信号是否被 ADC 捕获。表 19 显示了寄存器 0x128 的内容的描述以及如何解释它们。

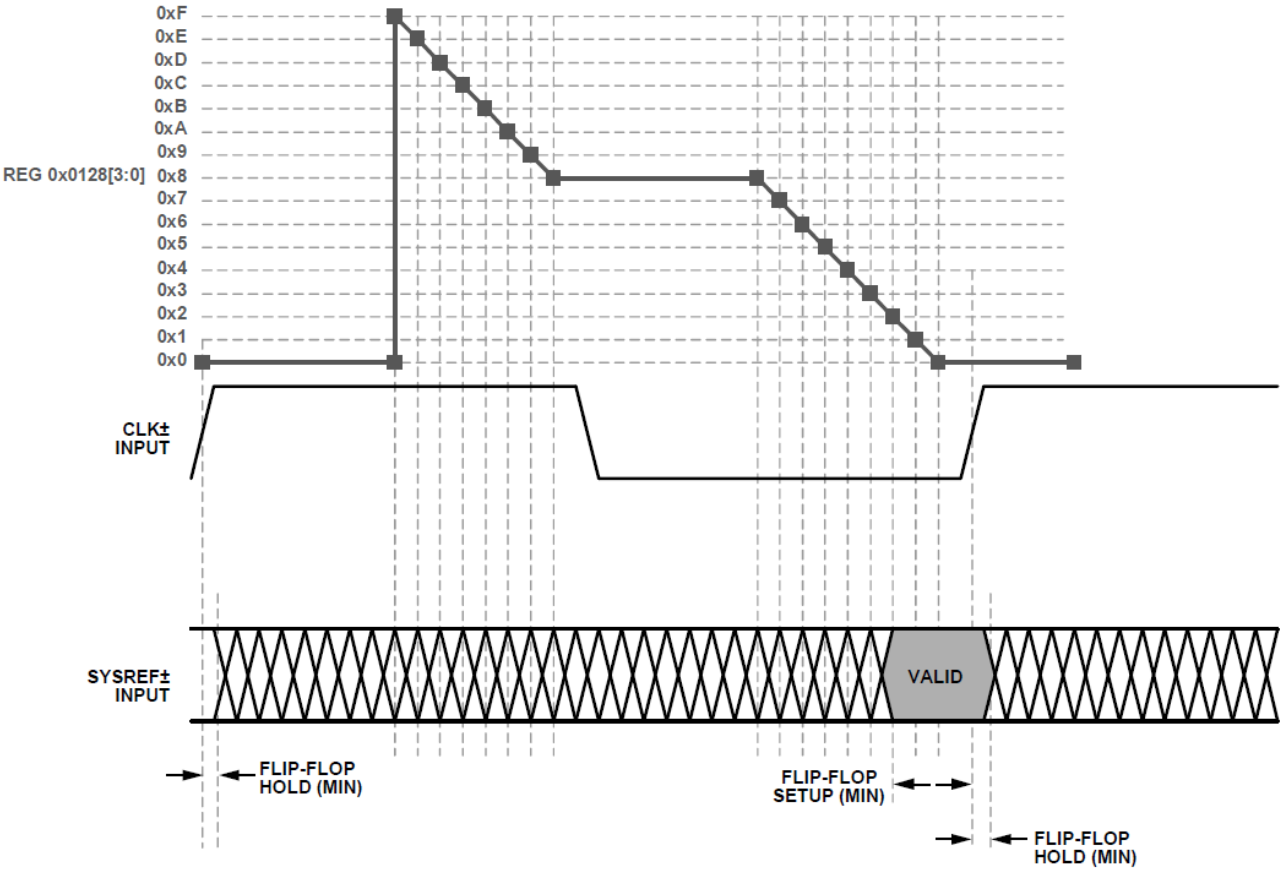


Figure 73: SYSREF± setup-time detector

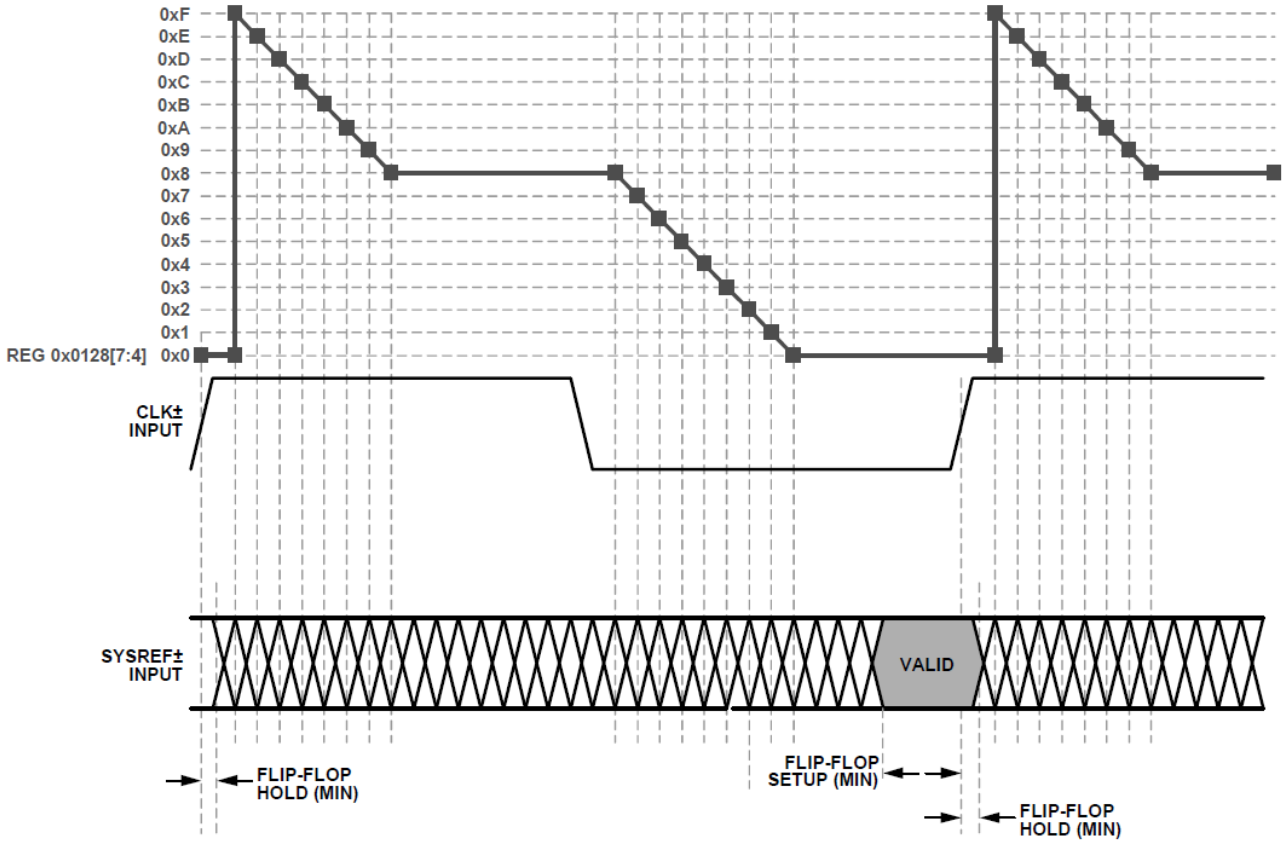


Figure 74: SYSREF± hold-time detector

表 19 SYSREF± 建立/保持监视器，0x0128 / Table 19 SYSREF± Setup/Hold Monitor, 0x0128

寄存器 0x0128，位 [7:4] 保持状态 / Hold status, bits [7:4]	寄存器 0x0128，位 [3:0] 建立状态 / Setup status, bits [3:0]	描述 / Description
0x0	0x0	可能有建立或保持错误 / Possible setup or hold error
0x0	0x0 至 0x8	可能有建立错误。这个数字越小，建立余量就越小 / Possible setup error. The smaller this number, the smaller the setup margin
0x8	0x0 至 0x7	没有建立或保持错误（最佳保持余量）/ No setup or hold error (best hold margin)
0x8	0x8	没有建立或保持错误（最佳建立和保持余量）/ No setup or hold error (best setup and hold margin)
0x9 至 0xF	0x9 至 0xF	没有建立或保持错误（最佳建立余量）/ No setup or hold error (best setup margin)
0x0	0x0	可能有保持错误。这个数字越大，保持余量就越小 / Possible hold error. The larger this number, the smaller the hold margin

注意 / Notes: ① 所有标注了正负的端口（如SYSREF±等），请准确按照正负标注使用。正常情况下，寄存器0x0120[4]为0；当SYSREF±引脚与外围时钟电路±接反时，寄存器0x0120[4]需置为1。/ Use all ports marked with +/− (such as SYSREF±) exactly according to the +/− markings. Normally, register 0x0120[4] is 0; when the SYSREF± pins are connected reversed (+/− swapped) to the peripheral clock circuit, register 0x0120[4] must be set to 1. ② 推荐建立保持状态在0x0128=0x8F 附近（0x8F~0x8C）。如果不能满足上述条件，可以将建立保持状态设置在0x0128=0x80，但是需要左右调节SYSREF±信号（左右挪动100ps 以上），保证寄存器0x0128 显示。/ A setup/hold status near 0x0128 = 0x8F (0x8F to 0x8C) is recommended. If the above condition cannot be met, the setup/hold status can be set at 0x0128 = 0x80, but the SYSREF± signal must be adjusted left/right (moved by more than 100 ps) to ensure that register 0x0128 shows.

11.6 建议步骤 / 11.6 Recommended Steps

English: Step 1: Confirm that the polarity of the reference signal SYSREF connected to the ADC port is correct; reversed polarity may cause synchronization errors. Step 2: Adjust the delay between SYSREF and the clock to obtain the correct setup/hold time; read back register 0x0128. For details, refer to the SYSREF± setup and hold window monitor. Step 3: Set register 0x0120<2:1> to select the synchronization mode; configuring 04 is one-shot mode, configuring 02 is continuous synchronization mode, at which time the SYSREF period must be an integer multiple of the LMFC period. If DDC synchronization is to be completed at the same time, additionally enable register 0x0300<1:0> to select the DDC synchronization mode. Configuring 0x0300<1:0> to 03 is one-shot mode; after all ADCs are configured, output a synchronization SYSREF pulse to complete synchronization. Configuring 0x0300<1:0> to 01 is DDC Continuous mode; at this time the SYSREF frequency must satisfy the following two constraints: the SYSREF period is an integer multiple of the LMFC period, and it must be an integer multiple of the NCO frequency.

中文： 第一步：确认参考信号SYSREF 连接到ADC 端口的极性是正确的，如果极性接反可能导致同步错误。 第二步：调节SYSREF 与时钟的延迟得到正确的建立保持时间，回读0x0128 寄存器，细节请参考SYSREF±建立和保持窗口监视器。 第三步：设置寄存器0x0120<2:1>选择同步模式，配置为04 是oneshot 模式，配置为02是择连续同步模式，此时SYSREF 周期必须是LMFC 周期的整数倍。 如果要同时完成DDC 同步，需额外开启寄存器

0x0300<1：0>选择DDC 同步模式。 0x0300<1：0>配置为03 是oneshot 模式，所有ADC 配置好后输出同步SYSREF 脉冲即可完成同步。 0x0300<1：0>配置为01 是DDC Continuous 模式，此时SYSREF 的频率必须满足以下两个限制：SYSREF 的周期是LMFC 周期的整数倍，而且必须是NCO 频率的整数倍。

12、上电配置 / 12. Power-Up Configuration

English: Step 1: After waiting for the external clock and supplies to stabilize, configure register 0x00 to 0x81 to perform an SPI reset of the chip. Step 2: Configure the ADC operating mode registers. Step 3: ADC datapath reset. Step 4: Multi-chip synchronization mode setting.

Example: sampling rate 1300 MSPS, two DDCs with real input, complex output, HB1+HB2+HB3 enabled, output decimation ratio 8, synchronization mode changed to one-shot; after waiting for the clock, supplies, and other ADC peripheral environment to stabilize, configure the ADC.

中文： 第一步：等待外部时钟、电源稳定以后，寄存器0x00 配置81 对芯片SPI 复位。 第二步：配置ADC 的工作模式寄存器。 第三步：ADC Datapath 复位。 第四步，多芯片同步模式设置。

示例：采样率1300MSPS,两DDC 实输入，复数输出，开HB1+HB2+HB3，输出抽取比为8，同步模式改为one-shoot，等待时钟、电源等ADC 外围环境稳定后，进行ADC 配置。

12.1 准备工作 / 12.1 Preparation

English: ① Check whether the clock chip ± ends are consistent with SYSREF±; if consistent, set register 0x0120 to 0x04; if not consistent, set it to 0x14. ② While meeting the above condition, the SYSREF-to-clock setup/hold time must also be met; register 0x0128 can be read to view the setup/hold time status. ③ The SYSREF signal of this circuit supports LVDS/LVPECL modes. To ensure the quality of the circuit's SYSREF reception, the LVPECL mode with strong anti-interference capability is recommended.

中文： ①检查时钟芯片±端与SYSREF±是否一致，如果一致，则寄存器0x0120 设置成0x04，如果不一致则设置成0x14。 ②在满足上述条件下，还需满足SYSREF 与时钟的建立保持时间，可以读0x0128 寄存器查看建立保持时间状态。 ③本电路的SYSREF 信号支持LVDS/LVPECL 模式。为了保证电路接收SYSREF 的质量，建议使用抗干扰能力强的LVPECL 模式。

12.2 建议步骤 / 12.2 Recommended Steps

English: Ensure that the device clock provided by the clock chip is stable and SYSREF is in the "low level" state. 0x00 = 0x81; (SPI reset) Wait 10 ms 0x200 = 0x02; (two-DDC mode) 0x201 = 0x03; (chip decimation ratio 8) 0x310 = 0x41; (6 dB gain, DDC0: HB1+HB2+HB3, decimation ratio 8) 0x311 = 0x00; (DDC0 input from channel A) 0x316–0x31B configure the NCO frequency in DDC0 0x330 = 0x41; (6 dB gain, DDC1: HB1+HB2+HB3, decimation ratio 8) 0x331 = 0x05; (decimation ratio 8, DDC1 input from channel B) 0x336–0x33B configure the NCO frequency in DDC0 0x58B = 0x11; (L = 2, scrambling enabled) 0x58C = 0x03; (F = 4) 0x58E = 0x03; (M = 4) 0x56E = 0x01; (3.375 Gbps < lane rate 6.5 Gbps < 6.75 Gbps) 0x010A = 0x80; enable input clock divider synchronization; this function must be enabled for divide-by-2 and divide-by-4 0x0120 = 0x00; disable synchronization 0x0300 = 0x00; disable DDC synchronization 0x0001 = 0x02; soft reset Wait 5 ms (recommended) 0x1228 = 0x4F; digital interface configuration 0x1228 = 0x0F; digital interface configuration 0x1222 = 0x04; digital interface configuration 0x1222 = 0x00; digital interface configuration 0x1262 = 0x08; digital interface configuration 0x1262 = 0x00; digital interface configuration Wait 10 ms

(recommended) 0x0300 = 0x03; enable DDC synchronization, one-shot 0x0121 = 0x00; set one-shot mode 0x0120 = 0x04; enable synchronization Configure the clock chip to send SYSREF pulses

中文： 确保时钟芯片提供的器件时钟稳定，SYSREF 处于"低电平"状态 0x00=0x81；（SPI 复位） 等待10ms 0x200=0x02；（两DDC 模式） 0x201=0x03；（芯片抽取率8） 0x310=0x41；（6dB 增益，DDC0：HB1+HB2+HB3,抽取率8） 0x311=0x00；（DDC0 输入来自于通道A） 0x316-0x31B 配置DDC0 中的NCO 频率 0x330=0x41；（6dB 增益，DDC1:HB1+HB2+HB3,抽取率8） 0x331=0x05；（抽取率8，DDC1 输入来自于通道B） 0x336-0x33B 配置DDC0 中的NCO 频率 0x58B=0x11；（L=2，开启扰码） 0x58C=0x03；（F=4） 0x58E=0x03；（M=4） 0x56E=0x01；（3.375 Gbps <线速率6.5Gbps <6.75Gbps） 0x010A=0x80；开启输入时钟分频同步；二、四分频必须开启此功能 0x0120=0x00；关闭同步 0x0300=0x00；关闭DDC 同步 0x0001=0x02；软复位 建议等待5ms 0x1228=0x4F；数字接口配置 0x1228=0x0F；数字接口配置 0x1222=0x04；数字接口配置 0x1222=0x00；数字接口配置 0x1262=0x08；数字接口配置 0x1262=0x00；数字接口配置 建议等待10ms 0x0300=0x03；开启DDC 同步，one-shoot 0x0121=0x00；设置one-shoot 模式 0x0120=0x04；开启同步 配置时钟芯片发送SYSREF 脉冲

12.3 在器件不掉电情况下，改变数字功能的工作模式后，同步配置步骤推荐如下 / 12.3 Recommended Synchronization Configuration Steps After Changing the Digital Function Operating Mode Without Powering Down the Device

English: Configure the digital function mode; the user configures according to the actual situation. Configure the 204B mode and lane rate; the user configures the lane rate according to the actual situation. 0x0120 = 0x00; ensure synchronization is off 0x0300 = 0x00; ensure DDC synchronization is off 0x0001 = 0x02; soft reset Wait 5 ms (recommended) 0x1228 = 0x4F; digital interface configuration 0x1228 = 0x0F; digital interface configuration 0x1222 = 0x04; digital interface configuration 0x1222 = 0x00; digital interface configuration 0x1262 = 0x08; digital interface configuration 0x1262 = 0x00; digital interface configuration Wait 10 ms (recommended) 0x0300 = 0x03; enable DDC synchronization, one-shot 0x0121 = 0x00; set one-shot mode 0x0120 = 0x04; enable synchronization Configure the clock chip to send SYSREF pulses

中文： 配置数字功能模式；用户根据实际情况配置。 配置204B 模式以及lane 速率；用户根据实际情况配置lane 速率。 0x0120=0x00；确保同步关闭 0x0300=0x00；确保DDC 同步关闭 0x0001=0x02；软复位 建议等待5ms 0x1228=0x4F；数字接口配置 0x1228=0x0F；数字接口配置 0x1222=0x04；数字接口配置 0x1222=0x00；数字接口配置 0x1262=0x08；数字接口配置 0x1262=0x00；数字接口配置 建议等待10ms 0x0300=0x03；开启DDC 同步，one-shoot 0x0121=0x00；设置one-shoot 模式 0x0120=0x04；开启同步 配置时钟芯片发送SYSREF 脉冲

寄存器说明 / Register Description

English: The SPI of this ADC consists of three pins: the SCLK pin, the SDIO pin, and the CSB pin (see Table 20). The SCLK (serial clock) pin is used to synchronize the data read from and written to the ADC. The SDIO (serial data input/output) pin is a dual-function pin through which data can be sent to the internal ADC memory-mapped registers or read from those registers. The CSB (chip select) pin is an active-low control pin that enables or disables read/write cycles.

Table 20 Serial Port Interface Pins

引脚 / Pin	功能 / Function
SCLK	

引脚 / Pin	功能 / Function
	串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作 / Serial clock. Serial shift clock input, used to synchronize the read and write operations of the serial interface
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，具体取决于发送的指令和时序帧中的相对位置 / Serial data input/output. Dual-function pin; normally used as input or output, depending on the instruction sent and the relative position in the timing frame
CSB	片选信号。低电平有效控制引脚，用来选通读写周期 / Chip select. Active-low control pin, used to gate read/write cycles

English: The falling edge of CSB together with the rising edge of SCLK determines the start of a frame; Figure 75 is the serial timing diagram.

All data consists of 8-bit words. The first bit of each byte of serial data indicates whether a read or a write command is issued. In this way, the data transfer direction of the SDIO pin can be changed from input to output. In addition to the word length, the instruction cycle also determines whether the serial frame is a read or a write operation, thereby programming the chip through the serial port and reading the data in the on-chip memory. If the instruction is a readback operation, executing the readback operation changes the SDIO pin from input to output at the appropriate position in the serial frame. Data can be sent in MSB-first mode or LSB-first mode. After chip power-up, MSB-first is used by default; the data transmission method can be changed through the SPI port configuration register.

中文： 该ADC 的SPI 由三个引脚组成：SCLK 引脚、SDIO 引脚和CSB 引脚（见表 20）。SCLK(串行时钟)引脚用于同步ADC 读出的数据和写入 ADC 的数据。SDIO(串行数据输入/输出)引脚是一个双功能引脚，可通过此引脚将数据发送至内部ADC 存储器映射寄存器或从该寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

CSB 的下降沿与SCLK 的上升沿共同决定帧的开始，图75 为串行时序图。

所有数据均由8 位字组成。串行数据的每个字节的第一位表示发出的是读命令还是写命令。这样，就能将SDIO 引脚的数据传输方向从输入改为输出。除了字长，指令周期还决定串行帧是读操作还是写操作，从而通过串行端口对芯片编程以及读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使SDIO 引脚在串行帧的适当位置由输入变为输出。数据可通过MSB 优先模式或LSB 优先模式发送。芯片上电后，默认采用MSB 优先的方式，可以通过SPI 端口配置寄存器来更改数据发送方式。

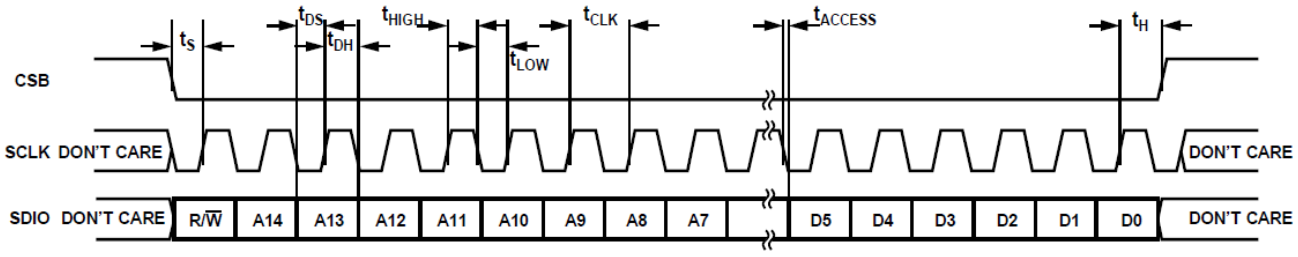


Figure 75: Serial interface timing diagram

存储器映射 / Memory Map

1、存储器映射 / 1. Memory Map

English: Each address in the memory map register table has 8 bits. The memory map is divided into the following sections: - Analog circuit SPI registers (0x0000 to 0x000F) - Clock / SYSREF / chip power-down pin control registers (0x003F to 0x01FF) - Chip operating mode control registers (0x0200 to 0x0201) - Fast detect and signal monitor control registers (0x0245 to 0x027A) - DDC function registers (0x0300 to 0x03CD) - Digital output and test mode registers (0x0550 to 0x05CB and 0x1222 to 0x1262) - Programmable filter control and coefficient registers (0x0DF8 to 0x0F7F) - VREF / analog input control registers (0x18A6 to 0x1A4D and 0x0701 to 0x073B)

The memory map register tables record the hexadecimal value of each address in detail. For example, the hexadecimal default value of register address 0x0561 is 0x01, which means the lowest bit is 1 and the remaining bits are 0.

中文： 存储器映射寄存器表中的每个地址都有8 位。存储器映射分为以下部分： - 模拟电路SPI 寄存器（0x0000 至0x000F) - 时钟/SYSREF/芯片掉电引脚控制寄存器（0x003F 至0x01FF） - 芯片工作模式控制寄存器（0x0200 至0x0201) - 快速检测和信号监控控制寄存器（0x0245 至0x027A） - DDC 功能寄存器（0x0300 至0x03CD） - 数字输出和测试模式寄存器（0x0550 至0x05CB 和0x1222 至0x01262） - 可编程滤波器控制和系数寄存器（0x0DF8 至0x0F7F） - VREF/模拟输入控制寄存器（0x18A6 至0x1A4D 和0x0701 至0x073B)

存储器映射寄存器详细记录了每个地址的十六进制值。例如寄存器地址0x0561 的十六进制默认值为0x01，这意味着最低位为1，其余位为0。

2、默认值 / 2. Default Values

English: After reset, the key registers are loaded with default values. The default values of the registers are in the memory map register tables.

中文： 复位后，关键寄存器加载默认值。寄存器的默认值在存储器映射寄存器表中。

3、逻辑电平 / 3. Logic Levels

English: The logic-level terms are explained as follows: - "Bit is set" means "the bit is set to logic 1" or "the bit is written with logic 1." - "Clear bit" means "the bit is set to logic 0" or "the bit is written with logic 0." - X indicates a don't-care bit.

中文： 逻辑电平术语的解释如下： - "位已设置"即"该位已设置为逻辑1"或"该位已写入逻辑1。" - "清除位"即"该位已设置为逻辑0"或"该位已写入逻辑0。" - X 表示无关位。

4、通道特定寄存器 / 4. Channel-Specific Registers

English: Some channel settings functions, such as the buffer control register (register 0x1A4C), can have a different value for each channel. In this case, the register and bit addresses of each channel are basically the same. These registers and bits can be accessed by setting the appropriate channel A or channel B access in register 0x0008. If both bits are set, subsequent writes affect the registers of both channels. In a read cycle, set only channel A or channel B to read the register. If both bits are set during an SPI read cycle, the value of channel A is returned.

中文： 一些通道设置功能，如缓冲控制寄存器（寄存器0x1A4C），每个通道可以是不同的值。在这种情况下，每个通道的寄存器和位地址基本一致。这些寄存器和位可以是通过设置适当的通道A 或通道B 访问寄存器0x0008。如果这两个位都设置了，后续的写入会影响两个通道的寄存器。在读周期中，只设置通道A 或通道B 读取寄存器。如果两个位在SPI 读取周期设置，则返回通道A 的值。

存储器映射寄存器表 / Memory Map Register Tables

表 21 模拟设备寄存器 / Table 21 Analog Device Registers

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0000	SPI Configuration A	7	软复位镜像（自清零）/ Soft reset mirror (self-clearing)	0 / 1	发出软复位时，用户必须等待5 毫秒才能写入其它寄存器，以提供足够的时间来完成引导加载程序。什么也不做。重置SPI 和寄存器（自清零）/ When issuing a soft reset, the user must wait 5 ms before writing other registers, to allow sufficient time to complete the bootloader. 0 = do nothing. 1 = reset the SPI and registers (self-clearing)	0x0	读/写、自清零 / R/W, self-clearing
0x0000	SPI Configuration A	6	LSB 优先镜像 / LSB first mirror	1 / 0	对于所有SPI 操作，最低有效位优先移动 / For all SPI operations, the least significant bit is shifted first. 0 = 对于所有SPI 操作，最高有效位优先移动 / the most significant bit is shifted first	0x0	读/写 / R/W
0x0000	SPI Configuration A	5	地址提升镜像 / Address ascension mirror	0 / 1	多字节SPI操作导致地址自动递减 / Multi-byte SPI operations cause the address to auto-decrement. 1 = 多字节SPI操作导致地址自动递增 / auto-increment	0x0	读/写 / R/W
0x0000	SPI Configuration A	[4:3]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0000	SPI Configuration A	2	地址提升 / Address ascension	0 / 1	多字节SPI操作导致地址自动递减 / auto-decrement. 1 = 多字节SPI操作导致地址自动递增 / auto-increment	0x0	读/写 / R/W
0x0000	SPI Configuration A	1	LSB 优先 / LSB first	1 / 0	对于所有SPI 操作，最低有效位优先移动 / LSB shifted first. 0 = 最高有效位优先移动 / MSB shifted first	0x0	读/写 / R/W
0x0000	SPI Configuration A	0	软复位（自清零）/ Soft reset (self-clearing)	0 / 1	同位 7 说明 / Same description as bit 7: 0 = do nothing; 1 = reset the SPI and registers (self-clearing); wait 5 ms after issuing a soft reset	0x0	读/写、自清零 / R/W, self-clearing
0x0001	SPI Configuration B	[7:2]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0001	SPI Configuration B	1	数据路径软复位（自清零）/ Datapath soft reset (self-clearing)	0 / 1	正常操作 / Normal operation. 1 = 数据路径软复位（自清零）/ Datapath soft reset (self-clearing)	0x0	读/写、自清零 / R/W, self-clearing

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0001	SPI Configuration B	0	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0002	Chip configuration (local)	[7:2]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0002	Chip configuration (local)	[1:0]	通道电源模式 / Channel power mode	00 / 10 / 11	通道电源模式 / Channel power mode. 00 = 正常模式（通电）/ Normal mode (powered up). 10 = 待机模式；禁用数字数据路径时钟；启用JESD204B 接口 / Standby mode; digital datapath clock disabled; JESD204B interface enabled. 11 = 掉电模式；禁用数字数据通道时钟；数字数据路径保持复位；禁用JESD204B 接口 / Power-down mode; digital datapath clock disabled; digital datapath held in reset; JESD204B interface disabled	0x0	读/写 / R/W
0x0008	Device index	[7:2]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0008	Device index	1	通道 B / Channel B	0 / 1	ADC Core B 不接收下一个SPI 命令 / ADC Core B does not receive the next SPI command. 1 = ADC Core B 接收下一个SPI 命令 / receives the next SPI command	0x0	读/写 / R/W
0x0008	Device index	0	通道 A / Channel A	0 / 1	原文说明与位 1 相同（写作 ADC Core B） / 0 = ADC Core B 不接收下一个SPI 命令 ; 1 = ADC Core B 接收下一个SPI 命令	0x1	读/写 / R/W
0x000F	Transfer	[7:1]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x000F	Transfer	0	芯片转换 / Chip transfer	0 / 1	自清零芯片转换位。当DDC 相位更新模式（寄存器 0x0300，位7）=1 时，此位用于更新DDC FTW/POW/MAW/MBW 增量和相位偏移寄存器，这使得同步更新DDC 混频器频率成为可能。该位还用于更新可编程滤波器（PFILT）的系数 / Self-clearing chip transfer bit. When the DDC phase update mode (register 0x0300, bit 7) = 1, this bit is used to update the DDC FTW/POW/MAW/MBW increment and phase offset registers, making it possible to synchronously update the DDC mixer frequency. This bit is also used to update the coefficients of the programmable filter (PFILT). 0 = 什么也不做。只有在转移完成后，位才清除 / Do nothing; the bit clears only after the transfer is complete. 1 = 自清零位用来同步从主寄存器到从寄存器的数据传输 / Self-clearing bit used to synchronously transfer data from the master registers to the slave registers	0x0	读/写 / R/W

表 22 时钟/SYSREF/芯片掉电引脚控制寄存器 / Table 22 Clock / SYSREF / Chip Power-Down Pin Control Registers

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x003F	Chip PDWN pin (local)	7	局部芯片 PDWN 封装禁用 / Local chip PDWN package disable	0 / 1	功能由寄存器0x0040，位[7:6]决定 / Function determined by register 0x0040, bits [7:6]. 1 = 启用掉电引脚（PDWN/STBY）（默认）/ Enable the power-down pin (PDWN/STBY) (default). （续行）禁用/忽略掉电引脚（PDWN/STBY）/ Disable/ignore the power-down pin (PDWN/STBY)	0x0	读/写 / R/W
0x003F	Chip PDWN pin (local)	[6:0]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0040	Chip Pin Control 1	[7:6]	芯片 PDWN 引脚功能 / Chip PDWN pin function	00 / 01 / 10	外部掉电引脚功能。外部掉电引脚（PDWN/STBY）的使用比通道通电模式位的优先级更高。PDWN/STBY 引脚仅用在寄存器0x0040，位[7:6]=00 或01 时 / External power-down pin function. Use of the external power-down pin (PDWN/STBY) has higher priority than the channel power mode bits. The PDWN/STBY pin is used only when register 0x0040, bits [7:6] = 00 or 01. 00 = 掉电引脚（默认）。使用外部掉电引脚（PDWN/STBY）使芯片达到全掉电模式 / Power-down pin (default); use the external PDWN/STBY pin to bring the chip to full power-down mode. 01 = 待机引脚。使用外部掉电引脚（PDWN/STBY）使芯片进入待机模式 / Standby pin; use the external PDWN/STBY pin to bring the chip into standby mode. 10 = 禁用引脚。忽略掉电引脚（PDWN/STBY）/ Disable pin; ignore the PDWN/STBY pin	0x0	读/写 / R/W
0x0040	Chip Pin Control 1	[5:3]	芯片 FD_B/GPIO_B0 引脚功能 / Chip FD_B/GPIO_B0 pin function	000 / 004 / 110 / 111	快速检测B/GPIO B0 引脚功能 / Fast detect B / GPIO B0 pin function. 000 = 快速检测B 输出 / Fast detect B output. 004 = JESD204B LMFC 输出 / JESD204B LMFC output. 110 = 引脚功能由寄存器0x0041，位[7:4]确定 / Pin function determined by register 0x0041, bits [7:4]. 111 = 禁用。弱掉电配置为输入（默认）/ Disabled; weakly pulled-down configuration as input (default)	0x7	读/写 / R/W
0x0040	Chip Pin Control 1	[2:0]	芯片 FD_A/GPIO_A0 功能 / Chip FD_A/GPIO_A0 function	000 / 001 / 110 / 111	快速检测A/GPIO A0 引脚功能 / Fast detect A / GPIO A0 pin function. 000 = 快速检测A 输出 / Fast detect A output. 001 = JESD204B LMFC 输出 / JESD204B LMFC output. 110 = 引脚功能由寄存器0x0041，位[3:0]确定 / determined by register 0x0041, bits [3:0]. 111 = 禁用（默认）/ Disabled (default)	0x7	读/写 / R/W
0x0041	Chip Pin Control 2	[7:4]	芯片 FD_B/GPIO_B0 功能 / Chip FD_B/GPIO_B0 function	0000 / 0001 / 1000 / 1001	快速检测B/GPIO B0 引脚辅助功能（仅在寄存器0x0040，位[5:3]=110 时使用）/ Fast detect B / GPIO B0 pin auxiliary function (used only when register 0x0040, bits [5:3] = 110). 0000 = 芯片	0x0	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					GPIO B0 输入（NCO 通道选择）/ Chip GPIO B0 input (NCO channel selection). 0001 = 芯片传输输入 / Chip transfer input. 1000 = 主控器的下一个触发器输出（MNTO）/ Master next trigger output (MNTO). 1001 = 从属下一个触发器输入（SNTI）/ Slave next trigger input (SNTI)		
0x0041	Chip Pin Control 2	[3:0]	芯片 FD_A/GPIO_A0 引脚辅助功能 / Chip FD_A/GPIO_A0 pin auxiliary function	0000 / 0001 / 1000 / 1001	快速检测A/GPIO A0 引脚辅助功能（仅用在寄存器0x0040，位[2:0]=110 时）。0000 = 芯片GPIO A0 输入（NCO 通道选择）/ Chip GPIO A0 input (NCO channel selection). 0001 = 芯片传输输入 / Chip transfer input. 1000 = MNTO。1001 = SNTI	0x0	读/写 / R/W
0x0108	Clock divider control	[7:3]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0108	Clock divider control	[2:0]	输入时钟分频器（CLK+ pins）/ Input clock divider (CLK+ pins)	00 / 01 / 11	1 分频 / Divide by 1. 2 分频 / Divide by 2. 4 分频 / Divide by 4	0x0	读/写 / R/W
0x0109	Clock divider phase (local)	[7:4]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0109	Clock divider phase (local)	[3:0]	时钟分频器相位偏移 / Clock divider phase offset	0000 / 0001 / 0010 / … / 1110 / 1111	0 输入时钟周期延迟 / 0 input clock cycle delay. ½ 输入时钟周期延迟（反向时钟）/ ½ input clock cycle delay (inverted clock). 1 输入时钟周期延迟 / 1 input clock cycle delay. … 7 输入时钟周期延迟 / 7 input clock cycle delay. 7½ 输入时钟周期延迟 / 7½ input clock cycle delay	0x0	读/写 / R/W
0x010A	Clock divider and SYSREF control	7	时钟分频器自动相位调整启用 / Clock divider automatic phase adjustment enable	0 / 1	时钟分频器自动相位调整启用。启用时，寄存器0x0129，位[3:0] 包含了在捕获SYSREF 的分频器的相位。实际分频器相位偏移 = 寄存器0x0129，位[3:0] + 寄存器0x0109，位[3:0] / Clock divider automatic phase adjustment enable. When enabled, register 0x0129, bits [3:0] contain the phase of the divider at SYSREF capture. Actual divider phase offset = register 0x0129, bits [3:0] + register 0x0109, bits [3:0]. 0 = SYSREF 没有改变时钟分频器相位（禁用）/ SYSREF does not change the clock divider phase (disabled). 1 = SYSREF 自动调节时钟分频器相位（启用）/ SYSREF automatically adjusts the clock divider phase (enabled)	0x0	读/写 / R/W
0x010A	Clock divider and SYSREF control	[6:4]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x010A	Clock divider and	[3:2]	时钟分频器负偏斜窗口 / Clock divider negative skew window	00 / 01 / 10 / 11	时钟分频器负偏斜窗口（测量½输入设备时钟）。忽略入设备时钟之前的½个时钟周期数，通过该时钟，忽略捕获的SYSREF 转换。仅用在寄存器0x010A，位7=1 时。寄存器0x010A，位	0x0	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	SYSREF control				[3:2]+寄存器0x010A，位[1:0] < 寄存器0x0108，位[2:0]。倾斜允许SYSREF 采样中存在一些不确定性，而不干扰输入时钟分频器。此外在改变控制字段时，必须禁用SYSREF（寄存器0x0120，位[2:1]=0x0）/ Clock divider negative skew window (measured in ½ input device clocks): the number of ½ clock cycles before the input device clock by which captured SYSREF transitions are ignored. Used only when register 0x010A, bit 7 = 1. Register 0x010A bits [3:2] + bits [1:0] < register 0x0108, bits [2:0]. Skew allows some uncertainty in SYSREF sampling without disturbing the input clock divider. SYSREF must be disabled (register 0x0120, bits [2:1] = 0x0) when changing the control fields. 00 = 无负倾斜；必须准确捕获SYSREF / No negative skew; SYSREF must be captured accurately. 01 = ½设备时钟负倾斜 / ½ device clock negative skew. 10 = 1 设备时钟负倾斜 / 1 device clock. 11 = 1½设备时钟负倾斜 / 1½ device clocks		
0x010A	Clock divider and SYSREF control	[1:0]	时钟分频器正偏斜窗口 / Clock divider positive skew window	00 / 01 / 10 / 11	时钟分频器正偏斜窗口（测量½输入设备时钟）。输入设备时钟之后忽略捕获的 SYSREF 转换的时钟周期数（原文含英文句 "Number of clock cycles after the input device clock by which captured SYSREF transitions are ignored"）。仅用在寄存器0x010A，位7=1 时。其余约束同位[3:2] 说明 / Positive skew window, analogous to bits [3:2]. 00 = 无正倾斜；必须准确捕获SYSREF。01 = ½设备时钟正倾斜。10 = 1 设备时钟正倾斜。11 = 1½设备时钟正倾斜	0x0	读/写 / R/W
0x010B	Clock divider SYSREF status	[7:4]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x010B	Clock divider SYSREF status	[3:0]	时钟分频器 SYSREF 偏移 / Clock divider SYSREF offset	—	时钟分频器相位状态（以½个时钟周期测量）。相位偏移应用于捕获SYSREF 信号的内部时钟分频器相位。仅当寄存器0x010A，位7=1 时使用。当寄存器0x010A，位7=1，寄存器0x010A，位[3:2]=0 十进制，寄存器0x10A，位[1:0]=0 十进制，时钟分频器SYSREF 偏移量 = 寄存器0x0129，位[3:0] / Clock divider phase status (measured in ½ clock cycles). The phase offset applied to the internal clock divider phase at SYSREF capture. Used only when register 0x010A, bit 7 = 1	0x0	读 / R
0x0110	Clock delay control	[7:3]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0110	Clock delay control	[2:0]	时钟延迟模式选择 / Clock delay mode select	000 / 010 /	时钟延迟模式选择。与寄存器0x0111 和寄存器0x0112 一起使用 / Clock delay mode selection, used together with register 0x0111 and register	0x0	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
				011 / 100 / 110	0x0112. 000 = 无时钟延迟 / No clock delay. 010 = 精细延迟：只有0 到16 个延迟步骤有效 / Fine delay: only 0 to 16 delay steps valid. 011 = 精细延迟（最低抖动）：只有0 到16 个延迟步骤有效 / Fine delay (lowest jitter): only 0 to 16 delay steps valid. 100 = 精细延迟：所有192 个延迟步骤均有效 / Fine delay: all 192 delay steps valid. 110 = 精细延迟启用（所有192 个延迟步骤均有效）；超精细延迟启用（所有128 个延迟步骤均有效） / Fine delay enabled (all 192 steps); super-fine delay enabled (all 128 steps)		
0x0111	Clock super fine delay (local)	[7:0]	时钟超精细延迟调整 / Clock super-fine delay adjustment	0x00 / … / 0x08 / … / 0x80	时钟超精细延迟调整。这是一个无符号控件，用于以0.25ps 的步长调整超精细采样时钟延迟。这些位仅在寄存器0x0110，位[2:0]=010 或110 时使用 / Unsigned control adjusting the super-fine sampling clock delay in 0.25 ps steps. These bits are used only when register 0x0110, bits [2:0] = 010 or 110. 0x00 = 0 延迟步骤 / 0 delay steps. 0x08 = 8 延迟步骤。0x80 = 128 延迟步骤	0x0	读/写 / R/W
0x0112	Clock fine delay (local)	[7:0]	设置时钟精细延迟 / Clock fine delay setting	0x00 / … / 0x08 / … / 0xC0	时钟精细延迟调整。这是一个无符号控件，用于以1.725ps 的步长调整精细采样时钟偏移。这些位仅在寄存器0x0110、位[2:0]=0x2、0x3、0x4 或0x6 时使用。最小值=0。最大值=192。增量=1。单位为延迟步长 / Unsigned control adjusting the fine sampling clock offset in 1.725 ps steps. Used only when register 0x0110, bits [2:0] = 0x2, 0x3, 0x4, or 0x6. Minimum = 0, maximum = 192, increment = 1, unit = delay steps	0xC0	读/写 / R/W
0x011B	Clock status	[7:1]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x011B	Clock status	0	输入时钟检测 / Input clock detect	0 / 1	时钟检测状态 / Clock detect status. 0 = 未检测输入时钟 / No input clock detected. 1 = 检测/锁定输入时钟 / Input clock detected/locked	0x0	读 / R
0x011C	Clock Duty Cycle Stabilizer 1 control (local)	[7:2]	保留 / Reserved	—	保留 / Reserved	0x0	读/写 / R/W
0x011C	Clock Duty Cycle Stabilizer 1 control (local)	1	DCS1 启用 / DCS1 enable	0 / 1	时钟DCS1 启用 / Clock DCS1 enable. 0 = DCS1 旁路 / DCS1 bypass. 1 = DCS1 启用 / DCS1 enabled	0x1	读/写 / R/W
0x011C	Clock Duty Cycle Stabilizer 1 control (local)	0	DCS1 通电 / DCS1 power	0 / 1	时钟DCS1 通电 / Clock DCS1 power. 0 = DCS1 掉电 / DCS1 powered down. 1 = DCS1 通电 / DCS1 powered up	0x1	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x011E	Clock Duty Cycle Stabilizer 2 control	[7:2]	保留 / Reserved	—	保留 / Reserved	0x0	读/写 / R/W
0x011E	Clock Duty Cycle Stabilizer 2 control	1	DCS2 启用 / DCS2 enable	0 / 1	时钟DCS2 启用。0 = DCS2 旁路。1 = DCS2 启用 / 0 = bypass; 1 = enabled	0x1	读/写 / R/W
0x011E	Clock Duty Cycle Stabilizer 2 control	0	DCS2 通电 / DCS2 power	0 / 1	时钟DCS2 通电。0 = DCS2 掉电。1 = DCS2 通电 / 0 = powered down; 1 = powered up	0x1	读/写 / R/W
0x0120	SYSREF Control 1	7	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0120	SYSREF Control 1	6	SYSREF± 标志复位 / SYSREF± flag reset	0 / 1	0 = 正常标志操作 / Normal flag operation. 1 = SYSREF± 标志保持复位（设置/保持错误标志清除）/ SYSREF± flags held in reset (setup/hold error flags cleared)	0x0	读/写 / R/W
0x0120	SYSREF Control 1	5	保留 / Reserved	—	保留 / Reserved	0x0	读/写 / R/W
0x0120	SYSREF Control 1	4	SYSREF± 转换选择 / SYSREF± transition select	0 / 1	在使用所选CLK±沿，SYSREF±在低到高转换时有效。更改此设置时，必须禁用SYSREF±模式选择 / SYSREF± is valid on the low-to-high transition using the selected CLK± edge. SYSREF± mode selection must be disabled when changing this setting	0x0	读/写 / R/W
0x0120	SYSREF Control 1	3	CLK± 边缘选择 / CLK± edge select	00 / 01	在CLK±输入的上升沿捕获 / Capture on the rising edge of the CLK± input. 下降沿捕获 / Capture on the falling edge	0x0	读/写 / R/W
0x0120	SYSREF Control 1	[2:1]	SYSREF± 模式选择 / SYSREF± mode select	0 / 1 / 10	禁用 / Disabled. 持续 / Continuous. N-shot	0x0	读/写 / R/W
0x0120	SYSREF Control 1	0	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0121	SYSREF Control 2	[7:4]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0121	SYSREF Control 2	[3:0]	SYSREF N-shot 忽略计数器选择 / SYSREF N-shot ignore counter select	0000 / 0001 / 0010 / 0011 / … / 1110 / 1111	仅下一个SYSREF±转换（不要忽略）/ Only the next SYSREF± transition (do not ignore). 忽略第一个SYSREF±转换 / Ignore the first transition. 忽略前两个 / Ignore the first two. 忽略前三个 / Ignore the first three. … 忽略前14个 / Ignore the first 14. 忽略前15 个SYSREF±转换 / Ignore the first 15	0x0	读/写 / R/W
0x0122	SYSREF Control 3	[7:4]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0122	SYSREF Control 3	[3:2]	SYSREF 窗口负 / SYSREF window negative	00 / 01 / 10 / 11	负倾斜窗口（以样本时钟测量）。采样时钟之前忽略捕获的SYSREF 转换的时钟周期数 / Negative skew window (measured in sample clocks): the number of clock cycles before the sample clock for which captured SYSREF transitions are ignored. 00 = 无负偏斜；必须准确捕获 SYSREF / No negative skew. 01 = 负偏斜的一个样本时钟 / One sample clock. 10 = 两个样本时钟 / Two. 11 = 三个样本时钟 / Three	0x0	读/写 / R/W
0x0122	SYSREF Control 3	[1:0]	SYSREF 窗口正 / SYSREF window positive	00 / 01 / 10 / 11	正倾斜窗口（以样本时钟测量）。采样时钟之前忽略捕获的SYSREF 转换的时钟周期数 / Positive skew window (measured in sample clocks). 00 = 无正偏斜。01 = 正偏斜的一个样本时钟。10 = 两个样本时钟。11 = 三个样本时钟	0x0	读/写 / R/W
0x0123	SYSREF Control 4	7	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0123	SYSREF Control 4	[6:0]	SYSREF± 时间戳延迟，位[6:0] / SYSREF± timestamp delay, bits [6:0]	0 / 1 / … / 1111111	SYSREF± 时间戳延迟（以转换器采样时钟周期为单位）/ SYSREF± timestamp delay (in converter sample-clock cycles). 0 = 0 采样时钟周期延迟 / 0 cycles. 1 = 1 周期。… 1111111 = 127 采样时钟周期延迟 / 127 cycles	0x00	读/写 / R/W
0x0128	SYSREF Status 1	[7:4]	SYSREF± 保持状态 / SYSREF± hold status	—	SYSREF±保持状态 / SYSREF± hold status	0x0	读 / R
0x0128	SYSREF Status 1	[3:0]	SYSREF± 设置状态 / SYSREF± setup status	—	SYSREF±设置状态 / SYSREF± setup status	0x0	读 / R
0x0129	SYSREF Status 2	[7:4]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0129	SYSREF Status 2	[3:0]	捕获 SYSREF 时的时钟分频器相位 / Clock divider phase at SYSREF capture	0000 / 0001 / 0010 / 0011 / 0100 / … / 1111	SYSREF 分频器相位。表示捕获SYSREF 时分频器的相位 / SYSREF divider phase: the phase of the divider when SYSREF is captured. 0000 = 同相位 / In phase. 0001 = SYSREF± 比时钟延迟½个周期 / delayed ½ cycle. 0010 = 延迟1 个周期 / 1 cycle. 0011 = 延迟1½个输入时钟周期 / 1½ cycles. 0100 = 延迟2 个输入时钟周期 / 2 cycles. … 1111 = 延迟7½个输入时钟周期 / 7½ cycles	0x0	读 / R
0x012A	SYSREF Status 3	[7:0]	SYSREF 计数器，当捕获 SYSREF 时，位[7:0]递增 / SYSREF counter, bits [7:0] increment when SYSREF is captured	—	SYSREF 计数。每当捕获SYSREF±事件时，运行计数器递增。通过寄存器0x0120，位6 复位。在 255 处环绕。仅当寄存器0x0120，位[2:1]设置为禁用时，才读取这些位 / SYSREF count: the running counter increments whenever a SYSREF± event is captured. Reset through register 0x0120, bit 6. Wraps around at 255. These bits are read only when register 0x0120, bits [2:1] are set to disabled	0x0	读 / R
0x01FF	Chip sync mode	[7:1]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x01FF		0		0 / 1		0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	Chip sync mode		同步模式 / Synchronization mode		0 = JESD204B 同步模式。SYSREF 信号重置所有内部时钟分频器。按照JESD204B 标准的规定，在同步多个芯片时使用此模式。如果任何分频器的相位必须改变，JESD204B 链路将断开 / JESD204B synchronization mode: the SYSREF signal resets all internal clock dividers. Use this mode when synchronizing multiple chips as specified by the JESD204B standard. If the phase of any divider must change, the JESD204B link will be broken. 1 = 时间戳模式。SYSREF 信号不重置内部时钟分频器。在此模式下，JESD204B 链路和信号监视器不受SYSREF 信号的影响。SYSREF 信号在样本通过ADC 时为样本加上时间戳，并用作JESD204B 输出字中的控制位 / Timestamp mode: the SYSREF signal does not reset the internal clock dividers. In this mode, the JESD204B link and signal monitor are not affected by the SYSREF signal. The SYSREF signal timestamps samples as they pass through the ADC and serves as a control bit in the JESD204B output word		读/写 / R/W

表 23 芯片工作模式控制寄存器 / Table 23 Chip Operating Mode Control Registers

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0200	Chip mode	[7:6]	保留 / Reserved	—	保留 / Reserved	0x0	读/写 / R/W
0x0200	Chip mode	5	芯片 Q 忽略 / Chip Q ignore	0 / 1	芯片实数（I）是唯一的选择 / 0 = 选择实数（I）和复数（Q）/ Select real (I) and complex (Q). 1 = 仅选择实数（I），忽略复数（Q）/ Select real (I) only, ignore complex (Q)	0x0	读/写 / R/W
0x0200	Chip mode	4	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0200	Chip mode	[3:0]	芯片应用模式 / Chip application mode	0000 / 0001 / 0010 / 0011	0000 = 全带宽模式（默认）/ Full-bandwidth mode (default). 0001 = 一个DDC 模式（仅DDC0）/ One-DDC mode (DDC0 only). 0010 = 两个DDC 模式（仅DDC0 和DDC1）/ Two-DDC mode (DDC0 and DDC1 only). 0011 = 四个DDC 模式（DDC0，DDC1，DDC2 和DDC3）/ Four-DDC mode (DDC0, DDC1, DDC2, DDC3)（此两行原文排版移至表 24 页内，按内容归位转录 / these two rows are typeset on the Table 24 page in the source; transcribed in place by content）	0x0	读/写 / R/W
0x0201	Chip decimation ratio	[7:4]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0201		[3:0]	芯片抽取比 / Chip	0000 / 0001 / 1000 / 0010 /	芯片抽取比 / Chip decimation ratio. 全采样率（1 倍抽取，DDCs 旁路）/ Full sample rate	0x0	

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	Chip decimation ratio		decimation ratio	0101 / 1001 / 0011 / 0110 / 1010 / 0111 / 0100 / 1101 / 1011 / 1110 / 1111 / 1100	(×1 decimation, DDCs bypassed); 2 倍抽取 / ×2; 3 倍抽取 / ×3; 4 倍抽取 / ×4; 5 倍抽取 / ×5; 6 倍抽取 / ×6; 8 倍抽取 / ×8; 10 倍抽取 / ×10; 12 倍抽取 / ×12; 15 倍抽取 / ×15; 16 倍抽取 / ×16; 20 倍抽取 / ×20; 24 倍抽取 / ×24; 30 倍抽取 / ×30; 40 倍抽取 / ×40; 48 倍抽取 / ×48		读/写 / R/W

表 24 快速检测和信号检测控制寄存器 / Table 24 Fast Detect and Signal Monitor Control Registers

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0245	Fast detect control (local)	[7:4]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0245	Fast detect control (local)	3	Force FD_A/FD_B 引脚 / Force FD_A/FD_B pin	0 / 1	0 = 快速检测引脚的正常操作 / Normal operation of the fast detect pin. 1 = 在快速检测引脚上强制一个值（见位2）/ Force a value on the fast detect pin (see bit 2)	0x0	读/写 / R/W
0x0245	Fast detect control (local)	2	FD_A/FD_B 引脚的强制值 / Forced value of the FD_A/FD_B pin	—	当强制输出时，该通道的快速检测输出引脚设置为该值 / When the output is forced, the fast detect output pin of this channel is set to this value	0x0	读/写 / R/W
0x0245	Fast detect control (local)	1	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0245	Fast detect control (local)	0	启用快速检测输出 / Enable fast detect output	0 / 1	0 = 禁用快速检测 / Disable fast detect. 1 = 启用快速检测 / Enable fast detect	0x0	读/写 / R/W
0x0247	Fast detect up LSB (local)	[7:0]	快速检测阈值上限 / Fast detect upper threshold	—	快速检测阈值上限的LSBs。与精细ADC 幅度相比较，该寄存器包含可编程13 位阈值上限的8 个 LSBs / LSBs of the fast detect upper threshold. Compared with the fine ADC magnitude, this register contains the 8 LSBs of the programmable 13-bit upper threshold	0x0	读/写 / R/W
0x0248	Fast detect up MSB (local)	[7:5]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0248	Fast detect up MSB (local)	[4:0]	快速检测阈值上限 / Fast detect upper threshold	—	快速检测阈值上限的MSBs。该寄存器包含可编程13 位阈值上限的高位 / MSBs of the programmable 13-bit upper threshold	0x0	读/写 / R/W
0x0249	Fast detect low LSB (local)	[7:0]	快速检测阈值下限 / Fast detect lower threshold	—	快速检测阈值下限的LSBs。该寄存器包含可编程13 位阈值下限的8 个LSBs / LSBs of the programmable 13-bit lower threshold	0x0	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x024A	Fast detect low MSB (local)	[7:5]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x024A	Fast detect low MSB (local)	[4:0]	快速检测阈值下限 / Fast detect lower threshold	—	快速检测低阈值的MSBs / MSBs of the 13-bit lower threshold	0x0	读/写 / R/W
0x024B	Fast detect dwell LSB (local)	[7:0]	快速检测停留时间 / Fast detect dwell time	—	快速检测驻留时间计数器目标的LSBs。这是16 位计数器的负载值，用于确定在FD_x 引脚复位为0 之前ADC 数据必须保持在阈值下限以下多长时间 / LSBs of the fast detect dwell time counter target: the load value of the 16-bit counter determining how long the ADC data must remain below the lower threshold before the FD_x pin resets to 0	0x0	读/写 / R/W
0x024C	Fast detect dwell MSB (local)	[7:0]	快速检测停留时间 / Fast detect dwell time	—	快速检测驻留时间计数器目标的MSBs / MSBs of the dwell time counter target	0x0	读/写 / R/W
0x026F	Signal monitor sync control	[7:2]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x026F	Signal monitor sync control	1	信号监视器下一个同步模式 / Signal monitor next-sync mode	0 / 1	信号监视器下一个同步模式 / Signal monitor next synchronization mode. 0 = 持续模式 / Continuous mode. 1 = 下一个同步模式。只有SYSREF±引脚的下一个有效沿用于同步信号监视器块。忽略SYSREF±引脚的后续沿。当捕获下一个SYSREF时，清除寄存器0x026F，位0。SYSREF±引脚必须是信号监测器周期的整数倍，才能使该功能在持续模式下正常工作 / Next-sync mode: only the next valid edge of SYSREF± synchronizes the signal monitor block; subsequent edges are ignored	0x0	读/写 / R/W
0x026F	Signal monitor sync control	0	信号监视器同步模式 / Signal monitor sync mode	0 / 1	启用信号监视器同步模式 / Enable signal monitor synchronization mode. 禁用同步 / Disable synchronization. 如果寄存器0x026F，位1=1，则只有SYSREF±引脚的下一个有效沿用于同步信号监控器块。忽略SYSREF±引脚的后续沿。当接收到下一个SYSREF 信号时，清除该位。必须启用SYSREF±输入引脚，以同步信号监视器块 / If bit 1 = 1, only the next valid SYSREF± edge synchronizes the monitor block; the SYSREF± input pin must be enabled to synchronize the signal monitor block	0x0	读/写 / R/W
0x0270	Signal monitor control (local)	[7:0]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0270	Signal monitor control (local)	1	峰值检测器 / Peak detector	0 / 1	0 = 禁用峰值检测器 / Disable the peak detector. 1 = 启用峰值检测器 / Enable the peak detector	0x0	读/写 / R/W
0x0270		0		—	保留 / Reserved	0x0	读 / R

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	Signal monitor control (local)		保留 / Reserved				
0x0271	Signal Monitor Period 0 (local)	[7:0]	信号监视器周期 [7:0] / Signal monitor period [7:0]	—	24 位值的位[7:0]，设置信号监视器在其上执行操作的输出时钟周期数。仅支持偶数值 / Bits [7:0] of the 24-bit value setting the number of output clock cycles over which the signal monitor operates. Only even values are supported	0x0	读/写 / R/W
0x0272	Signal Monitor Period 1 (local)	[7:0]	信号监视器周期 [15:8] / Signal monitor period [15:8]	—	24 位值的位[15:8]，其余同 0x0271 / Bits [15:8] of the 24-bit value; otherwise as 0x0271	0x0	读/写 / R/W
0x0273	Signal Monitor Period 2 (local)	[7:0]	信号监视器周期 [23:16] / Signal monitor period [23:16]	—	24 位值的位[23:16]，其余同 0x0271 / Bits [23:16] of the 24-bit value; otherwise as 0x0271	0x0	读 / R
0x0274	Signal monitor status control (local)	[7:5]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0274	Signal monitor status control (local)	4	结果更新 / Result update	1	更新信号监视器状态寄存器，寄存器0x0275 至寄存器0x0278。自清零 / Update the signal monitor status registers, register 0x0275 to register 0x0278. Self-clearing	0x0	读/写 / R/W
0x0274	Signal monitor status control (local)	3	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0274	Signal monitor status control (local)	[2:0]	结果选择 / Result select	001	峰值检测器置于状态回读信号上 / The peak detector is placed on the status readback signal	0x0	读/写 / R/W
0x0275	Signal Monitor Status 0 (local)	[7:0]	信号监视器结果 [7:0] / Signal monitor result [7:0]	—	信号监视器状态结果。该20 位值包含由信号监视器块计算的状态结果 / Signal monitor status result: the 20-bit value containing the status result computed by the signal monitor block	0x0	读 / R
0x0276	Signal Monitor Status 1 (local)	[7:0]	信号监视器结果 [15:8] / Signal monitor result [15:8]	—	信号监视器状态结果 / Signal monitor status result	0x0	读 / R
0x0277	Signal Monitor Status 2 (local)	[7:4]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0277	Signal Monitor Status 2 (local)	[3:0]	信号监视器结果 [19:16] / Signal monitor result [19:16]	—	信号监视器状态结果 / Signal monitor status result	0x0	读 / R
0x0278	Signal monitor status frame counter (local)	[7:0]	周期计算结果 [7:0] / Period count result [7:0]	—	信号监视器帧计数器状态位。每当周期计数器到期时，帧计数器递增 / Signal monitor frame counter status bits: the frame counter increments whenever the period counter expires	0x0	读 / R
0x0279	Signal monitor serial frame counter (local)	[7:2]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0279	Signal monitor serial frame counter (local)	[1:0]	通过 JESD204B 启用信号监视器输出 / Enable signal monitor output over JESD204B	00 / 01	禁用 / Disabled. 启用 / Enabled	0x0	读/写 / R/W
0x027A	SPORT over JESD204B input selection (local)	[7:6]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x027A	SPORT over JESD204B input selection (local)	1	通过 JESD204B 输入选择输出 / Input select output over JESD204B	0 / 1	信号监视器串行成帧器输入选择。当每单个比特为1时，在帧内发送相应的信号统计信息 / Signal monitor serial framer input selection: when each individual bit is 1, the corresponding signal statistics are sent within the frame. 0 = 禁用 / Disabled. 1 = 插入串行帧中的峰值检测器数据 / Peak detector data inserted into the serial frame	0x1	读/写 / R/W
0x027A	SPORT over JESD204B input selection (local)	0	保留 / Reserved	—	保留 / Reserved	0x0	读 / R

表 25 DDC 功能寄存器（见数字下变频器（DDC）部分）/ Table 25 DDC Function Registers (See the Digital Downconverter (DDC) Section)

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0300	DDC SYNC control	7	DDC FTW/ POW/MAW 更新模式 / DDC FTW/POW/	0 / 1	选择DDC FTW/POW/MAW/MBW 更新模式 / Select the DDC FTW/POW/MAW/MBW update mode. 0 = 即时/持续更新。FTW/POW/MAW/MBW 值立即更新 / Immediate/continuous update: values update immediately. 1 = 设置芯片传输位（寄存器0x000F，位0）时，同步更新FTW/POW/MAW/MBW 值 / Values	0x0	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			MAW update mode		update synchronously when the chip transfer bit (register 0x000F, bit 0) is set		
0x0300	DDC SYNC control	[6:5]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0300	DDC SYNC control	4	DDC NCO 软复位 / DDC NCO soft reset	0 / 1	此位可用于同步DDC 块内的所有NCO / This bit can be used to synchronize all NCOs in the DDC block. 0 = 正常操作 / Normal operation. 1 = DDC 保持复位 / DDC held in reset	0x0	读/写 / R/W
0x0300	DDC SYNC control	[3:2]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0300	DDC SYNC control	1	DDC 下一次同步 / DDC next sync	0 / 1	0 = 连续模式。SYSREF 频率必须是NCO 频率的整数倍，此功能才能在持续模式下正确运行 / Continuous mode: the SYSREF frequency must be an integer multiple of the NCO frequency for this function to operate correctly in continuous mode. 1 = 只有SYSREF±引脚的下一个有效沿用于同步DDC 块中的NCO。忽略SYSREF±引脚的后续沿。当找到下一个SYSREF 信号时，清除DDC 同步模式位（寄存器0x0300，位0）/ Only the next valid SYSREF± edge synchronizes the NCOs in the DDC block; subsequent edges are ignored; bit 0 is cleared when the next SYSREF is found	0x0	读/写 / R/W
0x0300	DDC SYNC control	0	DDC 同步模式 / DDC sync mode	0 / 1	必须启用SYSREF±输入引脚以同步DDCs / The SYSREF± input pin must be enabled to synchronize the DDCs. 0 = 禁用同步 / Disable synchronization. 1 = 启用同步。如果寄存器0x0300，位1=1，则只有SYSREF±引脚的下一个有效沿用于同步DDC 块中的NCO。忽略SYSREF±引脚的后续沿。当接收到下一个SYSREF 信号时，清除该位 / Enable synchronization (next-edge behavior as bit 1)	0x0	读/写 / R/W
0x0310	DDC0 control	7	DDC0 混频器选择 / DDC0 mixer select	0 / 1	0 = 实数混频器（I 和Q 输入必须来自同一实数通道）/ Real mixer (I and Q inputs must come from the same real channel). 1 = 复数混频器（I 和Q 必须来自独立的、实的和虚的正交ADC 接收信道；模拟解调器）/ Complex mixer (I and Q must come from independent real and imaginary quadrature ADC receive channels; analog demodulator)	0x0	读/写 / R/W
0x0310	DDC0 control	6	DDC0 增益选择 / DDC0 gain select	0 / 1	增益可用于补偿与将输入信号向下混频到基带并滤除其负分量相关的6dB 损耗 / The gain can compensate for the 6 dB loss associated with mixing the input signal down to baseband and filtering out its negative component. 0 = 0dB 增益 / 0 dB gain. 1 = 6dB 增益（乘以2）/ 6 dB gain (×2)	0x0	读/写 / R/W
0x0310	DDC0 control	[5:4]	DDC0 中频（IF）模式 / DDC0 IF mode	00 / 01 / 10 / 11	变量中频模式 / Variable IF mode. 0Hz 中频模式 / 0 Hz IF mode. fS Hz 中频模式 / fS IF mode. 测试模式 / Test mode	0x0	读/写 / R/W
0x0310	DDC0 control	3	DDC0 复数到实数启用 / DDC0	0 / 1	0 = 复数（I 和Q）输出包含有效数据 / Complex (I and Q) output contains valid data. 1 = 仅实数（I）输出。复数到实数启用。使用额外的fS 混合转换为实数 / Real	0x0	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
			complex-to-real enable		(I) output only; complex-to-real enabled; converted to real using additional fS mixing		
0x0310	DDC0 control	[2:0]	DDC0 抽取率选择 / DDC0 decimation ratio select	000 / 001 / 010 / 011 / 100 / 101 / 110 / 111	DDC0 滤波器选择 / DDC0 filter selection. 000 = HB1+HB2 滤波器选择：2 倍抽取（启用复数到实数），或按4 倍抽取（禁用复数到实数）/ HB1+HB2: ×2 decimation (complex-to-real enabled) or ×4 (disabled). 001 = HB1+HB2+HB3：4 倍抽取（启用），或8 倍抽取（禁用）/ ×4 or ×8. 010 = HB1+HB2+HB3+HB4：8 倍抽取（启用），或16 倍抽取（禁用）/ ×8 or ×16. 011 = HB1 滤波器选择：1 倍抽取（启用），或2 倍抽取（禁用） / HB1: ×1 or ×2. 100 = HB1+TB2：3 倍抽取（启用），或6 倍抽取（禁用）/ ×3 or ×6. 101 = HB1+HB2+TB2：6 倍抽取（启用），或12 倍抽取（禁用）/ ×6 or ×12. 110 = HB1+HB2+HB3+TB2：12 倍抽取（启用），或24 倍抽取（禁用）/ ×12 or ×24. 111 = 由寄存器0x0311，位[7:4]确定抽取 / Decimation determined by register 0x0311, bits [7:4]	0x0	读/写 / R/W
0x0311	DDC0 input select	[7:4]	（DDC0 抽取率选择，位名原文空缺）/ (DDC0 decimation select; bit name blank in source)	0000 / 0010 / 0011 / 0100 / 0111 / 1000 / 1001	只有当寄存器0x0310，位[2:0]=3'b111 时，它才有效 / Valid only when register 0x0310, bits [2:0] = 3'b111. 0000 = TB2+HB4+HB3+HB2+HB1 滤波器选择：48 倍抽取（复数到实数禁用），或24 倍抽取（复数到实数启用）/ 48× (disabled) or 24× (enabled). 0010 = FB2+HB1：10 倍抽取（禁用），或5 倍抽取（启用）/ 10× or 5×. 0011 = FB2+HB2+HB1：20 倍抽取（禁用），或10 倍抽取（启用）/ 20× or 10×. 0100 = FB2+HB3+HB2+HB1：40 倍抽取（禁用），或20 倍抽取（启用）/ 40× or 20×. 0111 = TB1 滤波器选择：3 倍抽取（不支持1.5 倍抽取）/ TB1: 3× (1.5× not supported). 1000 = FB2+TB1：15 倍抽取（不支持7.5 倍抽取）/ 15× (7.5× not supported). 1001 = HB2+FB2+TB1：30 倍抽取（不支持15 倍抽取）/ 30× (15× not supported)。	0x0	读/写 / R/W
0x0311	DDC0 input select	3	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0311	DDC0 input select	2	DDC0 Q 输入选择 / DDC0 Q input select	0 / 1	0 = 通道A / Channel A. 1 = 通道B / Channel B	0x0	读/写 / R/W
0x0311	DDC0 input select	1	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0311	DDC0 input select	0	DDC0 I 输入选择 / DDC0 I input select	0 / 1	0 = 通道A。1 = 通道B / Channel A / Channel B	0x0	读/写 / R/W
0x0314	DDC0 NCO control	[7:4]	DDC0 NCO 信道选择模式 / DDC0 NCO channel select mode	0000 / 0001 / 1000 / 1010	对于沿控制，内部计数器在寄存器0x0314 之后换行，达到位[3:0]值 / For edge control, the internal counter wraps after reaching the bits [3:0] value. 0000 = 使用寄存器0x0314，位[3:0] / Use register 0x0314, bits [3:0]. 0001 = GPIO_B0, GPIO_A0。1000 = 在GPIO_A0 引脚的上升沿递增内部计数器 /	0x0	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
					Increment the internal counter on the rising edge of GPIO_A0. 1010 = 在GPIO_B0 引脚的上升沿递增内部计数器		
0x0314	DDC0 NCO control	[3:0]	DDC0 NCO 寄存器映射通道选择 / DDC0 NCO register-map channel select	0000–1111	NCO 通道选择寄存器映射控制 / NCO channel selection register-map control. 0000 = 选择NCO 通道 0 / Select NCO channel 0. 0001 = 通道1。0010 = 通道2。0011 = 通道3。0100 = 通道4。0101 = 通道5。0110 = 通道6。0111 = 通道7。1000 = 通道8。1001 = 通道9。1010 = 通道10。1011 = 通道11。1100 = 通道12。1101 = 通道13。1110 = 通道14。1111 = 选择 NCO 通道15 / Select NCO channel 15	0x0	读/写 / R/W
0x0315	DDC0 phase control	[7:4]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0315	DDC0 phase control	[3:0]	DDC0 相位更新索引 / DDC0 phase update index	—	索引其相位和偏移已更新的NCO 通道。更新方法基于 DDC 相位更新模式，该模式可以是连续的或需要芯片传输 / Index of the NCO channel whose phase and offset are updated. The update method is based on the DDC phase update mode, which can be continuous or require a chip transfer. 更新NCO 通道 0–3（原文仅列 0 至 3）/ Update NCO channels 0 to 3 (source lists only 0 to 3)	0x0	读/写 / R/W
0x0316	DDC0 Phase Increment 0	[7:0]	DDC0 相位增量 [7:0] / DDC0 phase increment [7:0]	—	FTW。NCO 的两个互补相位增量值。复数混合频率 =（DDC 相位增量 × fS）/2^48 / FTW: the two's-complement phase increment value of the NCO. Complex mixing frequency = (DDC phase increment × fS) / 2^48	0x0	读/写 / R/W
0x0317	DDC0 Phase Increment 1	[7:0]	DDC0 相位增量 [15:8]	—	同 0x0316 / As 0x0316	0x0	读/写 / R/W
0x0318	DDC0 Phase Increment 2	[7:0]	DDC0 相位增量 [23:16]	—	同 0x0316 / As 0x0316	0x0	读/写 / R/W
0x0319	DDC0 Phase Increment 3	[7:0]	DDC0 相位增量 [31:24]	—	同 0x0316 / As 0x0316	0x0	读/写 / R/W
0x031A	DDC0 Phase Increment 4	[7:0]	DDC0 相位增量 [39:32]	—	同 0x0316 / As 0x0316	0x0	读/写 / R/W
0x031B	DDC0 Phase Increment 5	[7:0]	DDC0 相位增量 [47:40]	—	同 0x0316 / As 0x0316	0x0	读/写 / R/W
0x031D		[7:0]	DDC0 相位偏移 [7:0] /	—	两个补充了NCO 的POW / POW of the NCO (two's complement)	0x0	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
	DDC0 Phase Offset 0		DDC0 phase offset [7:0]				
0x031E	DDC0 Phase Offset 1	[7:0]	DDC0 相位偏移 [15:8]	—	同 0x031D / As 0x031D	0x0	读/写 / R/W
0x031F	DDC0 Phase Offset 2	[7:0]	DDC0 相位偏移 [23:16]	—	同 0x031D / As 0x031D	0x0	读/写 / R/W
0x0320	DDC0 Phase Offset 3	[7:0]	DDC0 相位偏移 [31:24]	—	同 0x031D / As 0x031D	0x0	读/写 / R/W
0x0321	DDC0 Phase Offset 4	[7:0]	DDC0 相位偏移 [39:32]	—	同 0x031D / As 0x031D	0x0	读/写 / R/W
0x0322	DDC0 Phase Offset 5	[7:0]	DDC0 相位偏移 [47:40]	—	同 0x031D / As 0x031D	0x0	读/写 / R/W
0x0327	DDC0 test enable	[7:3]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0327	DDC0 test enable	2	DDC0 Q 输出测试模式启用 / DDC0 Q output test mode enable	0 / 1	Q 样本始终使用测试模式B 块。使用通道相关寄存器 0x0550，位[3:0]，选择测试模式 / Q samples always use test mode block B. Use the channel-related register 0x0550, bits [3:0], to select the test mode. 0 = 测试模式禁用 / Test mode disabled. 1 = 测试模式启用 / Test mode enabled	0x0	读/写 / R/W
0x0327	DDC0 test enable	1	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0327	DDC0 test enable	0	DDC0 I 输出测试模式启用 / DDC0 I output test mode enable	0 / 1	I 样本始终使用测试模式A 块。使用通道相关寄存器 0x0550，位[3:0]，选择测试模式。0 = 禁用。1 = 启用 / I samples always use test mode block A; otherwise as bit 2	0x0	读/写 / R/W

English (DDC1–DDC3 common pattern): Registers 0x0330–0x0347 (DDC1), 0x0350–0x0367 (DDC2), and 0x0370–0x0387 (DDC3) replicate the DDC0 register set (0x0310–0x0327) field by field: control (mixer select bit 7, gain select bit 6, IF mode bits [5:4], complex-to-real enable bit 3, decimation select bits [2:0]), input select (extended decimation bits [7:4] valid only when the control decimation bits = 3'b111, Q input select bit 2, I input select bit 0), NCO control (channel select mode bits [7:4], register-map channel select bits [3:0]), phase control (phase update index bits [3:0]), Phase Increment 0–5 (FTW bytes [7:0] to [47:40]), Phase Offset 0–5 (POW bytes), and test enable (Q bit 2, I bit 0). All reset values are 0x0 and access is read/write except reserved fields (read-only). Differences from DDC0 noted in the source are listed after the table.

中文（DDC1–DDC3 共同模式）： 寄存器 0x0330–0x0347（DDC1）、0x0350–0x0367（DDC2）、0x0370–0x0387（DDC3）逐字段复制 DDC0 寄存器组（0x0310–0x0327）：控制（混频器选择位 7、增益选择位 6、IF 模式位 [5:4]、复数转实数使能位 3、抽取率选择位 [2:0]）、输入选择（扩展抽取位 [7:4]，仅当控制抽取位 =

3'b111 时有效；Q 输入选择位 2、I 输入选择位 0）、NCO 控制（通道选择模式位 [7:4]、寄存器映射通道选择位 [3:0]）、相位控制（相位更新索引位 [3:0]）、相位增量 0–5（FTW 字节 [7:0] 至 [47:40]）、相位偏移 0–5（POW 字节）、测试使能（Q 位 2、I 位 0）。复位值均为 0x0，存取为读/写（保留字段为只读）。与 DDC0 的差异见表后。

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	说明 / Description（与 DDC0 的对应关系及原文差异）	复位 / Reset	存取 / Access
0x0330	DDC1 control	7 / 6 / [5:4] / 3 / [2:0]	DDC1 混频器选择 / 增益选择 / 中频模式 / 复数到实数启用 / 抽取率选择	与 0x0310（DDC0 control）逐位相同，对象为 DDC1 / Identical bit-by-bit to 0x0310, for DDC1. 原文差异：[2:0]=101 行写作「6 倍抽取（复数到实数启用），或24 倍抽取（复数到实数禁用）」	0x0	读/写 / R/W
0x0331	DDC1 input select	[7:4] / 3 / 2 / 1 / 0	DDC1 抽取率选择 / 保留 / DDC1 Q 输入选择 / 保留 / DDC1 I 输入选择	与 0x0311 对应；Q、I 输入选择位复位值原文为 0x1 / Corresponds to 0x0311; Q/I select reset 0x1 per source	0x0（位 2、位 0 为 0x1）	读/写 / R/W
0x0334	DDC1 NCO control	[7:4] / [3:0]	DDC1 NCO 通道选择模式 / 寄存器映射通道选择	与 0x0314 对应；原文 [7:4] 编码列全：0000 = 使用寄存器位 [3:0]；0001 = GPIO_B0,GPIO_A0；0010 = GPIO_B1,GPIO_A1；0011 = GPIO_A1,GPIO_A0；0100 = GPIO_B1,GPIO_B0；0101 = GPIO_B1,GPIO_A1,GPIO_B0,GPIO_A0；0110 = GPIO_B1,GPIO_B0,GPIO_A1,GPIO_A0；1000 = GPIO_A0 上升沿递增；1001 = GPIO_A1 上升沿递增；1010 = GPIO_B0 上升沿递增；1011 = GPIO_B1 上升沿递增 / Corresponds to 0x0314 with the full code list as in the source	0x0	读/写 / R/W
0x0335	DDC1 phase control	[7:4] / [3:0]	保留 / DDC1 相位更新索引	与 0x0315 对应 / Corresponds to 0x0315	0x0	读 / 读/写
0x0336–0x033B	DDC1 Phase Increment 0–5	[7:0]	DDC1 相位增量 [7:0]–[47:40]	FTW；复混合频率 =（DDC 相位增量 × fS）/2^48（原文写作「复混合频率」） / FTW bytes, as 0x0316–0x031B	0x0	读/写 / R/W
0x033D–0x0342	DDC1 Phase Offset 0–5	[7:0]	DDC1 相位偏移 [7:0]–[47:40]	POW；同 0x031D–0x0322 / As 0x031D–0x0322	0x0	读/写 / R/W
0x0347	DDC1 test enable	[7:3] / 2 / 1 / 0	保留 / DDC1 Q 输出测试模式启用 / 保留 / DDC1 I 输出测试模式启用	与 0x0327 对应 / Corresponds to 0x0327	0x0	读 / 读/写
0x0350	DDC2 control	7 / 6 / [5:4] / 3 / [2:0]	DDC2 混频器选择 / 增益选择 / 中频模式 / 复数到实数启用 / 抽取率选择	与 0x0310 对应，对象为 DDC2；原文增益选择 0 行脱落「0」字（写作「dB 增益」），按 DDC0 补 / Corresponds to 0x0310, for DDC2	0x0	读/写 / R/W
0x0351	DDC2 input select	[7:4] / 3 / 2 / 1 / 0	DDC2 抽取率选择 / 保留 / DDC2 Q 输入选择 / 保留 /	与 0x0311 对应；原文 [7:4] 仅列 000、0010、011、100 四项编码（位数与条目均不全），且有效条件误引寄存器 0x0310（应为 0x0350） / Corresponds to 0x0311; source code list incomplete	0x0	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	说明 / Description（与 DDC0 的对应关系及原文差异）	复位 / Reset	存取 / Access
			DDC2 I 输入选择			
0x0354	DDC2 NCO control	[7:4] / [3:0]	DDC2 NCO 信道选择模式 / 寄存器映射通道选择	与 0x0334 对应（含完整 GPIO 编码表）/ Corresponds to 0x0334	0x0	读/写 / R/W
0x0355	DDC2 phase control	[7:4] / [3:0]	保留 / DDC2 相位更新索引	与 0x0315 对应 / Corresponds to 0x0315	0x0	读 / 读/写
0x0356–0x035B	DDC2 Phase Increment 0–5	[7:0]	DDC2 相位增量 [7:0]–[47:40]	同 0x0316–0x031B / As 0x0316–0x031B	0x0	读/写 / R/W
0x035D–0x0362	DDC2 Phase Offset 0–5	[7:0]	DDC2 相位偏移 [7:0]–[47:40]	同 0x031D–0x0322 / As 0x031D–0x0322	0x0	读/写 / R/W
0x0367	DDC2 test enable	[7:3] / 2 / 1 / 0	保留 / DDC2 Q 输出测试模式启用 / 保留 / DDC2 I 输出测试模式启用	与 0x0327 对应 / Corresponds to 0x0327	0x0	读 / 读/写
0x0370	DDC3 control	7 / 6 / [5:4] / 3 / [2:0]	DDC3 混频器选择 / 增益选择 / 中频模式 / 复数到实数启用 / 抽取率选择	与 0x0310 对应，对象为 DDC3；原文 [2:0]=111 行末尾误引「由寄存器0x0351，位[7:4]确定」（应为 0x0371）/ Corresponds to 0x0310, for DDC3	0x0	读/写 / R/W
0x0371	DDC3 input select	[7:4] / 3 / 2 / 1 / 0	DDC3 抽取率选择 / 保留 / DDC3 Q 输入选择 / 保留 / DDC3 I 输入选择	与 0x0311 对应；原文 [7:4] 仅列 000、010、011、100 四项 / Corresponds to 0x0311; source list incomplete	0x0	读 / 读/写
0x0374	DDC3 NCO control	[7:4] / [3:0]	DDC3 NCO 信道选择模式 / 寄存器映射信道选择	与 0x0334 对应 / Corresponds to 0x0334	0x0	读/写 / R/W
0x0375	DDC3 phase control	[7:4] / [3:0]	保留 / DDC3 阶段更新索引	与 0x0315 对应 / Corresponds to 0x0315	0x0	读 / 读/写
0x0376–0x037B	DDC3 Phase Increment 0–5	[7:0]	DDC3 相位增量 [7:0]–[47:40]	同 0x0316–0x031B / As 0x0316–0x031B	0x0	读/写 / R/W
0x037D–0x0382	DDC3 Phase Offset 0–5	[7:0]	DDC3 相位偏移 [7:0]–[47:40]	同 0x031D–0x0322 / As 0x031D–0x0322	0x0	读/写 / R/W
0x0387	DDC3 test enable		保留 / DDC3 Q 输出测试模式启用 / 保留 /	与 0x0327 对应 / Corresponds to 0x0327	0x0	读 / 读/写

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	说明 / Description（与 DDC0 的对应关系及原文差异）	复位 / Reset	存取 / Access
		[7:3] / 2 / 1 / 0	DDC3 I 输出测试模式启用			
0x0390–0x0395	DDC0 Phase Increment Frac A0–A5	[7:0]	DDC0 相位增量分形 A [7:0]–[47:40]	相位累加器 MAW 的分子校正项 / Numerator correction term of the phase accumulator MAW	0x0	读/写 / R/W
0x0398–0x039D	DDC0 Phase Increment Frac B0–B5	[7:0]	DDC0 相位增量分形 B [7:0]–[47:40]	相位累加器 MBW 的分母校正项 / Denominator correction term of the phase accumulator MBW	0x0	读/写 / R/W
0x03A0–0x03A5	DDC1 Phase Increment Frac A0–A5	[7:0]	DDC1 相位增量分形 A [7:0]–[47:40]	MAW 的分子校正项 / MAW numerator correction term	0x0	读/写 / R/W
0x03A8–0x03AD	DDC1 Phase Increment Frac B0–B5	[7:0]	DDC1 相位增量分形 B [7:0]–[47:40]	MBW 的分母校正项 / MBW denominator correction term	0x0	读/写 / R/W
0x03B0–0x03B5	DDC2 Phase Increment Frac A0–A5	[7:0]	DDC2 相位增量分形 A [7:0]–[47:40]	MAW 的分子校正项 / MAW numerator correction term	0x0	读/写 / R/W
0x03B8–0x03BD	DDC2 Phase Increment Frac B0–B5	[7:0]	DDC2 相位增量分形 B [7:0]–[47:40]	MBW 的分母校正项 / MBW denominator correction term	0x0	读/写 / R/W
0x03C0–0x03C5	DDC3 Phase Increment Frac A0–A5	[7:0]	DDC3 相位增量分形 A [7:0]–[47:40]	MAW 的分子校正项 / MAW numerator correction term	0x0	读/写 / R/W
0x03C8–0x03CD	DDC3 Phase Increment Frac B0–B5	[7:0]	DDC3 相位增量分形 B [7:0]–[47:40]（0x03CD 名称原文断行作「Phase Increment Frac / B5」，按内容合并）	MBW 的分母校正项 / MBW denominator correction term	0x0	读/写 / R/W

表 26 说明 / Note on Table Numbering

English: The source document contains no separately headed "Table 26"; after Table 25 (DDC function registers, including the Phase Increment Frac A/B registers 0x0390–0x03CD transcribed above), the register tables continue directly with Table 27.

© 2026 Shenzhen Shenxin Technology Co., Ltd. | shenxinic.com | Page 122 of 151

中文： 原件无单独标题的「表26」；表25（DDC 功能寄存器，含上文转录的相位增量分形 A/B 寄存器 0x0390–0x03CD）之后，寄存器表直接续以表27。

表 27 数据输出和测试模式 / Table 27 Data Output and Test Modes

说明 / Note: 表 27 地址范围 0x0550–0x05CA 及 0x1222/0x1228/0x1262 逐项转录如下；每行给出地址、名称、位、功能中英对照与复位/存取。设置编码的完整枚举以原件表 27 为准，本表保留全部功能说明要点。/ Table 27 (0x0550–0x05CA plus 0x1222/0x1228/0x1262) is transcribed address by address below with bilingual function descriptions; full setting-code enumerations follow source Table 27.

地址 / Address	名称 / Name	位 / Bits	功能 / Function（中英对照）	复位 / Reset	存取 / Access
0x0550	ADC test mode control (local)	7	用户模式选择 / User pattern select: 仅在位[3:0]=4'b1000（用户输入模式）时使用，否则忽略。用户模式 1 在 0x0552（MSB）/0x0551（LSB），模式 2 在 0x0554/0x0553，依此类推。0 = 连续/重复模式（依次输出模式 1、2、3、4 并重复）；1 = 单一模式（输出模式 1、2、3、4 后输出全零） / User pattern select, valid only in user-input mode	0x0	读/写 / R/W
0x0550	ADC test mode control (local)	6	保留 / Reserved	0x0	读 / R
0x0550	ADC test mode control (local)	5	复位 PN 长发生器 / Reset PN long generator: 测试模式长伪随机数发生器重置。原文 0/1 说明写作「长PN 结启用/禁用」 / Reset of the long PN generator for test mode	0x0	读/写 / R/W
0x0550	ADC test mode control (local)	4	复位 PN 短发生器 / Reset PN short generator: 测试模式短伪随机数发生器重置。原文说明同位 5 误写「长PN」 / Reset of the short PN generator	0x0	读/写 / R/W
0x0550	ADC test mode control (local)	[3:0]	测试模式选择 / Test mode select: 0000 = 关闭（正常操作） / Off (normal operation); 0001 = 中间电平短码 / Midscale short; 0010 = 正满量程 / +FS; 0011 = 负满量程 / −FS; 0100 = 交替棋盘 / Alternating checkerboard; 0101 = PN 序列（长） / PN sequence (long); 0110 = PN 序列（短） / PN sequence (short); 0111 = 1/0 字交替 / 1/0 word toggle; 1000 = 用户模式测试模式（与位 7 及用户模式 1–4 寄存器一起使用） / User pattern test mode; 1111 = 斜坡输出 / Ramp output	0x0	读/写 / R/W
0x0551	User Pattern 1 LSB	[7:0]	用户模式 1 [7:0] / User test pattern 1 least significant byte	0x0	读/写 / R/W
0x0552	User Pattern 1 MSB	[7:0]	用户模式 1 [15:8] / User test pattern 1 byte	0x0	读/写 / R/W
0x0553	User Pattern 2 LSB	[7:0]	用户模式 2 [7:0] / User test pattern 2 LSB	0x0	读/写 / R/W
0x0554	User Pattern 2 MSB	[7:0]	用户模式 2 [15:8] / User test pattern 2 byte	0x0	读/写 / R/W
0x0555	User Pattern 3 LSB	[7:0]	用户模式 3 [7:0] / User test pattern 3 LSB	0x0	读/写 / R/W
0x0556	User Pattern 3 MSB	[7:0]	用户模式 3 [15:8] / User test pattern 3 byte	0x0	读/写 / R/W
0x0557	User Pattern 4 LSB	[7:0]	用户模式 4 [7:0] / User test pattern 4 LSB	0x0	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	功能 / Function（中英对照）	复位 / Reset	存取 / Access
0x0558	User Pattern 4 MSB	[7:0]	用户模式 4 [15:8] / User test pattern 4 byte	0x0	读/写 / R/W
0x0559	Output Mode Control 1	[7:4]	转换器控制位 1 选择 / Converter control bit 1 select: 0000 = 拉低（1'b0）/ Tied low; 0001 = 超量程位 / Overrange bit; 0010 = 信号检测器位 / Signal monitor bit; 0011 = 快速检测（FD）位 / Fast detect (FD) bit; 0101 = SYSREF	0x0	读/写 / R/W
0x0559	Output Mode Control 1	[3:0]	转换器控制位 0 选择 / Converter control bit 0 select: 编码同位 [7:4] / Same codes as bits [7:4]	0x0	读/写 / R/W
0x055A	Output Mode Control 1	[7:4] 起	转换器控制位 2 选择等 / Converter control bit 2 select, etc.（编码同 0x0559）	0x0	读/写 / R/W
0x0561–0x0563	（数字输出相关控制寄存器 / Digital-output related control registers）	—	原文逐位说明见表 27 对应行；功能为数字输出/测试相关控制 [本稿按地址保留，逐位设置以原件表 27 为准] / Bit-level settings follow source Table 27	0x0	读/写 / R/W
0x0564	Out channel select	[7:1] / 0	保留 / Reserved; 位 0 转换器通道交换控制 / Converter channel swap control: 正常通道排序 / Normal channel ordering; 通道交换启用 / Channel swap enabled	0x0	读 / 读/写
0x056E	PLL control	[7:4]	JESD204B 通道速率控制 / JESD204B lane rate control: 0000 = 通道速率 6.75 Gbps 到 13.5 Gbps; 0001 = 3.375 Gbps 到 6.75 Gbps ; 0011 = 13.5 Gbps 到 16 Gbps ; 0101 = 1.6875 Gbps 到 3.375 Gbps	0x0	读/写 / R/W
0x056E	PLL control	[3:0]	保留 / Reserved	0x0	读 / R
0x056F	PLL status	7	PLL 锁定状态 / PLL lock status: 0 = 未锁定 / Not locked; 1 = 锁定 / Locked	0x0	读 / R
0x056F	PLL status	[6:4]	保留 / Reserved	0x0	读 / R
0x056F	PLL status	3	PLL 锁定失锁（粘性位）/ PLL loss-of-lock sticky bit: 指示某个时间发生了失锁。通过设置寄存器0x0571，位0 清除 / Indicates a loss of lock occurred at some time	0x0	读 / R
0x056F	PLL status	[2:0]	保留 / Reserved	0x0	读 / R
0x0570	JESD204B Quick configuration	[7:6]	数据通道数 L / Number of lanes L: L = 2^(0x0570[7:6]) ; 0 = L=1; 1 = L=2; 10 = L=4	0x3	读/写 / R/W
0x0570	JESD204B Quick configuration	[5:3] 起	虚拟转换器数 M 等快速配置字段 / Quick configuration fields incl. M（逐位说明见原件表 27）	—	读/写 / R/W
0x0571	JESD204B Link Control 1	7 起	待机模式 /K/ 字符选择等链路控制位 / Link control bits incl. standby / K/ character selection（参见正文第 4 节：位 7 选择 /K/ 字符）；JESD204B 测试样本：0 = 禁用；1 = 启用（在所有链路通道上发送长传输层测试样本序列，见 JESD204B 第 5.1.6.3 节）/ JESD204B test samples enable	—	读/写 / R/W
0x0571	JESD204B Link Control 1	4	通道同步 / Lane synchronization: 0 = 禁用 FACI 使用 /K28.7/; 1 = 启用 FACI 使用 /K28.3/ 和 /K28.7/	0x1	读/写 / R/W
0x0571	JESD204B Link Control 1	[3:2]	ILAS 序列模式 / ILAS sequence mode: 00 = 禁用初始通道对齐序列（JESD204B 第 5.3.3.5 节）; 01 = 启用初始通道对齐序列; 11 = 初始通道对齐顺序始终处于测试模式（数据链路层测试模式，在所有通道上发送重复通道对齐序列，见第 5.3.3.8.2 节）	0x1	读/写 / R/W
0x0571	JESD204B Link Control 1	1	FACI: 0 = 启用帧对齐字符插入（第 5.3.3.4 节）; 1 = 禁用帧对齐字符插入，仅用于调试	0x0	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	功能 / Function（中英对照）	复位 / Reset	存取 / Access
0x0571	JESD204B Link Control 1	0	链路控制 / Link control: 0 = 启用 JESD204B 串行传输链路（传输码组同步 /K28.5/ 字符由 SYNC~ 引脚控制）; 1 = JESD204B 串行传输链路掉电（保持复位和时钟门控）	0x0	读/写 / R/W
0x0572	JESD204B Link Control 2	[7:6]	SYNCINB± 引脚控制 / SYNCINB± pin control: 00 / 10 / 11（逐项说明见原件表 27；正文 10.6.1 节：默认差分 LVDS，可单端驱动）	—	读/写 / R/W
0x0573	JESD204B Link Control 3	[7:6]	校验和模式 / Checksum mode: 00 = 校验和是链路配置表中所有 8 位寄存器的总和; 01 = 校验和是所有单个链路配置字段（LSB 对齐）的总和; 10 = 禁用校验和（设置为零），仅用于测试目的; 11 = 未使用	0x0	读/写 / R/W
0x0573	JESD204B Link Control 3	[5:4]	测试注入点 / Test injection point: 0 = N′ 样本输入; 1 = 8 位/10 位输出的 10 位数据（用于 PHY 测试）; 10 = 加扰器输入端的 8 位数据	0x0	读/写 / R/W
0x0573	JESD204B Link Control 3	[3:0]	JESD204B 测试模式 / JESD204B test mode: 0000 = 正常操作（禁用测试模式）; 0001 = 交替棋盘; 0010 = 1/0 字交替; 0011 = 31 位 PN 序列 x^31+x^28+1; 0100 = 23 位 PN 序列 x^23+x^18+1; 0101 = 15 位 PN 序列 x^15+x^14+1; 0110 = 9 位 PN 序列 x^9+x^5+1; 0111 = 7 位 PN 序列 x^7+x^6+1; 1000 = 斜坡输出; 1110 = 持续/重复用户测试; 1111 = 单用户测试	0x0	读/写 / R/W
0x0574	JESD204B Link Control 4	[7:4]	ILAS 延迟 / ILAS delay: 0000 起逐级至 1111，在 SYNCINB± 解除置位后于第 1 至第 16 个 LMFC 传输 ILAS（原文逐项列明，末两项为第十五个/第十六个 LMFC）/ ILAS transmitted on the 1st to 16th LMFC after SYNCINB± deassertion	—	读/写 / R/W
0x0574	JESD204B Link Control 4	3	保留 / Reserved	0x0	读 / R
0x0574	JESD204B Link Control 4	[2:0]	链路层测试模式 / Link layer test mode: 000 = 正常工作（禁用）; 001 = /D21.5/ 字符的持续序列; 010 = 保留; 011 = 保留; 100 = 修改 PRAT 测试序列 ; 101 = JSPAT 测试序列; 110 = JTSPAT 测试序列; 111 = 保留	0x0	读/写 / R/W
0x0578	JESD204B LMFC offset	[7:5] / [4:0]	保留 / Reserved; LMFC 相位偏移值（以帧时钟为单位），参阅确定性延迟部分 / LMFC phase offset value (in frame clocks); see the deterministic latency section	0x0	读 / 读/写
0x0580	JESD204B DID configuration	[7:0]	JESD204B Tx DID 值 / JESD204B serial device identification (DID) number	0x0	读/写 / R/W
0x0581	JESD204B BID configuration	[7:4] / [3:0]	保留 / Reserved; JESD204B Tx BID 值（延伸至 DID）/ BID number (extension of DID)	0x0	读 / 读/写
0x0583	JESD204B LID0 configuration 起	—	通道标识等链路配置寄存器组（0x0583–0x0586）/ Lane ID and related link configuration registers (0x0583–0x0586)，逐位说明见原件表 27	—	读/写 / R/W
0x058B	JESD204B link configuration（L 等）	—	链路参数配置寄存器（正文 12.2 节示例：0x58B=0x11 表示 L=2、开启扰码）/ Link parameter configuration (example in Section 12.2: 0x58B = 0x11 means L = 2, scrambling on)	—	读/写 / R/W
0x058C	JESD204B link number of octets per frame (F) configuration	[7:0]	F 配置：F = 0x058C[7:0]+1。0000 = F=1; 0001 = F=2; 0010 = F=3; 0011 = F=4; 0101 = F=6; 0111 = F=8; 1111 = F=16（原文位名栏与设置栏对应按可辨认内容转录）	—	读/写 / R/W
0x058D	JESD204B link number of frames per multiframe (K) configuration	[7:5] / [4:0]	保留 / Reserved; JESD204B K 配置：每多帧的帧数（K = 0x058C[4:0]+1）。仅用在 F×K 可被 4 整除的值 / Only values where F×K is divisible by 4	0x1F	读 / 读/写

地址 / Address	名称 / Name	位 / Bits	功能 / Function（中英对照）	复位 / Reset	存取 / Access
0x058E	JESD204B link number of converters (M) configuration	[7:0]	JESD204B M 配置：每个设备链路的转换器数量。000 = 链路连接至一个虚拟转换器（M=1）; 001 = 两个（M=2）; 011 = 四个（M=4）; 111 = 八个（M=8）	0x1	读/写 / R/W
0x058F	JESD204B number of control bits (CS) and ADC resolution (N)	[7:6] 起	每个样本的控制位（CS）数；及 N 配置字段（逐位说明见原件表 27；正文 11.2 节引用位[7:6] 取值 1、2、3 表示启用的控制位数）/ Number of control bits per sample (CS), and N configuration fields	—	读/写 / R/W
0x0590	JESD204B subclass configuration	—	子类模式配置（正文 10.8 节：位[7:5] 设置子类模式，默认子类 1）/ Subclass mode configuration	—	读/写 / R/W
0x0591	JESD204B JVS configuration [原文名称如此]	[7:5] / [4:0]	保留 / Reserved; 每个转换器帧周期的样本（S = 0x0591[4:0]+1）/ Samples per converter per frame period	0x0	读 / 读/写
0x0592	JESD204B HD CF configuration	7 / [6:5] / [4:0]	HD 值：0 = 高密度格式禁用；1 = 启用 / HD value. 保留 / Reserved. 每链路每帧时钟周期的控制字（CF = Register 0x0592, Bits [4:0]）/ Control words per frame clock period per link	0x0	读 / 读/写
0x05A0	JESD204B Checksum 0 configuration	[7:0]	校验和 0：通道 0 的串行校验和值。每通道自动计算。和（通道 0 的所有配置参数）mod 256（原文位名栏误写 SERDOUT0±，各校验和寄存器相同）/ Serial checksum value for Lane 0, auto-calculated per lane	0xC3	读 / R
0x05A1	JESD204B Checksum 1 configuration	[7:0]	校验和 1：通道 1（计算同上）/ Lane 1 checksum	0xC4	读 / R
0x05A2	JESD204B Checksum 2 configuration	[7:0]	校验和 2：通道 2 / Lane 2 checksum	—	读 / R
0x05A3	JESD204B Checksum 3 configuration	[7:0]	校验和 3：通道 3 / Lane 3 checksum	—	读 / R
0x05B0 起	JESD204B Lane power-down / assign 组	—	通道掉电与通道分配寄存器组（0x05B0–0x05B6）：含 Lane 0–3 掉电位与 SERDOUT0±–SERDOUT3± 通道分配 [2:0]（000 = 逻辑通道 0；001 = 逻辑通道 1；010 = 逻辑通道 2；011 = 逻辑通道 3；各物理通道默认值依次为逻辑通道 0/1/2/3）及 SERDOUT 数据反转位（0x05BF 一带：位 6/4/2/0 分别反转 SERDOUT3±/2±/1±/0± 数据，0 = 正常，1 = 反转）[地址与位的逐项对应以原件表 27 为准] / Lane power-down, lane assignment, and SERDOUT data-invert registers	0x0 起	读/写 / R/W
0x05C0	JESD204B Swing Adjust 1	[2:0] 等	SERDOUT0± 电压摆幅调节 / SERDOUT0± output swing adjustment: 000 = 1.0×DRVDD1; 001 = 0.850×DRVDD1; 010 = 0.750×DRVDD1。其余位为保留 / Remaining bits reserved	0x0	读/写 / R/W
0x05C1	JESD204B Swing Adjust 2	[2:0]	SERDOUT1± 电压摆幅调节，编码同 0x05C0 / As 0x05C0	0x0	读/写 / R/W
0x05C2	JESD204B Swing Adjust 3	[2:0]	SERDOUT2± 电压摆幅调节，编码同 0x05C0 / As 0x05C0	0x0	读/写 / R/W
0x05C3	JESD204B Swing Adjust 4	[2:0]	SERDOUT3± 电压摆幅调节，编码同 0x05C0 / As 0x05C0	0x0	读/写 / R/W
0x05C4	SERDOUT0 de-emphasis select			0x0	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	功能 / Function（中英对照）	复位 / Reset	存取 / Access
		7 / [6:4] / [3:0]	后抽头启用：0 = 禁用；1 = 启用 / Post-tap enable. 设置后抽头电平：000 = 0 dB; 001 = 3 dB; 010 = 6 dB; 011 = 9 dB; 100 = 12 dB（原文 [6:4] 位名写作 SERDOUT1±）。保留 / Reserved		
0x05C6	SERDOUT1 de-emphasis select	7 / [6:4] / [3:0]	同 0x05C4 模式 / Same pattern as 0x05C4	0x0	读/写 / R/W
0x05C8	SERDOUT2 de-emphasis/ preemphasis select	7 / [6:4] / [3:0]	同 0x05C4 模式 / Same pattern as 0x05C4	0x0	读/写 / R/W
0x05CA	SERDOUT3 preemphasis select	7 / [6:4] / [3:0]	后抽头启用与后抽头电平（0/3/6/9/12 dB）；原文 [6:4] 位名误写作 SERDOUT6± / Post-tap enable and level; source bit name misprints SERDOUT6±	0x0	读/写 / R/W
0x1222	JESD204B PLL calibration	[7:0]	JESD204B 锁相环校准复位：0x00 = JESD204B 锁相环正常工作；0x04 = 复位 JESD204B 锁相环校准。见表32 / PLL calibration reset	0x0	读/写 / R/W
0x1228	JESD204B PLL startup control	[7:0]	JESD204B 锁相环校准启动电路复位：0x0F = 启动电路正常工作；0x4F = 复位启动电路。见表32 / PLL startup circuit reset	0x0	读/写 / R/W
0x1262	JESD204B PLL LOL bit control	[7:0]	JESD204B 锁相环失锁清除：丢失锁位正常工作 / 清除丢失锁位。见表32 / Loss-of-lock bit clear	0x0	读/写 / R/W

表 28 可编程滤波器（PFILT）控制和系数寄存器 / Table 28 Programmable Filter (PFILT) Control and Coefficient Registers

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0DF8	Programmable filter control	[7:3]	保留 / Reserved	—	保留 / Reserved	0x0	写
0x0DF8	Programmable filter control	[2:0]	可编程滤波器模式 / Programmable filter mode	000 / 001 / 010 / 100 / 101	PFILT 模式。星号()表示卷积 / PFILT mode; asterisk () denotes convolution. 000 = 禁用（滤波器旁路）/ Disabled (filter bypass). 001 = 单滤波器(仅X)：DOUT_I[n]=DIN_I[n]X_I[n]，DOUT_Q[n]=DIN_Q[n]X_Q[n] / Single filter (X only). 010 = 单滤波器(X 和Y 一起)：DOUT_I[n]=DIN_I[n]XY_I[n]，DOUT_Q[n]=DIN_Q[n]XY_Q[n] / Single filter (X and Y together). 级联滤波器（X 到Y）：DOUT_I[n]=DIN_I[n]X_I[n]Y_I[n]，DOUT_Q[n]=DIN_Q[n]X_Q[n]Y_Q[n] / Cascaded filter (X to Y). 复数滤波器：DOUT_I[n]=DIN_I[n]X_I[n]+DIN_Q[n]Y_Q[n]，DOUT_Q[n]=DIN_Q[n]X_Q[n]+DIN_I[n]Y_I[n] / Complex filter. 半复数滤波器：DOUT_I[n]=DIN_I[n]，DOUT_Q[n]=DIN_Q[n]XY_Q[n] +DIN_I[n]XY_I[n] / Semi-complex filter	0x0	读/写 / R/W
0x0DF9	PFILT gain	7	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0DF9	PFILT gain	[6:4]	PFILT Y 增益 / PFILT Y gain	110 / 111 / 000 /	PFILT Y 增益。−12 dB 损失 / −12 dB loss; −6 dB 损失; −0 dB 损失 ; +6 dB 损失 ; +12 dB 损失 / PFILT Y gain	0x0	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
				001 / 010			
0x0DF9	PFILT gain	3	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x0DF9	PFILT gain	[2:0]	PFILT X 增益 / PFILT X gain	110 / 111 / 000 / 001 / 010	PFILT X 增益。−12 dB 损失；−6 dB 损失；0 dB 增益；+6 dB 增益；+12 dB 增益/ PFILT X gain	0x0	读/写 / R/W
0x0E00 to 0x0E7F	Programmable Filter X Coefficients	[7:0]	可编程滤波器 X 系数 0 至 127 / Programmable filter X coefficients 0 to 127	—	详细信息参见可编程FIR 滤波器部分中I 系数表（表14）和Q 系数表（表15）。系数仅应用于设置芯片传输位（寄存器0x000F，位0）后 / Coefficients are applied only after setting the chip transfer bit (register 0x000F, bit 0)	0x0	读/写 / R/W
0x0F00 to 0x0F7F	Programmable Filter Y Coefficients	[7:0]	可编程滤波器 Y 系数 0 至 127 / Programmable filter Y coefficients 0 to 127	—	同 X 系数说明 / Same note as X coefficients	0x0	读/写 / R/W

表 29 VREF/模拟输入控制寄存器 / Table 29 VREF / Analog Input Control Registers

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x0701	DC offset calibration control (local)	[7:0]	DC 偏移校准控制 / DC offset calibration control	0x06 / 0x86	0x06 = 禁用 / Disabled. 0x86 = 启用 / Enabled	0x06	读/写 / R/W
0x073B	DC Offset Calibration Control 2 (local)	[7:0]	DC 偏移校准累加器复位 / DC offset calibration accumulator reset	0xB7 / 0x37	同步复位 DC 偏移校准累加器 / Synchronously reset the DC offset calibration accumulator. 0xB7 = 累加器复位（用于 0x0701=0x06） / Accumulator reset (for 0x0701 = 0x06). 0x37 = 累加器复位释放（用于 0x0701=0x86） / Accumulator reset release (for 0x0701 = 0x86)	0xB7	读/写 / R/W
0x18A6	VREF control	[7:1]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x18A6	VREF control	0	VREF 控制 / VREF control	0 / 1	0 = 内部基准时钟信号 / Internal reference. 1 = 外部基准时钟信号 / External reference（正文第 2 节另以 0x18A6=0x01 开外部基准、0x10 输出内基准，位级对应以原件为准）	0x0	读/写 / R/W
0x18E3	External VCM buffer control	7	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x18E3	External VCM buffer control	6	外部 VCM 缓冲 / External VCM buffer	0 / 1	0 = 禁用 / Disabled. 1 = 启用 / Enabled	0x0	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
0x18E3	External VCM buffer control	[5:0]	外部 VCM 缓冲 [5:0] / External VCM buffer [5:0]	—	参阅输入共模部分 / See the input common-mode section	0x0	读/写 / R/W
0x18E6	Temperature diode export	[7:0]	温度二极管位置选择 / Temperature diode position select	0x00 / 0x01 / 0x02 / 0x03 / 0x40 / 0x41 / 0x42 / 0x43 / 0x50 / 0x51 / 0x52 / 0x53	中央二极管输出：0x00 = VREF 引脚=高电平-Z；0x01 = VREF 引脚=1x 二极管电压输出；0x02 = 20x 二极管电压输出；0x03 = VREF 引脚=GND / Center diode output. 通道A 二极管输出：0x40 = 高-Z；0x41 = 1x；0x42 = 20x；0x43 = GND / Channel A diode output. 通道B 二极管输出：0x50 = 高-Z；0x51 = 1x；0x52 = 20x；0x53 = GND / Channel B diode output	0x0	读/写 / R/W
0x1908	Analog input control (local)	[7:3]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x1908	Analog input control (local)	2	启用 DC 耦合 / Enable DC coupling	0 / 1	0 = 为 AC 耦合优化模拟输入 / Optimize the analog input for AC coupling. 1 = 为 DC 耦合优化模拟输入 / Optimize for DC coupling	0x0	读/写 / R/W
0x1908	Analog input control (local)	[1:0]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x1910	Input full-scale control (local)	[7:4]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x1910	Input full-scale control (local)	[3:0]	满量程电压 / Full-scale voltage	1000 / 1011 / 1100 / 1101 / 1110 / 1111 / 0000	满量程电压设置 / Full-scale voltage setting. 1000 = 1.13 V p-p 差分电压；1011 = 1.47 V p-p；1100 = 1.59 V p-p；1101 = 1.7 V p-p；1110 = 1.81 V p-p；1111 = 1.93 V p-p；0000 = 2.04 V p-p 差分电压 / Differential full-scale voltages as listed	0xD	读/写 / R/W
0x1A48	High frequency setting (local)	[7:0]	高频率设置 / High-frequency setting	0x14 / 0x54	0x14 = 第一个奈奎斯特操作 / First Nyquist operation. 0x54 = 第二个或更高的奈奎斯特操作 / Second or higher Nyquist operation	0x14	读/写 / R/W
0x1A4C	Buffer Control 1 (local)	[7:6]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x1A4C	Buffer Control 1 (local)	[5:0]	缓冲器控制 1 / Buffer control 1	001111 / 000100 / 001001 / 011110 / 100011 / 101000 / 101101 / 110010	输入缓冲器主电流1。参见模拟输入缓冲器控制和SFDR 优化部分 / Input buffer main current 1. Buffer current settings: 300 µA / 400 µA / 500 µA / 600 µA / 700 µA / 800 µA / 900 µA / 1000 µA	0x0	读/写 / R/W
0x1A4D	Buffer Control 2 (local)	[7:6]	保留 / Reserved	—	保留 / Reserved	0x0	读 / R
0x1A4D	Buffer Control 2 (local)	[5:0]	缓冲器控制 2 / Buffer control 2	同 0x1A4C 编码组 / Same	输入缓冲器主电流2。参见模拟输入缓冲器控制和SFDR 优化部分。缓冲器电流设置同 0x1A4C（300–1000 µA） / Input	0x0	读/写 / R/W

地址 / Address	名称 / Name	位 / Bits	位名称 / Bit name	设置 / Setting	说明 / Description	复位 / Reset	存取 / Access
				code group as 0x1A4C	buffer main current 2; settings as 0x1A4C		

电源地间保护 / Power-to-Ground Protection

English: To improve the antistatic capability of the device, the following ESD protection circuits exist between the power pins inside the device. The forward conduction voltage drop of each ESD protection device is approximately 0.35 V. During power-up and normal use, prolonged forward conduction of these ESD protection devices should be avoided.

中文： 为了提高器件的抗静电能力，器件内部的各电源引脚之间存在如下的静电保护回路，每个ESD 保护管的正向导通压降约0.35V，上电及正常使用中应避免这些ESD 保护管长时间正向导通。

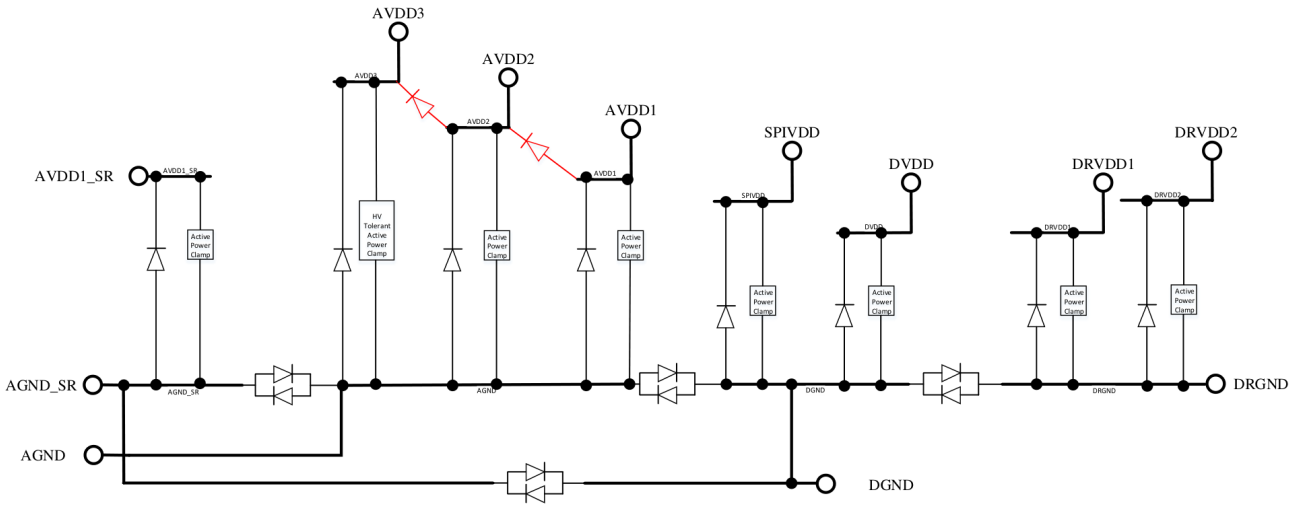


Figure 76: ESD protection circuit between the internal supplies

注意事项 / Precautions

1、产品安装注意事项 / 1. Product Installation Precautions

English: 1) Pay attention to the device orientation when soldering to avoid soldering it incorrectly. 2) The instruments and meters used for circuit debugging must have good unified grounding. The PCB design must maintain good grounding and power-supply decoupling. 3) Be careful not to reverse the power supply or short the inputs/outputs to the power supply, which can easily damage the circuit.

中文： 1) 焊接时请注意器件方向，以免焊错。 2) 调试电路所用的仪器、仪表一定要有良好的统一接地。PCB 板设计请务必保持接地良好、电源去耦。 3) 应注意不要将电源接反及输入输出端与电源短路，易造成电路损坏。

2、产品使用注意事项 / 2. Product Use Precautions

English: 1) It is recommended to reset the circuit first after power-up before use. 2) It is recommended to pay attention to the ambient temperature in actual use and to heat dissipation. 3) After configuring the DDC and 204B, a datapath soft reset is recommended (write 0x02 to register 0x0001). 4) If the input signal exceeds the rated input range, after it returns to the normal input range, a datapath soft reset is recommended. 5) Note all ports marked with +/− (such as SYSREF±): use them exactly according to the +/− markings. Normally, register 0x0120[4] is 0; when the SYSREF± pins are connected reversed (+/− swapped) to the peripheral clock circuit, register 0x0120[4] must be set to "1". 6) If a change in the peripheral circuit configuration (such as a non-continuous change of the input clock frequency, a sudden interruption of the input clock, or a supply voltage exceeding the rated value) causes the ADC function to be interrupted, the circuit may be in an abnormal state caused by the peripheral configuration change; even if the peripheral configuration returns to normal, the circuit may still be in an abnormal working state. Therefore, after the peripheral configuration is stable, a datapath soft reset is recommended (write 0x02 to register 0x0001) to ensure normal ADC operation. 7) Configuring 0x0738 to 0x18 and 0x073e to 0x08 turns off part of the online algorithms; the SNR decreases by about 1 dB, but the ADC anti-interference capability is strengthened. 8) For the supply voltage range, refer to the Recommended Operating Conditions section. 9) The maximum limit conditions of the product must not be exceeded, otherwise irreversible damage to the circuit will result. 10) The circuit operating frequency is 168.75 MSPS to 1300 MSPS. 11) The thermal pad (exposed pad) is analog ground; unused pins are recommended to be left floating. 12) When the power-up sequence can be controlled, power up the 0.975 V supply first, then the 1.8 V supply, then the 2.5 V supply; at the same time, note the precautions described in the Power-to-Ground Protection section. When the power-up sequence cannot be controlled, after all supplies have powered up, reset the chip once by configuring register 0x00 to 0x81 (recommended). 13) Filtering the supplies and appropriately isolating the analog and digital supplies are recommended. 14) The input clock division of this product supports divide-by-1, divide-by-2, and divide-by-4; the default is divide-by-1. If multi-chip synchronization is used, setting the clock division to divide-by-1 is recommended.

中文： 1) 推荐上电后首先对电路进行复位，再进行使用。 2) 建议实际使用时关注环境温度，并注意散热。 3) 在配置DDC 和204B 后，建议数据路径软复位（0x0001 寄存器打0x02）。 4) 如果输入信号超出输入额定范围，当恢复到正常输入范围后，建议数据路径软复位。 5) 注意所有标注了正负的端口（如SYSREF±等），请准确按照正负标注使用。正常情况下，寄存器0x0120[4]为0；当SYSREF±引脚与外围时钟电路±接反时，寄存器0x0120[4]需置为"1"。 6) 如果电路外围配置变化（如输入时钟频率非连续变化、输入时钟突然中断或者电源电压超出额定值等情况），导致ADC 功能中断，电路可能处于因外围配置变化而导致的异常状态，即使外围配置重新恢复正常，电路仍然可能处于非正常工作状态。因此，建议外围配置稳定后，对数据路径软复位（0x0001 寄存器打0x02），从而保证ADC 正常工作。 7) 0x0738 配置成0x18，0x073e 配置成0x08，关闭部分在线算法，SNR 会下降1dB 左右，但是ADC 抗干扰能力加强。 8) 供电电压范围参考推荐工作条件部分。 9) 不能超过产品最大限定条件使用，否则将会对电路造成不可逆的损坏。 10) 电路工作频率为168.75MSPS~1300MSPS。 11) 热沉为模拟地，未使用引脚建议悬空。 12) 上电顺序可控制时，0.975V 电源先上电，然后1.8V 电源，再2.5V 电源，但是需要同时注意电源地保护章节的描述的注意事项。上电顺序不能控制时，保证所有电源上电完成后，通过配置寄存器0x00 到0x81 把芯片复位一次（推荐）。 13) 建议对电源进行滤波，且将模拟和数字电源进行适当隔离。 14) 本产品输入时钟分频支持1、2、4 分频，默认是1 分频，如果使用多芯片同步，推荐将时钟分频设置成1 分频。

3、产品防护注意事项 / 3. Product Protection Precautions

English: 1) Temperature, humidity, and environment requirements for finished-product warehouse storage: temperature 10°C to 25°C, relative humidity 25% to 70%, electrostatic discharge sensitivity Class 1B (500 to 999 V). All pins of this circuit have ESD protection structures, but large-energy electric pulses may still damage the circuit; therefore, ESD protection must be observed during testing, handling, and storage. 2) Product storage period: counted from the date of the inspection-lot identification code; when the storage period of warehoused products exceeds 36 months, the products should be stored in a dedicated cabinet for expired products and can be used only after passing re-inspection. 3) Use within 4 hours after unpacking is recommended; if exposed to air for more than 4 hours, high-temperature baking at 150°C for 8 h followed by vacuum packaging and storage in a dry cabinet is recommended. 4) Avoid dropping during use to prevent mechanical stress damage. 5) Exceeding the absolute maximum ratings may cause permanent damage to the device. The maximum ratings do not indicate that the device can operate normally under these conditions or under any other conditions beyond those shown in this product manual. Long-term operation at the absolute maximum ratings will affect the reliability of the device. 6) Plastic-packaged circuits easily absorb moisture and delaminate; keep the surrounding environment dry during use, and store in vacuum packaging at room temperature in a dry environment.

中文： 1) 成品库贮存的温湿度和环境要求：温度10°C～25°C，相对湿度25%～70%、静电放电敏感度1B等级（500~999V）。该电路所有引出端均有静电保护结构，不过大能量电脉冲仍然可能损坏电路，因此在测试、搬运、储藏过程中，应注意静电防护。 2) 产品贮存期：从检验批识别代码日期算起，入库产品贮存期超过36个月时产品应归入超期产品专柜存放，产品须复检合格后方能使用。 3) 建议拆封后4小时内使用，如在空气中暴露超过4小时，建议进行150°C，8h的高温烘焙后抽真空包装，放置于干燥柜中存放。 4) 在使用过程中应避免跌落以免造成机械应力损伤。 5) 超出绝对最大额定值可能会导致器件永久性损坏。额定最大值不表示在这些条件下或者在任何其它超出本产品手册中所示的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。 6) 塑封电路易吸潮导致分层，使用时应注意保持周围环境干燥，存储时应真空包装储存于常温、干燥环境下。

4、电装说明 / 4. Assembly Instructions

English: 1) The moisture sensitivity level of this product is MSL3. The allowable time the product may be exposed to the external environment after being taken out of the moisture-proof bag, dry-stored, or baked, until reflow soldering, is: ≤30°C/60% RH, 168 h. 2) If the device storage conditions cannot be controlled or traced, strictly perform baking at 125°C for 8 h before assembly. 3) If the assembly environment temperature/humidity cannot be guaranteed at ≤30°C/60% RH, complete the soldering within 12 h after baking. 4) After baking, the product easily generates static electricity; ESD protection must be observed throughout all operations. 5) When leaded reflow soldering (Sn63Pb37) is used for board-level assembly, the recommended peak temperature range is 210°C to 235°C, the maximum peak temperature is not recommended to exceed 235°C, the dwell time within ±5°C of the peak temperature is ≤20 s, and the time above the liquidus line is 60 to 90 s. Heating rate 2 to 4°C/s, cooling rate ≤2°C/s to 6°C/s. 6) When lead-free reflow soldering (SAC305) is used for board-level assembly, the recommended peak temperature range is 230°C to 245°C, the maximum peak temperature is not recommended to exceed 260°C, the dwell time within ±5°C of the peak temperature is ≤20 s, and the time above the liquidus line is 60 to 90 s. Heating rate 2 to 4°C/s, cooling rate 2°C/s to 6°C/s. 7) If a mixed assembly process requires a temperature increase, ensure that the device body temperature does not exceed 260°C at most. (The device body temperature measurement point is on the top surface of the device during reflow soldering.) 8) The soldering-end surface treatment of this product is nickel-palladium-gold, with a content of less

than 3%, so gold embrittlement will not occur and tinning is not required. 9) If there is a mandatory tinning requirement, perform tinning according to the national aerospace industry standard QJ3267 Process Technical Requirements for Tinning of Electronic Components. Note that the device must be dried before tinning, the tinning temperature setting must not exceed 300°C, the heating time of each side of the four-side pins must be less than 5 s, the heating time of the thermal pad (exposed pad) surface must be less than 30 s, and the number of tinning operations must not exceed 1.

中文： 1) 本产品潮湿敏感等级为MSL3，将产品从防潮袋中取出、进行干燥储存或烘干后到回流焊前所暴露在外部环境的允许时间为：≤30°C/60RH%，168h。 2) 若器件储存条件无法控制或追溯，请在电装前严格执行125°C，8h 烘烤。 3) 若电装环境温湿度无法保证≤30°C/60RH%，请在烘烤后12h 内完成焊接。 4) 产品烘烤后，极易产生静电，所有操作过程需要注意ESD 防护。 5) 板级组装采用有铅回流焊（Sn63Pb37）时，推荐峰值温度范围210°C~235°C，最大峰值温度不建议超过235°C，峰值温度±5°C以内停留时间≤20s，液相线以上停留时间60~90s。升温速率2~4°C/s，降温速率≤2°C/s ~6°C/s。 6) 板级组装采用无铅回流焊（SAC305）时，推荐峰值温度范围230°C~245°C，最大峰值温度不建议超过260°C，峰值温度±5°C以内停留时间≤20s，液相线以上停留时间60~90s。升温速率2~4°C/s，降温速率2°C/s ~6°C/s。 7) 若混合电装工艺需要温度升高，应保证器件本体温度最高不超过260°C。（器件本体温度测量点位于回流焊时器件上表面）。 8) 本产品焊接端表面处理方式为镍钯金，但含量小于 3%，不会出现金脆现象，不需要搪锡。 9) 若有强制搪锡需求，按《国家航天行业标准 QJ3267 电子元器件搪锡工艺技术要求》标准进行搪锡。应注意搪锡前器件需烘干，搪锡设置温度不超过300°C，四边引脚每边受热时间小于5s，热沉表面受热时间小于30s，搪锡次数不超过1 次。

5、热阻 / 5. Thermal Resistance

表 1 封装热阻 / Package Thermal Resistance

项目 / Item	实测值 / Measured value	依据标准及方法 / Basis standard and method
Rthja（结到环境的热阻）/ Rthja (junction-to-ambient thermal resistance)	28.55 K/W	JESD51-2 集成电路自然对流热测试环境要求及测试方法 / JESD51-2 natural-convection thermal test environment requirements and test method for integrated circuits
Rthjt（结到器件顶面的热阻）/ Rthjt (junction-to-top thermal resistance)	4.795 K/W	JESD51-14 一维传热路径双界面分离法 / JESD51-14 two-interface separation method for one-dimensional heat transfer paths
Rthj-bottom（结到器件底面的热阻）/ Rthj-bottom (junction-to-bottom thermal resistance)	3.075 K/W	JESD51-14 拐点理论器件内部结构分层得到 / Obtained by internal structure layering per the JESD51-14 inflection-point theory

常见故障及处理办法 / Common Faults and Troubleshooting

English: 1. No output signal: check whether there is a clock input at the clock pin, check whether the power and ground signal connections are normal, and ensure that the input voltage and reference voltage are accurate; 2. Output data jitter: check the external circuit and connections and ensure that the reference voltage is stable. 3. Device operates unstably: check the power supply and ensure that the supply voltage is stable.

中文： 1. 无输出信号：检查时钟引出端是否有时钟输入，检查电源、地信号连接是否正常，保证输入电压、基准电压准确； 2. 输出数据抖动：检查外部电路和连接，保证基准电压稳定。 3. 器件工作不稳定：检查电源，保证电源电压稳定。

联系方式 / Contact Information

English: Felix Lai — Shenzhen Shenxin Technology Co., Ltd. / 深信科技. Email: felix@shenxinic.com. Tel / WhatsApp: +852 51367095. Website: shenxinic.com.

中文： Felix Lai — 深圳市深信科技有限公司 / 深信科技。邮箱：felix@shenxinic.com。电话 / WhatsApp：+852 51367095。网站：shenxinic.com。

附加说明 / Additional Notes

English: 1. The first release date of this manual: July 2026. 2. Product status of this product: ☒ In production (this product model is currently in production and formal products can be provided) ☐ Pre-release (this product model has not yet entered formal production; samples can be provided) 3. Description of the replacement of the foreign product: From the comparison in Table 1 of the Additional Notes, the power-supply absolute maximum ratings and recommended values are consistent with the foreign product, and the package is consistent with the AD965. From the comparisons in Tables 2 to 13 of the Additional Notes, the signal-to-noise ratio (SNR) and signal-to-noise-and-distortion ratio (SNDR) are slightly lower than those of the foreign product; the high-frequency SNR and spurious-free dynamic range (SFDR) degrade faster than those of the foreign product. The SXA043 is pin-compatible with the foreign product [pin-level compatibility only; see the cross-reference note on the cover] and can functionally replace the foreign product. If you have any questions, please contact Shenxin Tech's marketing and application support personnel for technical support: Felix Lai, felix@shenxinic.com, +852 51367095, shenxinic.com.

中文： 1. 本说明书首次发布日期：2026 年7 月。 2. 本产品状态：☒生产（该产品型号目前已在生产，可以提供正式产品） ☐预发布（该产品型号尚未投入正式生产，可以提供样品） 3. 替代国外产品情况说明： 通过附加说明中的表1 对比可知，电源绝对最大额定值和推荐值与国外产品一致，封装与AD965 一致。通过附加说明中的表2~表13 对比可知信噪比（SNR）与信噪失真比（SNDR）比国外产品器件略低；高频SNR 和无杂散动态范围（SFDR）的指标比国外产品下降更快。SXA043 与国外产品管脚兼容（仅封装/引脚层面），可实现对国外产品的功能替换。如有疑问请联系深信科技的市场和应用支持人员，以获得技术支持：Felix Lai、felix@shenxinic.com、+852 51367095、shenxinic.com。

1）绝对最大额定值对比 / 1) Absolute Maximum Ratings Comparison

附表 1 最大额定值对比 / Appendix Table 1 Maximum Ratings Comparison

参数 / Parameter	国内产品（SXA043）/ Domestic product (SXA043)	国外产品 / Foreign product	对比结果 / Comparison
VAVDD1	1.05V	1.05V	一致 / Consistent
VAVDD1_SR	1.05V	1.05V	一致 / Consistent
VAVDD2	2.0V	2.0V	一致 / Consistent
VAVDD3	2.7V	2.7V	一致 / Consistent
VDVDD	1.05V	1.05V	一致 / Consistent
VDRVDD1	1.05V	1.05V	一致 / Consistent

参数 / Parameter	国内产品（SXA043）/ Domestic product (SXA043)	国外产品 / Foreign product	对比结果 / Comparison
VDRVDD2	2.0V	2.0V	一致 / Consistent
VSPIVDD	2.0V	2.0V	一致 / Consistent
AGND to DRGND	−0.3V to 0.3V	−0.3V to 0.3V	一致 / Consistent
AGND to DGND	−0.3V to 0.3V	−0.3V to 0.3V	一致 / Consistent
DGND to DRGND	−0.3V to 0.3V	−0.3V to 0.3V	一致 / Consistent
VIN to AGND	AGND−0.3V to VAVDD3+0.3V	AGND−0.3V to VAVDD3+0.3V	一致 / Consistent
CLK to AGND	AGND−0.3V to VAVDD1+0.3V	AGND−0.3V to VAVDD1+0.3V	一致 / Consistent
SCLK, SDIO, CSB to AGND	DGND−0.3V to VSPIVDD+0.3V	DGND−0.3V to VSPIVDD+0.3V	一致 / Consistent
PDWN/STBY to AGND	DGND−0.3V to VSPIVDD+0.3V	DGND−0.3V to VSPIVDD+0.3V	一致 / Consistent
SYSREF to AGND	2.5V	2.5V	一致 / Consistent
SYNCINB to AGND	2.5V	2.5V	一致 / Consistent

备注：完全一致。/ Remark: fully consistent.

2）推荐工作条件对比 / 2) Recommended Operating Conditions Comparison

附表 2 推荐工作条件对比 / Appendix Table 2 Recommended Operating Conditions Comparison

English: Appendix Table 2 compares the recommended operating conditions item by item (domestic product SXA043 vs. foreign product, with a comparison-result column). The source table spans the pages following Appendix Table 1; its SYNCINB to AGND row is 2.5 V / 2.5 V / 一致 (consistent). The full item-by-item values are transcribed verbatim in the appendix data transcription below (source pp. 121–135) together with Appendix Tables 3–14.

中文： 附表2 逐项对比推荐工作条件（国内产品 SXA043 / 国外产品 / 对比结果）；其中 SYNCINB to AGND 一行为 2.5V / 2.5V / 一致。附表2 全表及附表3–附表14 的逐项数值见下方「附表数据转录」（原件第 121–135 页原文转录）。

4）其它指标对比 / 4) Other Specifications Comparison

附表 15 其它指标对比 / Appendix Table 15 Other Specifications Comparison

参数 / Parameter	国内产品 / Domestic product	国外产品 / Foreign product	比对结果 / Comparison
封装形式 / Package	QFN64	LFCSP72（QFN64）	一致 / Consistent
质量等级 / Quality grade	企标 / Enterprise standard	工业级 / Industrial grade	有差异 / Different
尺寸 / Dimensions	9mm×9mm×0.75mm	9mm×9mm×0.75mm	一致 / Consistent

参数 / Parameter	国内产品 / Domestic product	国外产品 / Foreign product	比对结果 / Comparison
替代建议 / Replacement recommendation	☐直接替代 ☐有效替代 ☒功能替代 / ☐ Direct replacement ☐ Effective replacement ☒ Functional replacement		

附表 2–附表 14 数据转录（原文逐字转录）/ Appendix Tables 2–14 Data Transcription (Verbatim from Source)

English: The following is a verbatim layout transcription of Appendix Table 2 (recommended operating conditions comparison, continued) and Appendix Tables 3–14 (measured typical-performance comparisons) from the source (PDF pp. 120–134). Column order in the source: Characteristic / Symbol / Conditions / SXA043 / Foreign product / Comparison result (基本一致 = basically consistent; 有差异 = different). Values are reproduced exactly as printed; page-number lines and the original document header lines are omitted. Appendix Table 2 in the source begins with the SYNCINB row (Section 2 above) and continues with the supply-voltage rows transcribed first below.

中文： 以下为原件附表2（推荐工作条件对比，续表）及附表3–附表14（典型性能实测值对比）的版式逐字转录（原件 PDF 第 120–134 页）。原件列序为：特性 / 符号 / 条件 / SXA043 / 国外产品 / 对比结果（基本一致 / 有差异）。数值按原件原样保留；页码行与原件页眉行略去。附表2 正文首行为 SYNCINB 行（见上文第 2 节），其后为下方转录的电源电压各行。

```
          附表2 推荐工作条件对比
        国内产品 国外产品 对比结果
产品型号（规格） SXA043 国外产品
  SYNCINB to AGND 2.5V 2.5V 一致

推荐工作条件

  电源电压（VAVDD1）to 0.93V~0.98V 0.93V~0.98V
                          一致
     AGND （标称值 0.95V） （标称值 0.95V）
  电源电压（VAVDD1_SR） 0.93V~0.98V 0.93V~0.98V
                          一致
     to AGND （标称值 0.95V） （标称值 0.95V）
  电源电压（VAVDD2）to 1.71V~1.89V 1.71V~1.89V
                          一致
     AGND （标称值 1.8V） （标称值 1.8V）

  电源电压（VAVDD3）to 2.44V~2.56V 2.44V~2.56V
  一致
     AGND （标称值 2.5V） （标称值 2.5V）

  电源电压（VDVDD）to 0.93V~0.98V 0.93V~0.98V
  一致
     AGND （标称值 0.95V） （标称值 0.95V））

  电源电压（VDRVDD1） 0.93V~0.98V 0.93V~0.98V
  一致
```

to AGND （标称值 0.95V） （标称值 0.95V）
电源电压（VDRVDD2） 1.71V~1.89V 1.71V~1.89V
一致
to AGND （标称值 1.8V） （标称值 1.8V）
电源电压（VSPIVDD）to 1.71V~1.89V 1.8V~1.89V
一致
AGND （标称值 1.8V） （标称值 1.8V）
工作温度范围 -40°C≤TA≤85°C -40°C≤TA≤85°C 一致

3）性能对比

附表3 产品典型性能实测值对比（1.36Vpp 常温）

条 件
(除 另 有 规 定 外，
VAVDD1=0.95V，
VAVDD1_SR=0.95V，
VAVDD2=1.8V，VAVDD3=2.5V，
VDVDD=0.95V，
VDRVDD1=0.95V，国外产品 对比结果
特性 符号 SXA043
VDRVDD2=1.8V，
VSPIVDD=1.8V，AGND =
DGND=DRGND
=AGND_SR =0V，
FS＝1300MSPS，
TA=25°C，输入幅度范围为
1.36Vp-p
fIN=10MHz，-1.0dBFS 62.31 64.55 有差异
fIN=170MHz，-1.0dBFS 62.23 64.57 有差异
fIN=340MHz，-1.0dBFS 62.25 64.34 有差异
fIN=750MHz，-1.0dBFS 61.59 63.54 有差异
信噪比 SNR
fIN=1000MHz，-1.0dBFS 61.31 62.88 有差异
fIN=1400MHz，-1.0dBFS 60.45 61.86 有差异
fIN=1700MHz，-1.0dBFS 59.55 61.11 有差异
fIN=1980MHz，-1.0dBFS 59.00 60.29 有差异
fIN=10MHz，-1.0dBFS 61.21 63.24 有差异
fIN=170MHz，-1.0dBFS 61.11 63.44 有差异
fIN=340MHz，-1.0dBFS 61.20 63.16 有差异
信噪失真比 SINAD fIN=750MHz，-1.0dBFS 60.48 62.32 有差异
fIN=1000MHz，-1.0dBFS 60.11 61.56 有差异
fIN=1400MHz，-1.0dBFS 59.16 60.61 有差异
fIN=1700MHz，-1.0dBFS 58.30 59.95 有差异

118

fIN=1980MHz，-1.0dBFS 57.74 59.15 有差异
fIN=10MHz，-1.0dBFS 78.82 78.16 基本一致
fIN=170MHz，-1.0dBFS 82.92 84.39 基本一致

```
                    fIN=340MHz，-1.0dBFS 80.33 81.72 基本一致
无杂散动态范 fIN=750MHz，-1.0dBFS 78.94 80.31 基本一致
           SFDR
围 fIN=1000MHz，-1.0dBFS 78.12 77.49 基本一致
                    fIN=1400MHz，-1.0dBFS 72.07 78.04 有差异
                    fIN=1700MHz，-1.0dBFS 72.98 81.2 有差异
                    fIN=1980MHz，-1.0dBFS 71.77 81.2 有差异
                    fIN=10MHz，-1.0dBFS -87.40 -91.80 基本一致
                    fIN=170MHz，-1.0dBFS -89.40 -96.0 有差异
                    fIN=340MHz，-1.0dBFS -91 -94.20 有差异
最差谐波失真 fIN=750MHz，-1.0dBFS -88.20 -95 有差异
        HD2,3nd
（除二、三阶） fIN=1000MHz，-1.0dBFS -87.80 -93.4 有差异
                    fIN=1400MHz，-1.0dBFS -84.60 -93 有差异
                    fIN=1700MHz，-1.0dBFS -85.80 -87.4 基本一致
                    fIN=1980MHz，-1.0dBFS -89 -91.40 基本一致
                    fIN=10MHz，-1.0dBFS 9.87 10.21 有差异
                    fIN=170MHz，-1.0dBFS 9.86 10.24 有差异
                    fIN=340MHz，-1.0dBFS 9.87 10.20 有差异
                    fIN=750MHz，-1.0dBFS 9.75 10.06 有差异
有效位数 ENOB
                    fIN=1000MHz，-1.0dBFS 9.69 9.93 有差异
                    fIN=1400MHz，-1.0dBFS 9.54 9.77 有差异
                    fIN=1700MHz，-1.0dBFS 9.39 9.67 有差异
                    fIN=1980MHz，-1.0dBFS 9.30 9.53 有差异



       附表4 产品典型性能实测值对比（1.36Vpp 低温）

        条件
                    (除另有规定外，
                    VAVDD1=0.95V，
                    VAVDD1_SR=0.95V，
                    VAVDD2=1.8V，VAVDD3=2.5V，
                    VDVDD=0.95V，
                    VDRVDD1=0.95V，国外产品对比结果
特性符号 SXA043
                    VDRVDD2=1.8V，
                    VSPIVDD=1.8V，AGND =
                    DGND=DRGND
                    =AGND_SR =0V，
                    FS＝1300MSPS，
                    TA=-40°C，输入幅度范围为
                    1.36Vp-p
                    fIN=10MHz，-1.0dBFS 61.52 65.27 有差异
                    fIN=170MHz，-1.0dBFS 61.55 65.27 有差异
                    fIN=340MHz，-1.0dBFS 61.56 65.03 有差异
信噪比 SNR fIN=750MHz，-1.0dBFS 61.08 64.41 有差异
                    fIN=1000MHz，-1.0dBFS 60.74 63.81 有差异
                    fIN=1400MHz，-1.0dBFS 60.18 62.71 有差异
                    fIN=1700MHz，-1.0dBFS 59.76 61.9 有差异
```

119

fIN=1980MHz，-1.0dBFS 59.01 60.7 基本一致
fIN=10MHz，-1.0dBFS 60.18 63.44 有差异
fIN=170MHz，-1.0dBFS 60.30 64.10 有差异
fIN=340MHz，-1.0dBFS 60.49 63.90 有差异
fIN=750MHz，-1.0dBFS 59.80 63.22 有差异
信噪失真比 SINAD
fIN=1000MHz，-1.0dBFS 59.57 62.55 有差异
fIN=1400MHz，-1.0dBFS 58.52 61.35 有差异
fIN=1700MHz，-1.0dBFS 58.13 60.55 有差异
fIN=1980MHz，-1.0dBFS 57.26 59.30 有差异
fIN=10MHz，-1.0dBFS 75.29 75.29 基本一致
fIN=170MHz，-1.0dBFS 77.61 83.85 基本一致
fIN=340MHz，-1.0dBFS 81.43 81.8 基本一致
无 杂散动 态范 fIN=750MHz，-1.0dBFS 75.00 83.2 基本一致
SFDR
围 fIN=1000MHz，-1.0dBFS 78.00 79.89 基本一致
fIN=1400MHz，-1.0dBFS 69.09 76.47 有差异
fIN=1700MHz，-1.0dBFS 68.31 74.89 有差异
fIN=1980MHz，-1.0dBFS 67.02 72.16 有差异
fIN=10MHz，-1.0dBFS -85.40 -88.60 基本一致
fIN=170MHz，-1.0dBFS -83.80 -97 有差异
fIN=340MHz，-1.0dBFS -90.60 -95.80 有差异
最差谐波失真 fIN=750MHz，-1.0dBFS -89 -97.80 有差异
HD2,3nd
（除二、三阶） fIN=1000MHz，-1.0dBFS -87.80 -95.80 有差异
fIN=1400MHz，-1.0dBFS -85 -91.40 有差异
fIN=1700MHz，-1.0dBFS -87 -88.20 基本一致
fIN=1980MHz，-1.0dBFS -88.20 -84.60 基本一致
fIN=10MHz，-1.0dBFS 9.70 10.25 有差异
fIN=170MHz，-1.0dBFS 9.72 10.35 有差异
fIN=340MHz，-1.0dBFS 9.75 10.32 有差异
fIN=750MHz，-1.0dBFS 9.64 10.21 有差异
有效位数 ENOB
fIN=1000MHz，-1.0dBFS 9.60 10.10 有差异
fIN=1400MHz，-1.0dBFS 9.43 9.90 有差异
fIN=1700MHz，-1.0dBFS 9.36 9.77 有差异
fIN=1980MHz，-1.0dBFS 9.22 9.56 有差异

附表5 产典型性能实测值对比（1.36Vpp 高温）

120

条 件

(除另有规定外，
VAVDD1=0.95V，
VAVDD1_SR=0.95V，
VAVDD2=1.8V，VAVDD3=2.5V，
VDVDD=0.95V，
VDRVDD1=0.95V，国外产品对比结果
特性符号 SXA043
VDRVDD2=1.8V，
VSPIVDD=1.8V，AGND =
DGND=DRGND
=AGND_SR =0V，
FS＝1300MSPS，
TA=-85°C，输入幅度范围为
1.36Vp-p
fIN=10MHz，-1.0dBFS 61.85 63.84 有差异
fIN=170MHz，-1.0dBFS 61.91 64.03 有差异
fIN=340MHz，-1.0dBFS 61.85 63.78 有差异
fIN=750MHz，-1.0dBFS 61.25 63.06 有差异
信噪比 SNR
fIN=1000MHz，-1.0dBFS 60.73 62.4 有差异
fIN=1400MHz，-1.0dBFS 59.78 61.24 有差异
fIN=1700MHz，-1.0dBFS 59.22 60.47 有差异
fIN=1980MHz，-1.0dBFS 58.37 59.63 有差异
fIN=10MHz，-1.0dBFS 60.69 62.14 有差异
fIN=170MHz，-1.0dBFS 60.77 62.91 有差异
fIN=340MHz，-1.0dBFS 60.67 62.43 有差异
fIN=750MHz，-1.0dBFS 60.08 61.75 有差异
信噪失真比 SINAD
fIN=1000MHz，-1.0dBFS 59.58 61.03 有差异
fIN=1400MHz，-1.0dBFS 58.67 59.90 有差异
fIN=1700MHz，-1.0dBFS 57.91 59.01 有差异
fIN=1980MHz，-1.0dBFS 56.58 58.22 有差异
fIN=10MHz，-1.0dBFS 80.30 71.95 优于竞品
fIN=170MHz，-1.0dBFS 82.29 80.38 优于竞品
fIN=340MHz，-1.0dBFS 80.28 77.13 优于竞品
无杂散动态范 fIN=750MHz，-1.0dBFS 81.18 76.52 优于竞品
SFDR
围 fIN=1000MHz，-1.0dBFS 78.11 75.72 优于竞品
fIN=1400MHz，-1.0dBFS 75.59 73.6 优于竞品
fIN=1700MHz，-1.0dBFS 73.10 71.68 优于竞品
fIN=1980MHz，-1.0dBFS 66.69 73.53 基本一致
fIN=10MHz，-1.0dBFS -89.40 -93.80 基本一致
fIN=170MHz，-1.0dBFS -92.20 -94.20 基本一致
fIN=340MHz，-1.0dBFS -91.80 -96.60 基本一致
最差谐波失真 fIN=750MHz，-1.0dBFS -91 -93.80 基本一致
HD2,3nd
（除二、三阶） fIN=1000MHz，-1.0dBFS -86.20 -94.20 有差异
fIN=1400MHz，-1.0dBFS -87 -93.80 有差异
fIN=1700MHz，-1.0dBFS -86.20 -93 有差异
fIN=1980MHz，-1.0dBFS -90.60 -89.80 基本一致
fIN=10MHz，-1.0dBFS 9.79 10.03 基本一致
有效位数 ENOB fIN=170MHz，-1.0dBFS 9.80 10.16 基本一致

fIN=340MHz，-1.0dBFS 9.78 10.08 基本一致

121

fIN=750MHz，-1.0dBFS 9.69 9.97 基本一致
fIN=1000MHz，-1.0dBFS 9.60 9.85 基本一致
fIN=1400MHz，-1.0dBFS 9.45 9.66 基本一致
fIN=1700MHz，-1.0dBFS 9.33 9.51 基本一致
fIN=1980MHz，-1.0dBFS 9.11 9.38 基本一致

附表6 产品双音实测值对比（1.36Vpp 常温）

条件 (除另有规定外，VAVDD1=0.95V，VAVDD1_SR=0.95V，VAVDD2=1.8V，VAVDD3=2.5V，VDVDD=0.95V，VDRVDD1=0.95V，VDRVDD2=1.8V，VSPIVDD=1.8V，AGND = DGND=DRGND =AGND_SR =0V，FS＝1300MSPS，TA=25°C，输入幅度范围为 1.36Vp-p

特性符号	SXA043	国外产品	对比结果
CT 串扰	fIN=10MHz，-1.0dBFS	-85.68	-88.25	基本一致
IMD 双音交调失真 (dB)	fIN1=170.8MHz，-7 dBFS fIN2=173.8MHz，-7 dBFS TA = 25°C	-84.64	-83.42	基本一致
IMD 双音交调失真 (dBFS)	fIN1=343.5MHz，-7 dBFS fIN2=346.5MHz，-7 dBFS TA = 25°C	-84.98	-81.43	基本一致

附表7 产品典型性能实测值对比（1.59Vpp 常温）

条件 (除另有规定外，VAVDD1=0.95V，VAVDD1_SR=0.95V，VAVDD2=1.8V，VAVDD3=2.5V，VDVDD=0.95V，VDRVDD1=0.95V，国外产品对比结果

特性符号 | SXA043

```
                  VDRVDD2=1.8V,
                  VSPIVDD=1.8V, AGND =
                  DGND=DRGND
                  =AGND_SR =0V,
                  FS＝1300MSPS，
                  TA=25℃，输入幅度范围为
                  1.59Vp-p
                  fIN=10MHz，-1.0dBFS 63.65 65.93 有差异
信噪比 SNR fIN=170MHz，-1.0dBFS 63.61 65.9 有差异
                  fIN=340MHz，-1.0dBFS 63.58 65.63 有差异


                                  122

                   fIN=750MHz，-1.0dBFS 62.85 64.69 有差异
                   fIN=1000MHz，-1.0dBFS 62.22 63.81 有差异
                   fIN=1400MHz，-1.0dBFS 61.22 62.37 有差异
                   fIN=1700MHz，-1.0dBFS 60.45 61.53 有差异
                   fIN=1980MHz，-1.0dBFS 59.25 60.79 有差异
                   fIN=10MHz，-1.0dBFS 62.53 64.49 有差异
                   fIN=170MHz，-1.0dBFS 62.52 64.69 有差异
                   fIN=340MHz，-1.0dBFS 62.45 64.24 有差异
                   fIN=750MHz，-1.0dBFS 61.68 63.30 有差异
信噪失真比 SINAD
                   fIN=1000MHz，-1.0dBFS 60.98 62.30 有差异
                   fIN=1400MHz，-1.0dBFS 59.64 60.91 有差异
                   fIN=1700MHz，-1.0dBFS 59.05 60.34 有差异
                   fIN=1980MHz，-1.0dBFS 57.84 59.56 有差异
                   fIN=10MHz，-1.0dBFS 80.64 76.74 基本一致
                   fIN=170MHz，-1.0dBFS 81.21 81.54 基本一致
                   fIN=340MHz，-1.0dBFS 79.65 77.44 基本一致
无 杂散动 态范 fIN=750MHz，-1.0dBFS 78.21 77.34 基本一致
           SFDR
围 fIN=1000MHz，-1.0dBFS 76.80 75.73 基本一致
                   fIN=1400MHz，-1.0dBFS 70.58 74.24 基本一致
                   fIN=1700MHz，-1.0dBFS 71.15 78.51 有差异
                   fIN=1980MHz，-1.0dBFS 69.36 78.18 有差异
                   fIN=10MHz，-1.0dBFS -88.20 -95 有差异
                   fIN=170MHz，-1.0dBFS -91.40 -97 有差异
                   fIN=340MHz，-1.0dBFS -91.40 -96.60 有差异
最差谐波失真 fIN=750MHz，-1.0dBFS -90.20 -94.20 有差异
        HD2,3nd
（除二、三阶） fIN=1000MHz，-1.0dBFS -89.40 -95 有差异
                   fIN=1400MHz，-1.0dBFS -87.40 -89.80 基本一致
                   fIN=1700MHz，-1.0dBFS -87 -87.40 基本一致
                   fIN=1980MHz，-1.0dBFS -81.40 -89.80 有差异
                   fIN=10MHz，-1.0dBFS 10.09 10.42 基本一致
                   fIN=170MHz，-1.0dBFS 10.09 10.45 基本一致
                   fIN=340MHz，-1.0dBFS 10.08 10.38 基本一致
                   fIN=750MHz，-1.0dBFS 9.95 10.22 基本一致
有效位数 ENOB
                   fIN=1000MHz，-1.0dBFS 9.84 10.06 基本一致
```

fIN=1400MHz，-1.0dBFS 9.61 9.83 基本一致
fIN=1700MHz，-1.0dBFS 9.52 9.73 基本一致
fIN=1980MHz，-1.0dBFS 9.31 9.60 基本一致

123

附表8 产品典型性能实测值对比（1.59Vpp 低温）

条件 (除另有规定外，VAVDD1=0.95V，VAVDD1_SR=0.95V，VAVDD2=1.8V，VAVDD3=2.5V，VDVDD=0.95V，VDRVDD1=0.95V，VDRVDD2=1.8V，VSPIVDD=1.8V，AGND =DGND=DRGND =AGND_SR =0V，FS＝1300MSPS，TA=-40°C，输入幅度范围为1.59Vp-p

特性符号	SXA043		国外产品	对比结果
	fIN=10MHz，-1.0dBFS	62.18	66.52	有差异
	fIN=170MHz，-1.0dBFS	62.25	66.49	有差异
	fIN=340MHz，-1.0dBFS	62.17	66.28	有差异
	fIN=750MHz，-1.0dBFS	61.52	65.41	有差异
信噪比 SNR				
	fIN=1000MHz，-1.0dBFS	61.27	64.72	有差异
	fIN=1400MHz，-1.0dBFS	60.52	63.43	有差异
	fIN=1700MHz，-1.0dBFS	59.86	62.4	有差异
	fIN=1980MHz，-1.0dBFS	58.75	61.55	有差异
	fIN=10MHz，-1.0dBFS	60.83	64.48	有差异
	fIN=170MHz，-1.0dBFS	61.02	65.21	有差异
	fIN=340MHz，-1.0dBFS	61.10	64.89	有差异
	fIN=750MHz，-1.0dBFS	60.15	64.14	有差异
信噪失真比 SINAD				
	fIN=1000MHz，-1.0dBFS	60.05	63.25	有差异
	fIN=1400MHz，-1.0dBFS	58.42	61.74	有差异
	fIN=1700MHz，-1.0dBFS	57.74	60.89	有差异
	fIN=1980MHz，-1.0dBFS	56.54	59.85	有差异
	fIN=10MHz，-1.0dBFS	75.89	74.79	基本一致
	fIN=170MHz，-1.0dBFS	77.37	82.6	基本一致
	fIN=340MHz，-1.0dBFS	84.84	78.33	基本一致
无杂散动态范围 SFDR	fIN=750MHz，-1.0dBFS	74.03	81.74	有差异
	fIN=1000MHz，-1.0dBFS	77.45	77.13	基本一致
	fIN=1400MHz，-1.0dBFS	66.77	73.43	有差异
	fIN=1700MHz，-1.0dBFS	65.60	73.32	有差异

fIN=1980MHz，-1.0dBFS 64.28 70.49 有差异
fIN=10MHz，-1.0dBFS -86.20 -94.20 有差异
fIN=170MHz，-1.0dBFS -86.60 -94.60 有差异
fIN=340MHz，-1.0dBFS -91.40 -99 有差异
最差谐波失真 fIN=750MHz，-1.0dBFS -87 -96.60 有差异
HD2,3nd
（除二、三阶） fIN=1000MHz，-1.0dBFS -91.80 -91.80 基本一致
fIN=1400MHz，-1.0dBFS -85.40 -90.60 有差异
fIN=1700MHz，-1.0dBFS -85 -89 有差异
fIN=1980MHz，-1.0dBFS -83 -87 有差异
fIN=10MHz，-1.0dBFS 9.81 10.42 有差异
有效位数 ENOB
fIN=170MHz，-1.0dBFS 9.84 10.54 有差异

124

fIN=340MHz，-1.0dBFS 9.86 10.49 有差异
fIN=750MHz，-1.0dBFS 9.70 10.36 有差异
fIN=1000MHz，-1.0dBFS 9.68 10.21 有差异
fIN=1400MHz，-1.0dBFS 9.41 9.96 有差异
fIN=1700MHz，-1.0dBFS 9.30 9.82 有差异
fIN=1980MHz，-1.0dBFS 9.10 9.65 有差异

附表9 表产品典型性能实测值对比（1.59Vpp 高温）

条 件

(除另有规定外，
VAVDD1=0.95V，
VAVDD1_SR=0.95V，
VAVDD2=1.8V，VAVDD3=2.5V，
VDVDD=0.95V，
VDRVDD1=0.95V，
特性 符号 SXA043 国外产品 对比结果
VDRVDD2=1.8V，
VSPIVDD=1.8V，AGND =
DGND=DRGND
=AGND_SR =0V，

FS＝1300MSPS，

TA=85°C，输入幅度范围为
1.59Vp-p

fIN=10MHz，-1.0dBFS 63.40 65.33 有差异

fIN=170MHz，-1.0dBFS 63.35 65.32 有差异

fIN=340MHz，-1.0dBFS 63.17 65.11 有差异

fIN=750MHz，-1.0dBFS 62.36 63.78 有差异

信噪比 SNR
fIN=1000MHz，-1.0dBFS 61.73 63.27 有差异

fIN=1400MHz，-1.0dBFS 60.59 61.88 有差异

fIN=1700MHz，-1.0dBFS 59.85 60.9 有差异

fIN=1980MHz，-1.0dBFS 58.80 60.03 有差异

fIN=10MHz，-1.0dBFS 62.20 62.98 有差异
信噪失真比 SINAD
fIN=170MHz，-1.0dBFS 62.17 64.00 有差异

125

fIN=340MHz，-1.0dBFS 61.91 63.38 有差异

fIN=750MHz，-1.0dBFS 61.16 62.16 有差异

fIN=1000MHz，-1.0dBFS 60.49 61.75 有差异

fIN=1400MHz，-1.0dBFS 59.35 60.05 有差异

fIN=1700MHz，-1.0dBFS 58.35 59.29 有差异

fIN=1980MHz，-1.0dBFS 56.22 60.03 有差异

fIN=10MHz，-1.0dBFS 79.52 70.03 优于竞品

fIN=170MHz，-1.0dBFS 81.41 77.84 优于竞品

fIN=340MHz，-1.0dBFS 78.96 73.73 优于竞品

无 杂散动 态范 fIN=750MHz，-1.0dBFS 79.70 73.45 优于竞品
SFDR
围 fIN=1000MHz，-1.0dBFS 76.74 74.6 优于竞品

fIN=1400MHz，-1.0dBFS 74.33 69.7 优于竞品

fIN=1700MHz，-1.0dBFS 70.71 70.85 基本一致

fIN=1980MHz，-1.0dBFS 63.29 69.92 有差异

fIN=10MHz，-1.0dBFS -90.20 -97 有差异

fIN=170MHz，-1.0dBFS -93.40 -95.80 有差异

fIN=340MHz，-1.0dBFS -93.40 -97.80 有差异

最差谐波失真 fIN=750MHz，-1.0dBFS -91 -93.00 有差异

HD2,3nd
（除二、三阶） fIN=1000MHz，-1.0dBFS -91.40 -91.80 基本一致

fIN=1400MHz，-1.0dBFS -86.20 -94.20 有差异

fIN=1700MHz，-1.0dBFS -87 -91 有差异

fIN=1980MHz，-1.0dBFS -89.40 -88.60 有差异

fIN=10MHz，-1.0dBFS 10.04 10.17 基本一致

fIN=170MHz，-1.0dBFS 10.04 10.34 基本一致
有效位数 ENOB
fIN=340MHz，-1.0dBFS 9.99 10.24 有差异

fIN=750MHz，-1.0dBFS 9.87 10.03 有差异

fIN=1000MHz，-1.0dBFS 9.76 9.96 有差异

fIN=1400MHz，-1.0dBFS 9.57 9.68 基本一致

fIN=1700MHz，-1.0dBFS 9.40 9.56 基本一致

fIN=1980MHz，-1.0dBFS 9.05 9.37 基本一致

附表10 产品双音实测值对比（1.59Vpp 常温）
条件
(除另有规定外，
VAVDD1=0.95V，
VAVDD1_SR=0.95V，
VAVDD2=1.8V，
VAVDD3=2.5V，
VDVDD=0.95V，
特性符号 VDRVDD1=0.95V，SXA043 国外产品对比结果
VDRVDD2=1.8V，
VSPIVDD=1.8V，AGND =
DGND=DRGND
=AGND_SR =0V，
FS＝1300MSPS，
输入幅度范围为
1.59Vp-p
CT fIN=10MHz，-1.0dBFS
串扰 -87.82 -89.58 基本一致
（dB） TA = 25℃
fIN1=170.8MHz，-7 dBFS

IMD
双音交调失真 fIN2=173.8MHz，-7 dBFS -83.97 -80.33 基本一致
（dBFS）
TA = 25°C
fIN1=343.5MHz， -7
IMD dBFS
双音交调失真 fIN2=346.5MHz， -7 -85.08 -79.35 基本一致
（dBFS）
dBFS
TA = 25°C

127

附表11 产品典型性能实测值对比（2.04Vpp 常温）

条件
(除另有规定外，
VAVDD1=0.95V，
VAVDD1_SR=0.95V，
VAVDD2=1.8V，VAVDD3=2.5V，
VDVDD=0.95V，
VDRVDD1=0.95V，国外产品对比结果
特性符号 SXA043
VDRVDD2=1.8V，
VSPIVDD=1.8V，AGND =
DGND=DRGND
=AGND_SR =0V，
FS＝1300MSPS，
TA=25°C，输入幅度范围为
2.04 Vp-p
fIN=10MHz，-1.0dBFS 65.55 67.77 有差异
fIN=170MHz，-1.0dBFS 65.61 67.58 有差异
fIN=340MHz，-1.0dBFS 65.43 67.4 有差异
fIN=750MHz，-1.0dBFS 64.32 65.7 有差异
信噪比 SNR
fIN=1000MHz，-1.0dBFS 63.37 64.78 有差异
fIN=1400MHz，-1.0dBFS 61.44 63.14 有差异
fIN=1700MHz，-1.0dBFS 58.95 62.28 有差异
fIN=1980MHz，-1.0dBFS 55.83 61.43 有差异
fIN=10MHz，-1.0dBFS 64.42 65.50 有差异
fIN=170MHz，-1.0dBFS 64.49 66.04 有差异
fIN=340MHz，-1.0dBFS 64.06 64.91 有差异
fIN=750MHz，-1.0dBFS 62.73 63.37 有差异
信噪失真比 SINAD
fIN=1000MHz，-1.0dBFS 61.69 62.88 有差异
fIN=1400MHz，-1.0dBFS 59.05 60.61 有差异
fIN=1700MHz，-1.0dBFS 56.96 60.96 有差异
fIN=1980MHz，-1.0dBFS 53.73 58.59 有差异
fIN=10MHz，-1.0dBFS 86.55 73.04 基本一致

fIN=170MHz，-1.0dBFS 81.68 77.68 基本一致
fIN=340MHz，-1.0dBFS 78.76 71.86 基本一致
无 杂散动 态范 fIN=750MHz，-1.0dBFS 73.56 71.3 基本一致
SFDR
围 fIN=1000MHz，-1.0dBFS 73.03 73.53 基本一致
fIN=1400MHz，-1.0dBFS 66.16 67.42 基本一致
fIN=1700MHz，-1.0dBFS 65.48 76.99 有差异
fIN=1980MHz，-1.0dBFS 61.90 65.49 基本一致
fIN=10MHz，-1.0dBFS -89 -92.60 有差异
fIN=170MHz，-1.0dBFS -92.20 -95.00 有差异
fIN=340MHz，-1.0dBFS -92.60 -98.60 有差异
最差谐波失真 fIN=750MHz，-1.0dBFS -90.20 -92.20 有差异
HD2,3nd
（除二、三阶） fIN=1000MHz，-1.0dBFS -83.80 -92.60 有差异
fIN=1400MHz，-1.0dBFS -79.40 -87 有差异
fIN=1700MHz，-1.0dBFS -74.60 -82.60 有差异
fIN=1980MHz，-1.0dBFS -71.40 -74.20 有差异
fIN=10MHz，-1.0dBFS 10.41 10.59 基本一致
有效位数 ENOB
fIN=170MHz，-1.0dBFS 10.42 10.68 基本一致

128

fIN=340MHz，-1.0dBFS 10.35 10.49 基本一致
fIN=750MHz，-1.0dBFS 10.13 10.23 基本一致
fIN=1000MHz，-1.0dBFS 9.95 10.15 有差异
fIN=1400MHz，-1.0dBFS 9.52 9.78 有差异
fIN=1700MHz，-1.0dBFS 9.17 9.83 有差异
fIN=1980MHz，-1.0dBFS 8.63 9.44 有差异

附表12 产品典型性能实测值对比（2.04Vpp 低温）

条 件
(除 另 有 规 定 外，
VAVDD1=0.95V，
VAVDD1_SR=0.95V，
VAVDD2=1.8V，VAVDD3=2.5V，
VDVDD=0.95V，
VDRVDD1=0.95V，国外产品 对比结果
特性 符号 SXA043
VDRVDD2=1.8V，
VSPIVDD=1.8V，AGND =
DGND=DRGND
=AGND_SR =0V，
FS＝1300MSPS，
TA=-40°C，输入幅度范围为
2.04 Vp-p
fIN=10MHz，-1.0dBFS 63.29 68.38 有差异
fIN=170MHz，-1.0dBFS 63.35 68.23 有差异

fIN=340MHz，-1.0dBFS 63.25 67.94 有差异
fIN=750MHz，-1.0dBFS 62.44 66.64 有差异
信噪比 SNR
fIN=1000MHz，-1.0dBFS 62.07 65.73 有差异
fIN=1400MHz，-1.0dBFS 60.41 64.06 有差异
fIN=1700MHz，-1.0dBFS 58 62.87 有差异
fIN=1980MHz，-1.0dBFS 54.27 62.07 有差异
fIN=10MHz，-1.0dBFS 61.84 65.40 有差异
fIN=170MHz，-1.0dBFS 61.98 66.57 有差异
fIN=340MHz，-1.0dBFS 62.10 65.84 有差异
fIN=750MHz，-1.0dBFS 60.40 64.90 有差异
信噪失真比 SINAD
fIN=1000MHz，-1.0dBFS 60.34 63.55 有差异
fIN=1400MHz，-1.0dBFS 56.87 61.33 有差异
fIN=1700MHz，-1.0dBFS 54.73 60.91 有差异
fIN=1980MHz，-1.0dBFS 51.72 59.57 有差异
fIN=10MHz，-1.0dBFS 75.19 73.92 基本一致
fIN=170MHz，-1.0dBFS 75.45 79.35 基本一致
fIN=340MHz，-1.0dBFS 81.66 74.23 基本一致
无 杂散动 态范 fIN=750MHz，-1.0dBFS 69.39 76.12 有差异
SFDR
围 fIN=1000MHz，-1.0dBFS 70.05 72.01 基本一致
fIN=1400MHz，-1.0dBFS 62.18 68.02 有差异
fIN=1700MHz，-1.0dBFS 60.07 70.09 有差异
fIN=1980MHz，-1.0dBFS 58.34 67.42 有差异
最差谐波失真 fIN=10MHz，-1.0dBFS -87 -94.20 基本一致
HD2,3nd
（除二、三阶） fIN=170MHz，-1.0dBFS -86.60 -91.80 基本一致

fIN=340MHz，-1.0dBFS -90.20 -98.20 有差异
fIN=750MHz，-1.0dBFS -87.40 -89.00 有差异
fIN=1000MHz，-1.0dBFS -81.40 -89.80 有差异
fIN=1400MHz，-1.0dBFS -75.80 -87.00 有差异
fIN=1700MHz，-1.0dBFS -72.20 -79.40 有差异
fIN=1980MHz，-1.0dBFS -67.80 -75.80 有差异
fIN=10MHz，-1.0dBFS 9.98 10.57 有差异
fIN=170MHz，-1.0dBFS 10.00 10.77 有差异
fIN=340MHz，-1.0dBFS 10.02 10.64 有差异
fIN=750MHz，-1.0dBFS 9.74 10.49 有差异
有效位数 ENOB
fIN=1000MHz，-1.0dBFS 9.73 10.26 有差异
fIN=1400MHz，-1.0dBFS 9.15 9.89 有差异
fIN=1700MHz，-1.0dBFS 8.80 9.83 有差异
fIN=1980MHz，-1.0dBFS 8.30 9.60 有差异

附表13 产品典型性能实测值对比（2.04Vpp 高温）

条 件

(除另有规定外，
VAVDD1=0.95V，
VAVDD1_SR=0.95V，
VAVDD2=1.8V，VAVDD3=2.5V，
VDVDD=0.95V，
VDRVDD1=0.95V，国外产品对比结果
特性符号SXA043
VDRVDD2=1.8V，
VSPIVDD=1.8V，AGND =
DGND=DRGND
=AGND_SR =0V，
FS＝1300MSPS，
TA=85°C，输入幅度范围为
2.04 Vp-p
fIN=10MHz，-1.0dBFS 65.15 66.48 基本一致
fIN=170MHz，-1.0dBFS 64.94 66.5 基本一致
fIN=340MHz，-1.0dBFS 64.52 66.08 基本一致
fIN=750MHz，-1.0dBFS 63.42 64.69 基本一致
信噪比SNR
fIN=1000MHz，-1.0dBFS 62.41 63.48 基本一致
fIN=1400MHz，-1.0dBFS 60.52 61.96 基本一致
fIN=1700MHz，-1.0dBFS 58.68 61.04 有差异
fIN=1980MHz，-1.0dBFS 56.18 60.38 有差异
fIN=10MHz，-1.0dBFS 63.54 62.37 基本一致
fIN=170MHz，-1.0dBFS 63.30 64.17 基本一致
fIN=340MHz，-1.0dBFS 62.62 62.50 基本一致
fIN=750MHz，-1.0dBFS 61.51 60.80 基本一致
信噪失真比SINAD
fIN=1000MHz，-1.0dBFS 60.61 62.11 基本一致
fIN=1400MHz，-1.0dBFS 57.88 57.53 基本一致
fIN=1700MHz，-1.0dBFS 56.00 58.14 基本一致
fIN=1980MHz，-1.0dBFS 51.23 55.41 有差异
无杂散动态范 fIN=10MHz，-1.0dBFS 76.90 66.45 基本一致
SFDR
围 fIN=170MHz，-1.0dBFS 73.93 71.3 基本一致

130

fIN=340MHz，-1.0dBFS 72.38 67.52 基本一致
fIN=750MHz，-1.0dBFS 71.68 65.61 基本一致
fIN=1000MHz，-1.0dBFS 71.65 76.41 基本一致
fIN=1400MHz，-1.0dBFS 64.27 61.55 基本一致
fIN=1700MHz，-1.0dBFS 62.51 66.98 基本一致
fIN=1980MHz，-1.0dBFS 54.85 60.45 有差异
fIN=10MHz，-1.0dBFS -86.20 -91.80 基本一致
fIN=170MHz，-1.0dBFS -92.60 -94.60 基本一致
fIN=340MHz，-1.0dBFS -92.60 -94.20 基本一致
最差谐波失真 fIN=750MHz，-1.0dBFS -84.60 -91.80 基本一致
HD2,3nd
（除二、三阶） fIN=1000MHz，-1.0dBFS -80.60 -85.40 有差异
fIN=1400MHz，-1.0dBFS -76.60 -88.20 有差异
fIN=1700MHz，-1.0dBFS -85.80 -77.80 基本一致

fIN=1980MHz，-1.0dBFS -73.80 -75.80 基本一致
fIN=10MHz，-1.0dBFS 10.26 10.07 基本一致
fIN=170MHz，-1.0dBFS 10.22 10.37 基本一致
fIN=340MHz，-1.0dBFS 10.11 10.09 基本一致
fIN=750MHz，-1.0dBFS 9.92 9.81 基本一致
有效位数 ENOB
fIN=1000MHz，-1.0dBFS 9.78 10.02 有差异
fIN=1400MHz，-1.0dBFS 9.32 9.26 基本一致
fIN=1700MHz，-1.0dBFS 9.01 9.37 基本一致
fIN=1980MHz，-1.0dBFS 8.22 8.91 有差异

附表14 产品双音实测值对比（2.04Vpp 常温）

条件			
	(除另有规定外， VAVDD1=0.95V， VAVDD1_SR=0.95V， VAVDD2=1.8V， VAVDD3=2.5V， VDVDD=0.95V， VDRVDD1=0.95V， VDRVDD2=1.8V， VSPIVDD=1.8V，AGND = DGND=DRGND =AGND_SR =0V， FS＝1300MSPS，		
输入幅度范围为	2.04Vp-p		
CT	fIN=10MHz，-1.0dBFS		
串扰（dB）	TA = 25°C	-87.98	-91.36 基本一致
IMD	fIN1=170.8MHz，-7 dBFS fIN2=173.8MHz，-7 dBFS	-78.56	-78.33 基本一致
双音交调失真（dBFS）	TA = 25°C fIN1=343.5MHz，-7 dBFS fIN2=346.5MHz，-7 dBFS	-78.78	-78.75 基本一致

4）其它指标对比

© 2026 Shenzhen Shenxin Technology Co., Ltd. | shenxinic.com | Page 151 of 151