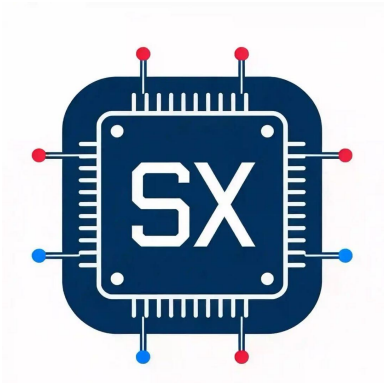


SXD019

16-Bit, 12 GSPS High-Speed DAC

16 位 12GSPS 高速数模转换器

Product Datasheet / 产品数据手册

Shenzhen Shenxin Technology Co., Ltd. · 深圳市深信科技有限公司

felix@shenxinic.com | +852 51367095 | shenxinic.com

SXD019 型 16 位 12GSPS RF DAC 和 DDS 产品说明书、使用手册

SXD019 16-Bit 12 GSPS RF DAC and DDS — Product Specification and User Manual

深信科技 / Shenzhen Shenxin Technology Co., Ltd.

版本 / Version: V1.20260728

目录 / Table of Contents

- 版本修订记录 / Revision History
- 产品用途及应用范围 / Applications
- 产品特点 / Features
- 产品描述 / Product Description
- 产品外形图 / Package Outline Drawing
- 引出端排列（俯视图）/ Pin Assignment (Top View)
- 引出端功能符号表 / Pin Function Table
- 推荐工作条件 / Recommended Operating Conditions
- 绝对最大额定值 / Absolute Maximum Ratings
- 性能指标 / Performance Specifications
- 主要特性曲线图 / Typical Performance Curves
- 典型应用线路图 / Typical Application Circuit
- 单元模块及工作原理 / Functional Blocks and Theory of Operation
- 1、SPI 接口 / SPI Interface
- 2、JESD204B 接口 / JESD204B Interface
- 3、数字处理通路 / Digital Datapath
- 4、模拟工作模式 / Analog Operating Modes
- 5、时钟输入 / Clock Input
- 6、SHUFFLE 模式 / SHUFFLE Mode
- 7、DLL
- 8、基准电压 / Reference Voltage
- 9、模拟输出 / Analog Output
- 10、上电顺序 / Power-Up Sequence
- 11、启动序列 / Start-Up Sequence
- 寄存器 / Registers
- 1、SPI 寄存器表 / SPI Register Map
- 注意事项 / Cautions
- 常见故障及处理办法 / Troubleshooting

- 联系方式 / Contact Information
- 附加说明 / Additional Information

版本修订记录 / Revision History

版本号 / Version	发布日期 / Release Date	更改章节 / Changed Section	更改说明 / Description of Change	备注 / Remarks
V1.20260728	2026.07.28	/	/	首次发布 / Initial release

产品用途及应用范围 / Applications

The SXD019 is intended for the following applications: broadband communication systems, automatic test equipment, base stations and handheld devices.

SXD019 产品用途及应用范围：宽带通信系统、自动测试仪器、基站、手持设备。

标准 / Standards

Detailed specification: Q/GC 0210-2026 "Detailed Specification for Semiconductor Integrated Circuit SXD019 16-Bit 12 GSPS RF DAC and Direct Digital Synthesizer". Quality grade / quality assurance requirements: enterprise standard.

详细规范：Q/GC 0210-2026《半导体集成电路 SXD019 型 16 位 12GSPS RF DAC 和直接数字频率合成器详细规范》。质量等级/质量保证要求：企标。

产品特点 / Features

- Analog supply voltages: 1.2 V / 2.5 V / 3.3 V / −1.2 V
- 模拟电源电压：1.2V/2.5V/3.3V/−1.2V
- Digital supply voltage: 1.2 V
- 数字电源电压：1.2V
- Maximum sampling rate: 12 GSPS
- 最高采样率：12GSPS
- Spurious-free dynamic range: ≥60 dBc @ fout = 70 MHz, fDAC = 12 GSPS (typical value 72 dBc)
- 无杂散动态范围：≥60 dBc@ fout=70MHz，fDAC=12GSPS（典型值 72dBc）
- Power consumption: ≤3 W
- 功耗：≤3W

- Data interface: JESD204B
- 电路接口：JESD204B
- Optional 1×, 2×, 3×, 4×, 6×, 8×, 12×, 16×, 24× interpolation filters
- 可选 1 倍、2 倍、3 倍、4 倍、6 倍、8 倍、12 倍、16 倍、24 倍内插滤波器
- ESD rating: Class 1B, HBM model: 500 V
- ESD 等级：1B 级，HBM 模型：500V
- Weight: 0.39 g ± 0.08 g
- 重量：0.39g±0.08g
- Package: BGA169
- 封装形式：BGA169

产品描述 / Product Description

The SXD019 is a 16-bit 12 GSPS D/A converter with an integrated 48-bit frequency tuning word NCO. When the NCO feeds data directly to the DAC core, DDS functionality is realized. The device uses an 8-lane JESD204B interface, with a maximum data rate of 12.5 Gbps per lane. After data reception, selectable 1×, 2×, 3×, 4×, 6×, 8×, 12×, 16×, 24× interpolation, NCO complex frequency modulation, inverse SINC filtering and other functions are available; the processed data is synchronized through a high-speed LATCH and then fed into the DAC core to complete digital-to-analog conversion.

SXD019 是一款 16 位 12GSPS D/A 转换器，内部集成 48 位频率调谐字 NCO，当 NCO 直接提供数据给 DAC 内核时，实现 DDS 功能。电路采用 8 lanes JESD204B 接口，其中单个 lane 的数据率最高为 12.5Gbps。数据接收后，可选择 1×、2×、3×、4×、6×、8×、12×、16×、24×内插，NCO 复频率调制，反 SINC 滤波等功能，处理后的数据经高速 LATCH 同步后送入 DAC 核，完成数模转换。

It can operate in four operating modes: non-return-to-zero (NRZ) mode, mix mode, return-to-zero (RZ) mode, and 2× non-return-to-zero (2× NRZ) mode. In NRZ, mix and RZ modes, the maximum DAC conversion rate is 6 GSPS; NRZ mode supports output operation in the first Nyquist zone, while mix and RZ modes support output operation in the second Nyquist zone. In 2× NRZ mode, the maximum DAC conversion rate is 12 GSPS, supporting output operation in the first Nyquist zone only.

可工作在四种工作模式：非归零模式（Nonreturn-to-zero mode），混频模式（Mix-mode）、归零模式（Return-to-zero mode）和 2×非归零模式（2× Nonreturn-to-zero mode），其中非归零模式、混频模式、归零模式下 DAC 的转换速率最高为 6GSPS，非归零模式支持输出工作在第一 Nyquist 区，混频模式和归零模式支持输出工作在第二 Nyquist 区，2×非归零模式下 DAC 的转换速率最高为 12GSPS，只支持输出工作在第一 Nyquist 区。

The device is packaged in a plastic BGA169.

该产品封装采用塑封 BGA169。

The functional block diagram of the device is shown in Figure 1.

该产品功能框图如图 1 所示。

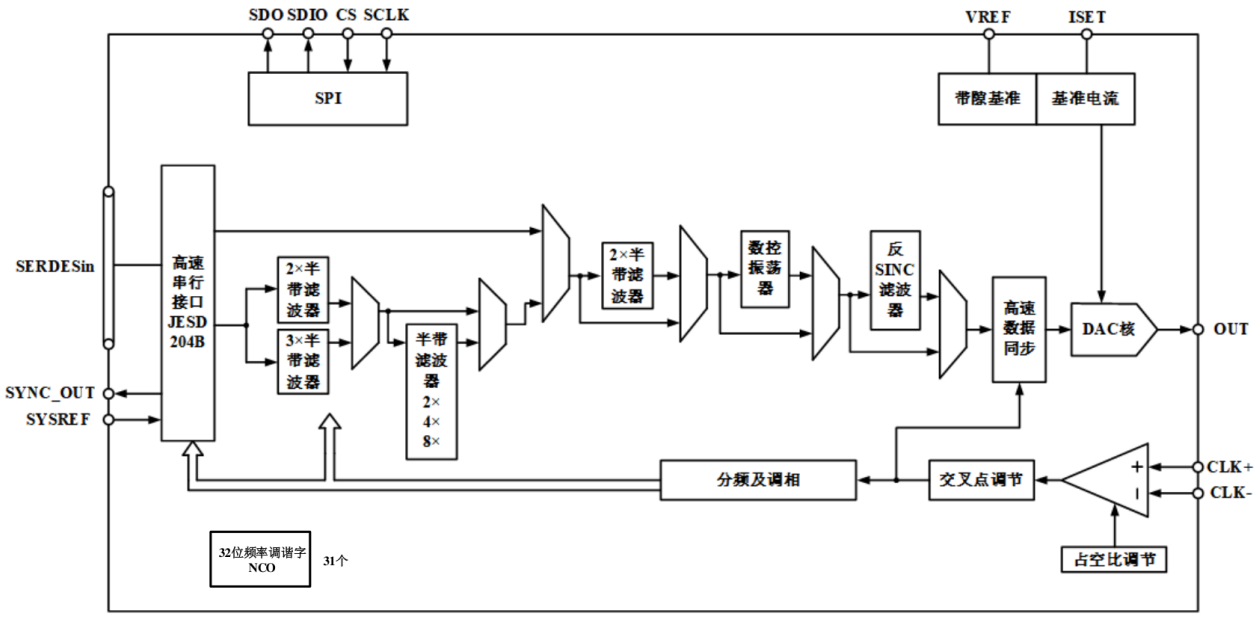


Figure 1: SXD019 功能框图 / Functional block diagram

产品外形图 / Package Outline Drawing

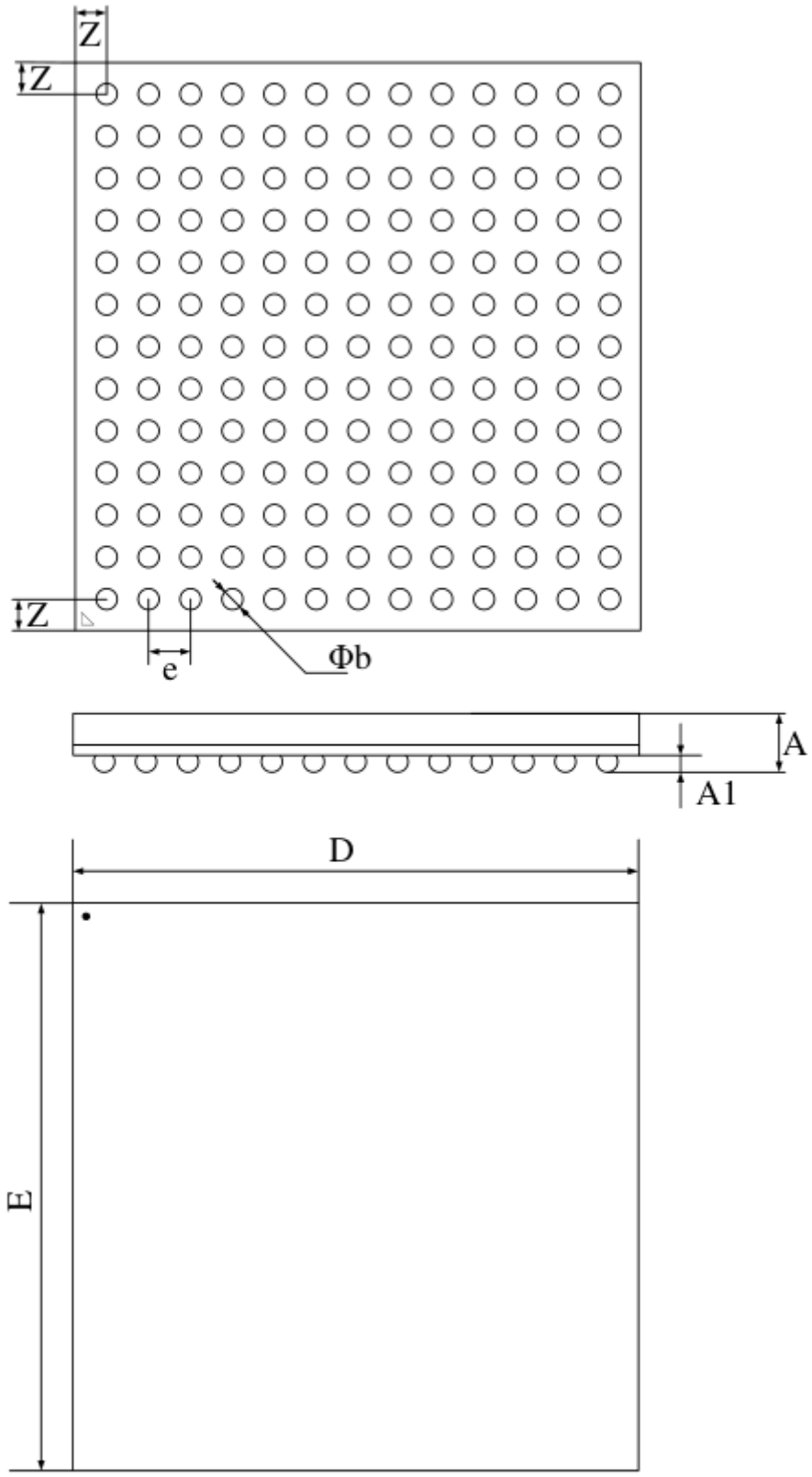


Figure 2: 产品外形尺寸图和实物照片 / Package outline dimensions and physical photo

单位为毫米 / Units: mm

尺寸符号 / Dimension Symbol	最小 / Min	公称 / Nom	最大 / Max	尺寸符号 / Dimension Symbol	最小 / Min	公称 / Nom	最大 / Max
A	—	1.669a	2.00	Φb	0.30	0.40a	0.50
A1	0.20	0.307a	0.45	e	—	0.80	—
D	10.80	11.0a	11.20	Z	—	0.70a	0.95
E	10.80	11.0a	11.20				

Note a: provided for user reference; for special requirements, please contact marketing personnel.

注 a：提供用户参考使用，如有特殊要求，请联系市场人员。

Note: for the recommended pad layout, refer to the assembly instructions.

注：推荐焊盘设计详见电装说明。

引出端排列（俯视图）/ Pin Assignment (Top View)

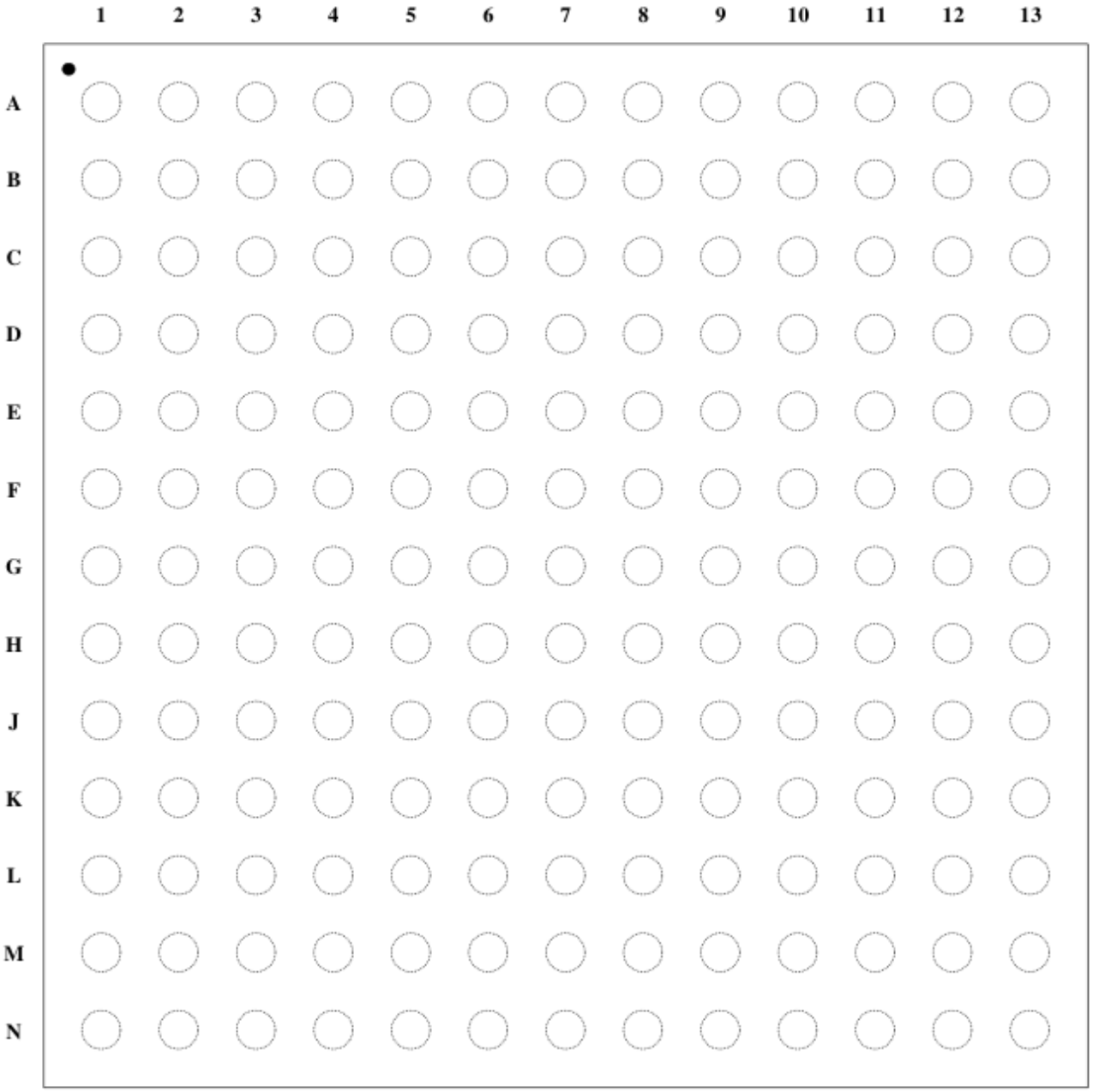


Figure 3: 引出端排列 / Pin assignment

引出端功能符号表 / Pin Function Table

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
A1	GND	地 / Ground	/	G8	VDD12D	1.2V 数字电源 / 1.2 V digital supply	/
A2	VDDN12	−1.2V 模拟电源 / −1.2 V analog supply	/	G9	VDD12D	1.2V 数字电源 / 1.2 V digital supply	/
A3	VDD25A		/	G10	SDIO		

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
		2.5V 模拟电源 / 2.5 V analog supply				SPI 数据输入/输出端 / SPI data input/output	I/O
A4	VDDN12	−1.2V 模拟电源 / −1.2 V analog supply	/	G11	SDO	SPI 数据输出端 / SPI data output	O
A5	VDD25A	2.5V 模拟电源 / 2.5 V analog supply	/	G12	GND	地 / Ground	/
A6	IOUT−	DAC 电流输出负端 / DAC current output, negative	O	G13	GND	地 / Ground	/
A7	IOUT+	DAC 电流输出正端 / DAC current output, positive	O	H1	SERDIN7+	SERDES Lane7 输入正端 / SERDES Lane 7 input, positive	I
A8	VDD25A	2.5V 模拟电源 / 2.5 V analog supply	/	H2	SERDIN7−	SERDES Lane7 输入负端 / SERDES Lane 7 input, negative	I
A9	VDDN12	−1.2V 模拟电源 / −1.2 V analog supply	/	H3	VDD12S	1.2V SERDES 电源 / 1.2 V SERDES supply	/
A10	VDD25A	2.5V 模拟电源 / 2.5 V analog supply	/	H4	RESET	复位端 / Reset	/
A11	GND	地 / Ground	/	H5	VDD25IO	2.5V I/O 电源 / 2.5 V I/O supply	/
A12	ISET	基准电流产生端 / Reference current generation	/	H6	VDD12SD	1.2V SERDES 数字电源 / 1.2 V SERDES digital supply	/
A13	VREF	1.2V 基准 / 1.2 V reference	/	H7	GND	地 / Ground	/
B1	CLK+	时钟输入正端 / Clock input, positive	I	H8	VDD12SD	1.2V SERDES 数字电源 / 1.2 V SERDES digital supply	/
B2	GND	地 / Ground	/	H9	VDD25IO	2.5V I/O 电源 / 2.5 V I/O supply	/
B3	GND	地 / Ground	/	H10	SCLK	SPI 时钟 / SPI clock	/
B4	VDD25A	2.5V 模拟电源 / 2.5 V analog supply	/	H11	VDD12S	1.2V SERDES 电源 / 1.2 V SERDES supply	/
B5	VDDN12	−1.2V 模拟电源 / −1.2 V analog supply	/	H12	SERDIN0−	SERDES Lane0 输入负端 / SERDES Lane 0 input, negative	I
B6	VDD25A	2.5V 模拟电源 / 2.5 V analog supply	/	H13	SERDIN0+	SERDES Lane0 输入正端 / SERDES Lane 0 input, positive	I
B7	VDD25A	2.5V 模拟电源 / 2.5 V analog supply	/	J1	GND	地 / Ground	/
B8	VDDN12	−1.2V 模拟电源 / −1.2 V analog supply	/	J2	GND	地 / Ground	/
B9	VDD25A	2.5V 模拟电源 / 2.5 V analog supply	/	J3	VDD12S	1.2V SERDES 电源 / 1.2 V SERDES supply	/
B10	VDD12A	1.2V 模拟电源 / 1.2 V analog supply	/	J4	DNC	悬空 / Do not connect	/
B11	VDD12A	1.2V 模拟电源 / 1.2 V analog supply	/	J5	DNC	悬空 / Do not connect	/
B12	VDD25A	2.5V 模拟电源 / 2.5 V analog supply	/	J6	GND	地 / Ground	/

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
B13	VDDN12	−1.2V 模拟电源 / −1.2 V analog supply	/	J7	GND	地 / Ground	/
C1	CLK−	时钟输入负端 / Clock input, negative	I	J8	GND	地 / Ground	/
C2	GND	地 / Ground	/	J9	SYNCOUT−	同步输出信号负端 / Sync output, negative	O
C3	GND	地 / Ground	/	J10	SYNCOU+	同步输出信号正端 / Sync output, positive	O
C4	GND	地 / Ground	/	J11	VDD12S	1.2V SERDES 电源 / 1.2 V SERDES supply	/
C5	VDD25A	2.5V 模拟电源 / 2.5 V analog supply	/	J12	GND	地 / Ground	/
C6	VDDN12	−1.2V 模拟电源 / −1.2 V analog supply	/	J13	GND	地 / Ground	/
C7	VDDN12	−1.2V 模拟电源 / −1.2 V analog supply	/	K1	SERDIN6+	SERDES Lane6 输入正端 / SERDES Lane 6 input, positive	I
C8	VDD25A	2.5V 模拟电源 / 2.5 V analog supply	/	K2	SERDIN6−	SERDES Lane6 输入负端 / SERDES Lane 6 input, negative	I
C9	VBG_NEG	−1.2V 基准 / −1.2 V reference	/	K3	VDD12ST	1.2V SERDES 终端电源 / 1.2 V SERDES termination supply	/
C10	GND	地 / Ground	/	K4	VDD33SYNC	3.3V 同步电源 / 3.3 V sync supply	/
C11	GND	地 / Ground	/	K5	DNC	悬空 / Do not connect	/
C12	GND	地 / Ground	/	K6	GND	地 / Ground	/
C13	GND	地 / Ground	/	K7	VDD12PC	1.2V SERDES PLL 时钟电源 / 1.2 V SERDES PLL clock supply	/
D1	GND	地 / Ground	/	K8	VDD12PL	1.2V SERDES PLL LDO 电源 / 1.2 V SERDES PLL LDO supply	/
D2	VDD12C	1.2V 时钟电源 / 1.2 V clock supply	/	K9	DNC	悬空 / Do not connect	/
D3	VDD12C	1.2V 时钟电源 / 1.2 V clock supply	/	K10	VDD33SYNC	3.3V 同步电源 / 3.3 V sync supply	/
D4	VDD12C	1.2V 时钟电源 / 1.2 V clock supply	/	K11	VDD12ST	1.2V SERDES 终端电源 / 1.2 V SERDES termination supply	/
D5	VDD12C	1.2V 时钟电源 / 1.2 V clock supply	/	K12	SERDIN1−	SERDES Lane1 输入负端 / SERDES Lane 1 input, negative	I
D6	GND	地 / Ground	/	K13	SERDIN1+	SERDES Lane1 输入正端 / SERDES Lane 1 input, positive	I
D7	GND	地 / Ground	/	L1	GND	地 / Ground	/
D8	VDD12C	1.2V 时钟电源 / 1.2 V clock supply	/	L2	GND	地 / Ground	/
D9	VDD12C	1.2V 时钟电源 / 1.2 V clock supply	/	L3	VDD12S	1.2V SERDES 电源 / 1.2 V SERDES supply	/

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
D10	VDD12C	1.2V 时钟电源 / 1.2 V clock supply	/	L4	VDD12S	1.2V SERDES 电源 / 1.2 V SERDES supply	/
D11	VDD12C	1.2V 时钟电源 / 1.2 V clock supply	/	L5	VDD12S	1.2V SERDES 电源 / 1.2 V SERDES supply	/
D12	VDD12C	1.2V 时钟电源 / 1.2 V clock supply	/	L6	GND	地 / Ground	/
D13	VDD12C	1.2V 时钟电源 / 1.2 V clock supply	/	L7	DNC	悬空 / Do not connect	/
E1	VDD12C	1.2V 时钟电源 / 1.2 V clock supply	/	L8	GND	地 / Ground	/
E2	GND	地 / Ground	/	L9	VDD12S	1.2V SERDES 电源 / 1.2 V SERDES supply	/
E3	GND	地 / Ground	/	L10	VDD12S	1.2V SERDES 电源 / 1.2 V SERDES supply	/
E4	GND	地 / Ground	/	L11	VDD12S	1.2V SERDES 电源 / 1.2 V SERDES supply	/
E5	VDD12D	1.2V 数字电源 / 1.2 V digital supply	/	L12	GND	地 / Ground	/
E6	VDD12D	1.2V 数字电源 / 1.2 V digital supply	/	L13	GND	地 / Ground	/
E7	GND	地 / Ground	/	M1	GND	地 / Ground	/
E8	VDD12D	1.2V 数字电源 / 1.2 V digital supply	/	M2	GND	地 / Ground	/
E9	VDD12D	1.2V 数字电源 / 1.2 V digital supply	/	M3	SERDIN5+	SERDES Lane5 输入正端 / SERDES Lane 5 input, positive	I
E10	GND	地 / Ground	/	M4	GND	地 / Ground	/
E11	GND	地 / Ground	/	M5	SERDIN4+	SERDES Lane4 输入正端 / SERDES Lane 4 input, positive	I
E12	GND	地 / Ground	/	M6	GND	地 / Ground	/
E13	GND	地 / Ground	/	M7	PLLLDOBYPASS	1.2V SERDES PLL LDO 电源旁路 / 1.2 V SERDES PLL LDO supply bypass	/
F1	SYSREF+	系统参考时钟正端 / System reference clock, positive	/	M8	GND	地 / Ground	/
F2	SYSREF−	系统参考时钟负端 / System reference clock, negative	/	M9	SERDIN3+	SERDES Lane3 输入正端 / SERDES Lane 3 input, positive	I
F3	GND	地 / Ground	/	M10	GND	地 / Ground	/
F4	GND	地 / Ground	/	M11	SERDIN2+	SERDES Lane2 输入正端 / SERDES Lane 2 input, positive	I
F5	GND	地 / Ground	/	M12	GND	地 / Ground	/
F6	GND	地 / Ground	/	M13	GND	地 / Ground	/
F7	GND	地 / Ground	/	N1	VDD12SB	1.2V SERDES 偏置电源 / 1.2 V SERDES bias supply	/

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
F8	GND	地 / Ground	/	N2	GND	地 / Ground	/
F9	GND	地 / Ground	/	N3	SERDIN5−	SERDES Lane5 输入负端 / SERDES Lane 5 input, negative	I
F10	GND	地 / Ground	/	N4	GND	地 / Ground	/
F11	GND	地 / Ground	/	N5	SERDIN4−	SERDES Lane4 输入负端 / SERDES Lane 4 input, negative	I
F12	CS	SPI 片选信号 / SPI chip select	/	N6	GND	地 / Ground	/
F13	GND	地 / Ground	/	N7	GND	地 / Ground	/
G1	GND	地 / Ground	/	N8	GND	地 / Ground	/
G2	GND	地 / Ground	/	N9	SERDIN3−	SERDES Lane3 输入负端 / SERDES Lane 3 input, negative	I
G3	TX_ENABLE	发送使能输入端 / Transmit enable input	/	N10	GND	地 / Ground	/
G4	IRQ	中断请求 / Interrupt request	/	N11	SERDIN2−	SERDES Lane2 输入负端 / SERDES Lane 2 input, negative	I
G5	VDD12D	1.2V 数字电源 / 1.2 V digital supply	/	N12	GND	地 / Ground	/
G6	VDD12D	1.2V 数字电源 / 1.2 V digital supply	/	N13	VDD12SB	1.2V SERDES 偏置电源 / 1.2 V SERDES bias supply	/
G7	VDD12D	1.2V 数字电源 / 1.2 V digital supply	/				

推荐工作条件 / Recommended Operating Conditions

- Supply voltages:
- 电源电压：
- VDD25A: 2.375 V – 2.625 V
- VDD12A: 1.14 V – 1.326 V
- VDD12C: 1.14 V – 1.326 V
- VDD12D: 1.14 V – 1.326 V
- VDD12S: 1.14 V – 1.326 V
- VDD12SD: 1.14 V – 1.326 V
- VDD12ST: 1.14 V – 1.326 V
- VDD12PC: 1.14 V – 1.326 V
- VDD12PL: 1.14 V – 1.326 V
- VDD12SB: 1.14 V – 1.326 V
- VDDN12: −1.26 V – −1.14 V
- VDD33SYNC: 3.135 V – 3.465 V
- VDD25IO: 1.71 V – 3.465 V
- DAC input clock differential power: −3 to 10 dBm
- DAC 输入时钟差分功率：−3～10 dBm

- Operating temperature (TA): −40°C to 85°C
- 工作温度（TA）：−40°C~85°C

绝对最大额定值 / Absolute Maximum Ratings

- Supply voltages:
- 电源电压：
- VDD25A: −0.3 V to +2.8 V
- VDD12A: −0.3 V to +1.5 V
- VDD12C: −0.3 V to +1.5 V
- VDD12D: −0.3 V to +1.5 V
- VDD12S: −0.3 V to +1.5 V
- VDD12SD: −0.3 V to +1.5 V
- VDD12ST: −0.3 V to +1.5 V
- VDD12PC: −0.3 V to +1.5 V
- VDD12PL: −0.3 V to +1.5 V
- VDD12SB: −0.3 V to +1.5 V
- VDDN12: −1.5 V to +0.3 V
- VDD33SYNC: −0.3 V to +3.6 V
- VDD25IO: −0.3 V to +3.6 V
- Lead soldering temperature (Th) (10 s): 230°C
- 引出端耐焊接温度（Th）（10 s）：230°C
- Storage temperature (Tstg): −65°C to 150°C
- 贮存温度（Tstg）：−65°C~150°C

Note: refer to the additional information for the comparison against the overseas reference product.

注：请查看附件说明中替代国外产品情况说明。

性能指标 / Performance Specifications

Conditions (unless otherwise specified): VDD25A = VDD25IO = 2.5 V, VDD12A = VDD12ST = VDD12PC = 1.2 V, VDD12C = VDD12D = 1.2 V, VDDN12 = −1.2 V, VDD12S = VDD12SD = VDD12PL = 1.2 V, VDD12SB = 1.2 V, VDD33SYNC = 3.3 V, GND = 0 V, −40°C ⩽ TA ⩽ 85°C.

条件（除另有规定外，VDD25A= VDD25IO=2.5V，VDD12A = VDD12ST = VDD12PC = 1.2V，VDD12C =VDD12D =1.2V，VDDN12=−1.2V，VDD12S = VDD12SD = VDD12PL=1.2V，VDD12SB =1.2V，VDD33SYNC =3.3V，GND =0V，−40°C⩽TA⩽85°C）。

特性 / Characteristic	符号 / Symbol	条件 / Conditions	性能指标 / Specification			单位 / Unit
			最小 / Min	典型值 / Typ	最大 / Max	
分辨率 / Resolution	RES	—		16		bits
	VREF	—	1.1	1.19	1.3	V

特性 / Characteristic	符号 / Symbol	条件 / Conditions	性能指标 / Specification			单位 / Unit
内部基准电压 / Internal reference voltage						
功耗 / Power consumption	PW	8 LANES，4×内插（80%），NCO 使能，FIR85 不使能，5GSPS / 8 LANES, 4× interpolation (80%), NCO enabled, FIR85 disabled, 5 GSPS	—	2.22	3	W
SCLK 写入最高频率 / Maximum SCLK write frequency	fSPIWCLK	—	100	100	—	MHz
SCLK 写入高电平脉宽 / SCLK write high pulse width	tWPWH	fSPIWCLK=20MHz	3.5	3.5	—	ns
SCLK 写入低电平脉宽 / SCLK write low pulse width	tWPWL	fSPIWCLK=20MHz	4	4	—	ns
SDIO 写入建立时间 / SDIO write setup time	tWDS	—	4	4	—	ns
SDIO 写入保持时间 / SDIO write hold time	tWDH	—	1	1	—	ns
最大采样率 / Maximum sampling rate	fDAC	VDDXa=1.3V	12	12	—	GSPS
输入高电平 / Input high level	VIH	—	1.8	1.8	—	V
输入低电平 / Input low level	VIL	—	—	0.7	0.7	V
输入高电平电流 / Input high current	IIH	—	—	0.1	100	uA
输入低电平电流 / Input low current	IIL	—	−200	−0.1	—	uA
输出高电平 / Output high level	VOH	—	2	2	—	V
输出低电平 / Output low level	VOL	—	—	0.5	0.5	V
输出高电平电流 / Output high current	IOH	—	2	2	—	mA
输出低电平电流 / Output low current	IOL	—	2	2	—	mA
无杂散动态范围 / Spurious-free dynamic range	SFDR	−1dBFS，fout=70MHz，fDAC=12GSPS，VDDXa=1.3V	60	72	—	dBc
		−1dBFS，fout=1000MHz，fDAC=12GSPS，VDDXa=1.3V	55	64	—	dBc
		−1dBFS，fout=2000MHz，fDAC=12GSPS，VDDXa=1.3V	50	58	—	dBc
		−1dBFS，fout=1000MHz，fDAC=5GSPS，VDDXa=1.3V	55	65	—	dBc

特性 / Characteristic	符号 / Symbol	条件 / Conditions	性能指标 / Specification			单位 / Unit
双音互调失真 / Two-tone intermodulation distortion	IMD	−6dBFS，fout=900MHz，fout=901MHz，fDAC=12GSPS，VDDXa=1.3V	65	76	—	dBc
		−6dBFS，fout=1800MHz，1801MHz，fDAC=12GSPS，VDDXa=1.3V	60	72	—	dBc

DDX 表示 VDD12A、VDD12ST、VDD12PC、VDD12C、VDD12D、VDD12S、VDD12SD、VDD12PL、VDD12SB。

DDX denotes VDD12A, VDD12ST, VDD12PC, VDD12C, VDD12D, VDD12S, VDD12SD, VDD12PL and VDD12SB.

a VDDXa=1.3V。/ a VDDXa = 1.3 V.

注：典型值为常温测试数据。/ Note: typical values are room-temperature test data.

主要特性曲线图（电特性测试图）/ Typical Performance Curves (Electrical Characteristics)

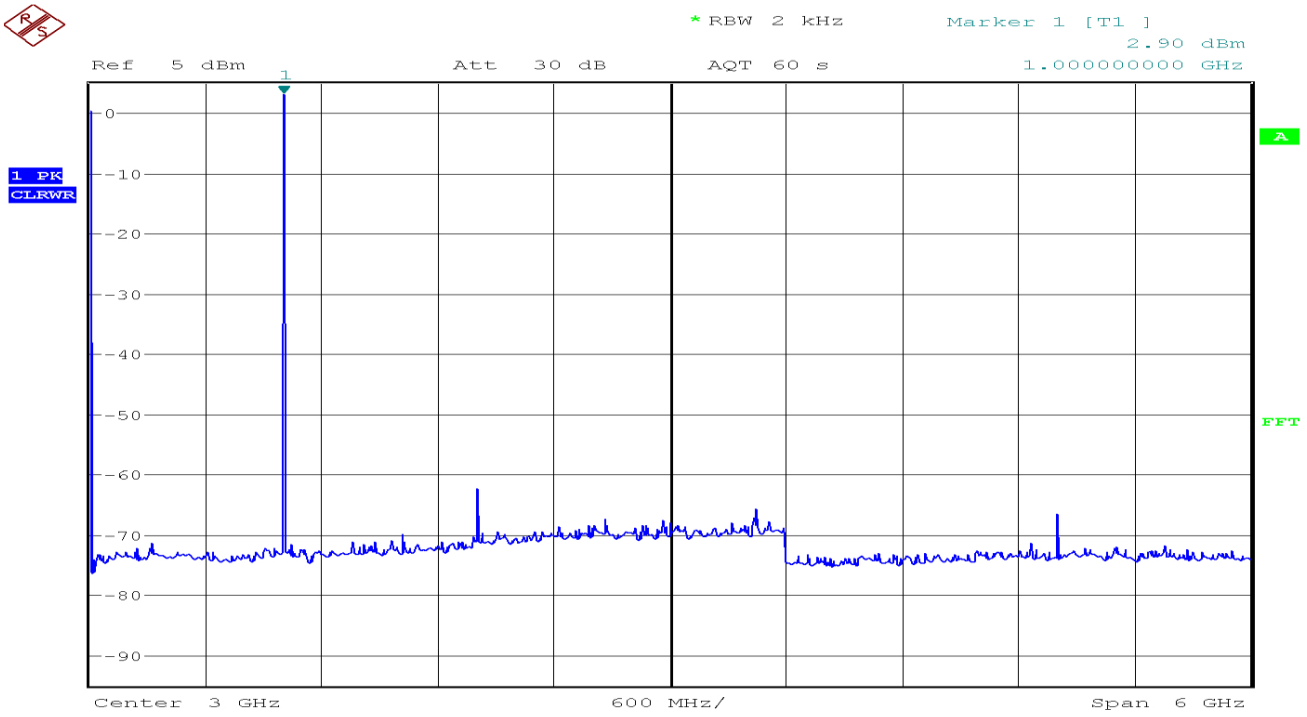


Figure 4: SFDR=65dBc（fout=1GHz，fdac=12GSPS）

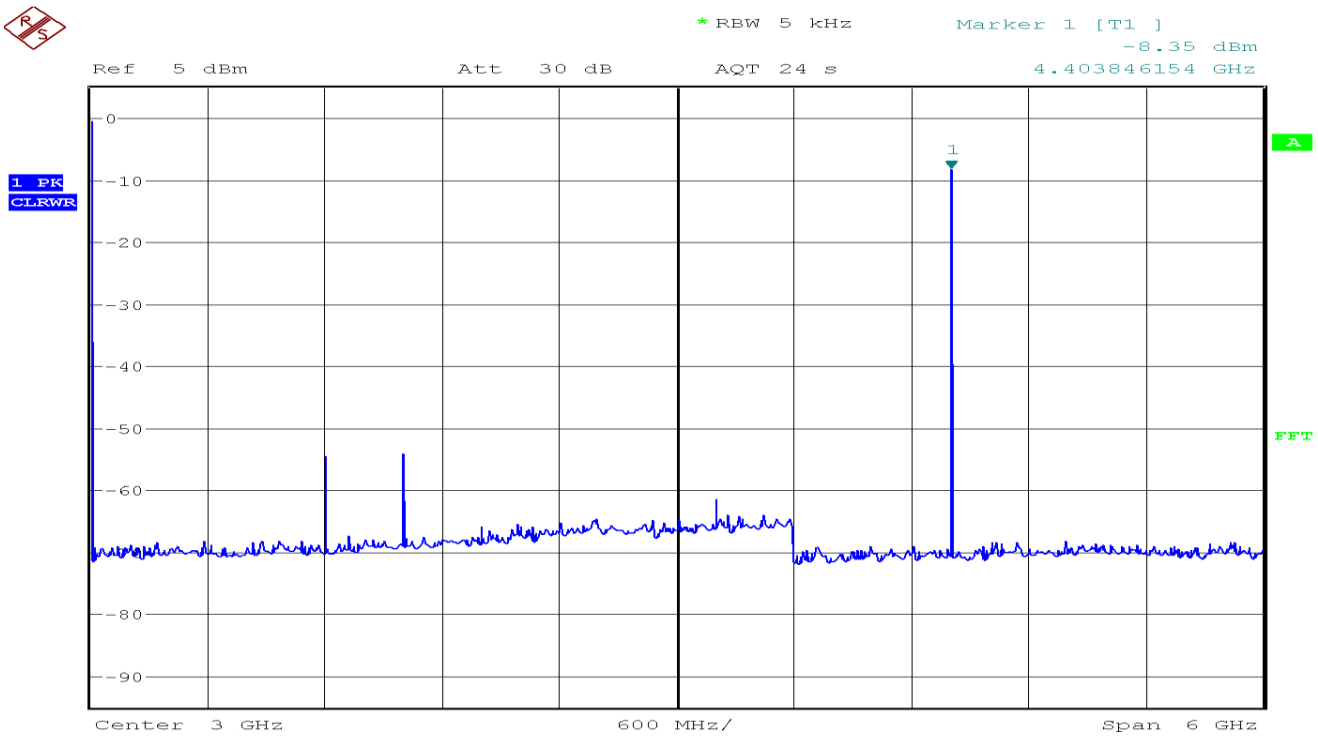


Figure 5: SFDR=47dBc（fout=4.4GHz，fdac=12GSPS）

典型应用线路图 / Typical Application Circuit

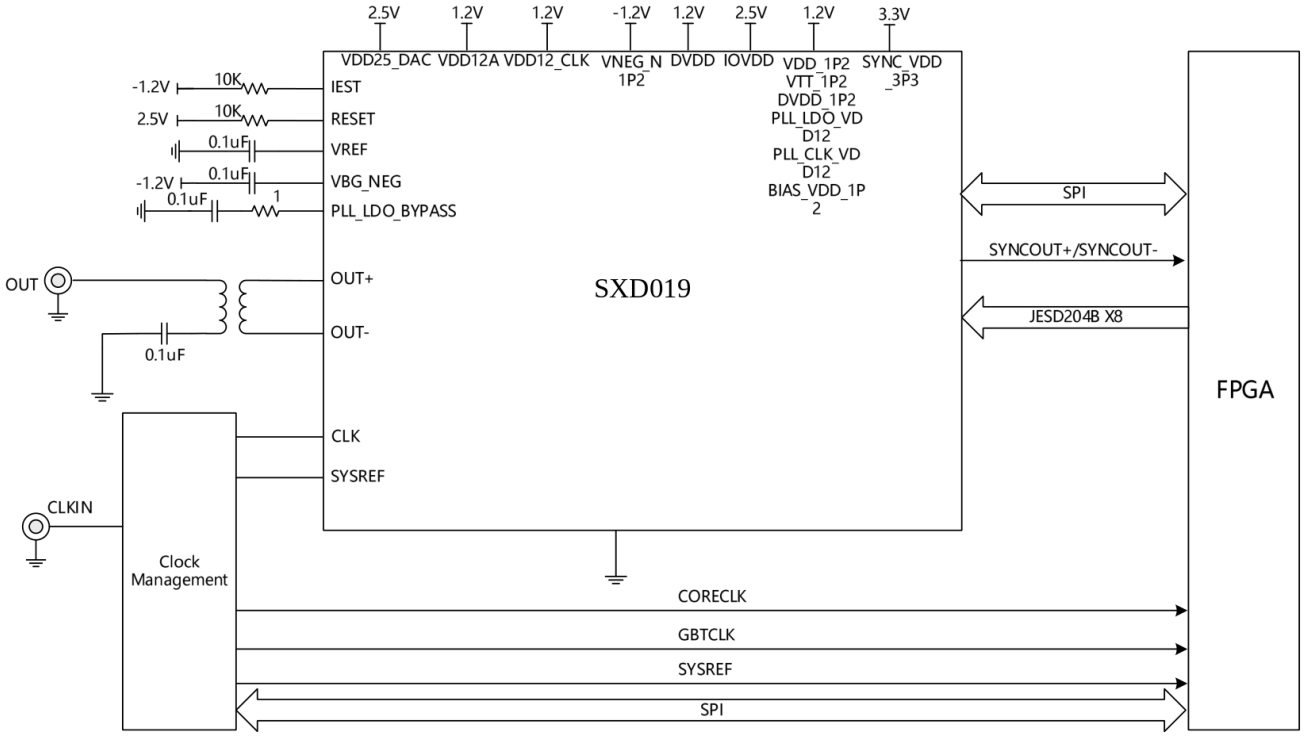


Figure 6: 典型应用线路（详细应用原理图请咨询联系人）/ Typical application circuit (contact us for the detailed application schematic)

单元模块及工作原理 / Functional Blocks and Theory of Operation

1、SPI 接口 / SPI Interface

The SXD019 uses an SPI interface that easily connects to many industry-standard microcontrollers and microprocessors. This serial I/O port is compatible with most synchronous transfer formats, including the Motorola SPI and Intel SSR protocols. The interface allows read/write access to all registers that configure the SXD019. MSB-first or LSB-first transfer formats are supported. The SXD019 serial interface port can be configured as a 4-wire interface or a 3-wire interface, where the 3-wire interface shares a single-pin I/O (SDIO) for input and output.

SXD019 采用了 SPI 接口，可轻松的与许多工业标准的微控制器和微处理器连接。该串行 I/O 端口与大多数同步传输格式兼容，包括 Motorola SPI 和 Inter SSR 协议。该接口允许对配置 SXD019 的所有寄存器进行读/写访问。支持 MSB first 或 LSB first 传输格式。SXD019 串行接口端口可设置为 4 线接口或 3 线接口，其中 3 线接口的输入和输出共享一个单引脚 I/O（SDIO）。

A SXD019 communication cycle has two phases. Phase 1 is the instruction cycle (writing the instruction byte to the device), coinciding with the first 16 rising edges of SCLK; the instruction byte provides the serial port controller with information about the data transfer cycle, i.e., phase 2 of the communication cycle. The phase 1 instruction word defines whether the upcoming data transfer is a read or a write, and the starting register address for the next data transfer.

SXD019 的通信周期有两个阶段。阶段 1 是指令周期（向设备写入指令字节），与前 16 个 SCLK 上升沿相吻合，该指令字节向串行端口控制器提供有关数据传输周期，即通信周期第 2 阶段的信息。第 1 阶段指令字定义了即将进行的数据传输是读还是写，以及下一步数据传输的起始寄存器地址。

A logic high followed by a logic low on the CS pin resets the serial port timing to the initial state of the instruction cycle. From this state, the next 16 rising SCLK edges represent the instruction byte of the current I/O operation.

CS 引脚上输入逻辑高电平，然后是逻辑低电平，可以将串口时序复位到指令周期的初始状态。从这个状态开始，接下来的 16 个上升的 SCLK 沿代表当前 I/O 操作的指令字节。

The remaining SCLK edges represent phase 2 of the communication cycle. Phase 2 is the actual data transfer between the device and the system controller. Phase 2 of the communication cycle is the transfer of one or more data bytes. During the transfer cycle, 8×N SCLK cycles are required to transfer N bytes. Only for FTW and NCO phase offset, the registers change immediately when the frequency tuning word FTW_LOAD_REQ bit is set.

剩余的 SCLK 沿代表通信周期的第 2 阶段。第 2 阶段是电路和系统控制器之间的实际数据传输。通信周期的第 2 阶段是一个或多个数据字节的传输。在传输周期中，需要 8×N 个 SCLK 周期来传输 N 个字节。只有 FTW 和 NCO 相位偏移，需要频率调谐字 FTW_LOAD_REQ 位被设置时，寄存器才会立即改变。

1.1 数据格式 / Data Format

The instruction byte contains the information shown in Table 1.

指令字节包含表 1 所示的信息。

表 1 指令字节数据格式 / Table 1: Instruction Byte Data Format

MSB							LSB
I15	I14	I13	I12	……	I2	I1	I0
R/W	A14	A13	A12	……	A2	A1	A0

R/W, bit 15 of the instruction byte, determines whether a read or write data transfer follows after the instruction word is written. Logic 1 indicates a read operation; logic 0 indicates a write operation.

R/W，指令字节的第 15 位，决定在指令字写入后，是读还是写数据传输。逻辑 1 表示读操作，逻辑 0 表示写操作。

Bits A14 to A0 of the instruction byte, i.e., bits I14 to I0 of the instruction word, determine the register accessed by the data transfer in the communication cycle. For multi-byte transfers, A[14:0] is the starting address. The remaining register addresses are generated according to the address increment bit. If the address increment bit is set high (register 0x000, bits 5 and 2), multi-byte SPI writes start from A[14:0] and increment by 1 for every 8 bits sent/received. If the address increment bit is set to 0, the address decrements by 1 every 8 bits.

指令字节的 A14 到 A0，即指令字的位 I14 到位 I0，决定了在通信周期的数据传输信息访问的寄存器。对于多字节传输，A[14:0]为起始地址。剩余的寄存器地址根据地址增量位生成。如果地址增量位被设置为高位（寄存器 0x000、位 5 和位 2），多字节的 SPI 写入从 A[14:0]开始，每发送/接收 8 个 bit，就增加 1。如果地址增量位被设置为 0，地址每 8 bit 递减 1。

1.2 SPI 端口描述 / SPI Port Description

SCLK — serial clock

SCLK-串行时钟

The serial clock pin synchronizes data into the device and runs the internal state machine. The maximum SCLK frequency is 100 MHz. All data is written into registers on the rising edge of SCLK, and outputs are driven on the falling edge of SCLK.

串行时钟引脚将数据同步到电路，并运行内部状态机。SCLK 的最大频率为 100 MHz。所有的数据都在 SCLK 的上升沿写入寄存器，在 SCLK 的下降沿驱动输出。

CSB — chip select

CSB－片选信号

Active-low input that starts and defines a communication cycle. It allows multiple devices to share the same serial bus. When this input is high, the SDO and SDIO pins become high-impedance. The chip select signal should remain low throughout the communication cycle.

低有效开始输入及定义一个通信周期。允许多个器件使用相同的串行通道。当该端口输入为高时，端口 SDO 和 SDIO 变为高阻态。在整个通信周期内片选信号应该保持为低。

SDIO — serial data I/O port

SDIO－串行数据 I/O 端口

This pin is a bidirectional data port. In 4-wire mode, this pin serves as data input and SDO serves as data output.

该引脚是双向数据端口。在 4 线模式下，该引脚作为数据输入，SDO 作为数据输出。

SDO — serial data output

SDO－串行数据输出

Data is read out from this port. When the device operates in 3-wire mode, this port cannot output data and is set to high-impedance.

数据从该端口读出。当电路工作于 3 线模式时，该端口不能进行数据输出，并被设置成高阻态。

1.3 SPI 的配置 / SPI Configuration

The serial port supports MSB-first and LSB-first data formats. This function is controlled by LSBFIRST (register 0x000, bits 6 and 1). The default is MSB-first (LSBFIRST bit = 0).

串行端口可以支持 MSB first 和 LSB first 数据格式。该功能由 LSB first（寄存器 0x000，位 6 和位 1）控制。默认为 MSB first（LSB first 位=0）格式。

When LSBFIRST = 0 (MSB first), instruction and data bits must be written from MSB to LSB. R/W followed by A[14:0] is the instruction word, and D[7:0] is the data word.

当 LSB first =0（MSB first）时，指令和数据位必须从 MSB 写到 LSB。R/W 后面接 A[14:0]为指令字，D[7:0]为数据字。

When LSBFIRST = 1 (LSB first), instruction and data bits must be written from LSB to MSB. A[0:14] is followed by R/W, then D[0:7].

当 LSB first =1（LSB first）时，指令和数据位必须从 LSB 写到 MSB。A[0:14]后面是 R/W，随后是 D[0:7]。

The SPI supports a 3-wire or 4-wire interface. When the SDO active bit = 1 (register 0x000, bits 4 and 3), a 4-wire interface using the input pin (SDIO) and the output pin (SDO) is used. When the SDO active bit = 0, the SDO pin is not used, and the SDIO pin is used for both input and output.

SPI 支持 3 线制或 4 线制接口。当 SDO 有效位=1（寄存器 0x000、位 4 和位 3）时，使用输入引脚（SDIO）和输出引脚（SDO）的 4 线接口。当 SDO 有效位=0 时，SDO 引脚未被使用，SDIO 引脚用于输入和输出。

Holding the CS pin low supports multi-byte data transfers. The first 8 SCLK cycles after the instruction cycle read/write from the register provided in the instruction cycle. For every additional 8 SCLK cycles, the address increments or decrements and the read/write is performed on a new register. The direction of address change can be set using ADDRINC or ADDRINC_M (register 0x000, bits 5 and 2). When ADDRINC or ADDRINC_M is 1, the multi-cycle address increments. When ADDRINC or ADDRINC_M is 0, the address decrements. A new write cycle can always be started by bringing CS high and then low again.

将 CS 引脚保持低电平可支持多字节数据传输。指令周期后的前 8 个 SCLK 从指令周期中提供的寄存器中读/写。每增加 8 个 SCLK 周期，地址就会递增或递减，在新的寄存器上进行读/写。地址的变化方向可以使用 ADDRINC 或 ADDRINC_M（寄存器 0x000，位 5 和位 2）来设置。当 ADDRINC 或 ADDRINC_M 为 1 时，多周期地址递

增。当 ADDRINC 或 ADDRINC_M 为 0 时，地址递减。一个新的写入周期总是可以通过使 CS 升到高电平，然后再降到低电平来启动。

To prevent confusion and ensure consistency between devices, the device tests the first nibble (4 bits) after the address phase and ignores the second nibble. This test is performed independently of the LSBFIRST bit and ensures there are extra clock cycles after the soft reset bit (register 0x000, bits 0 and 7). The first-nibble test only applies when writing register 0x000.

为了防止混淆并确保电路之间的一致性，芯片在地址阶段后测试第一个半字节（4bit），忽略第二个半字节。这个测试与 LSB first 位独立完成，并确保在软复位（soft reset）位（寄存器 0x000、位 0 和位 7）之后有额外的时钟周期。第一个半字节测试仅在写入寄存器 0x000 时才适用。

The SPI read/write operation timing is shown in Figure 7. For both read and write operations, the instruction cycle writes information on the rising clock edge; during a write operation the communication cycle writes input data on the rising clock edge, while during a read operation the communication cycle updates output data on the falling clock edge.

SPI 读/写操作时序如图 7 所示，无论读操作还是写操作，指令周期都是时钟上升沿触发写入信息，写操作时通信周期在时钟上升沿写入输入数据，读操作时通信周期在时钟下降沿更新输出数据。

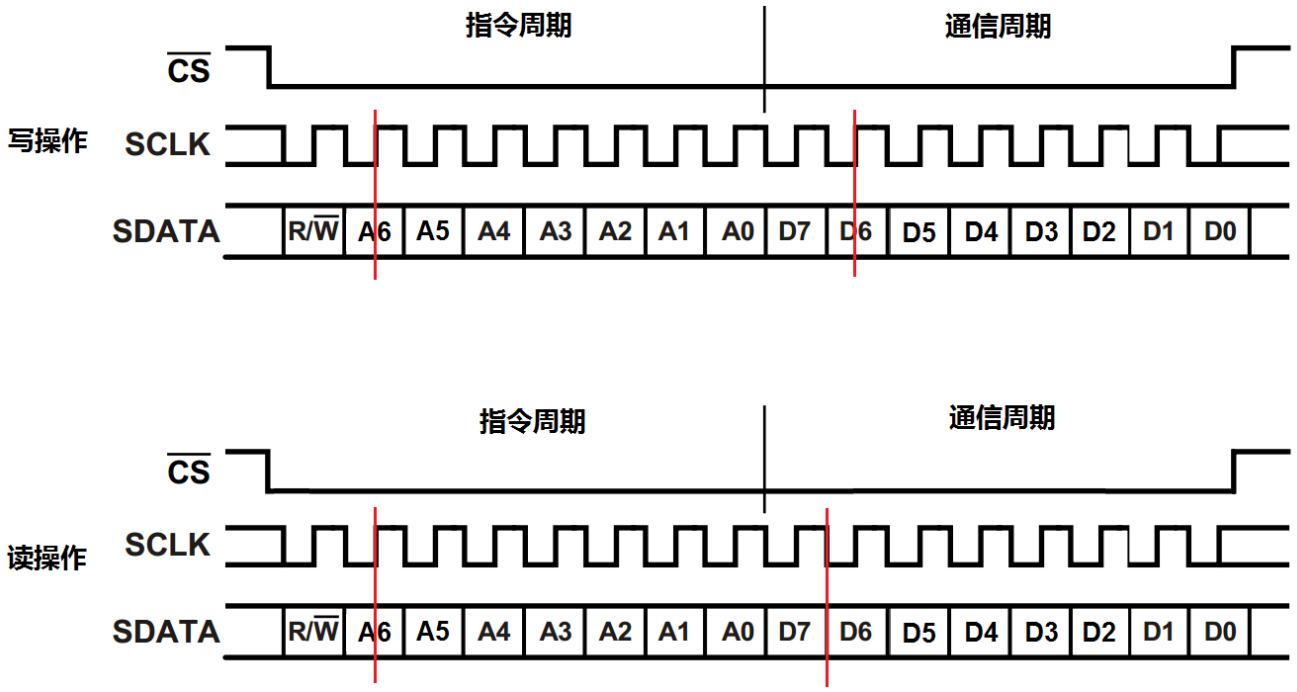


Figure 7: SPI 读写操作时序示意图 / SPI read/write operation timing diagram

2、JESD204B 接口 / JESD204B Interface

The SXD019 has 8 JESD204B data ports for receiving data. The JESD204B serial interface consists of three parts: the physical layer, the data link layer and the transport layer.

SXD019 有 8 个 JESD204B 数据端口，用于接收数据。JESD204B 串行接口由三部分组成：物理层、数据链路层和传输层。

The JESD204B operating modes supported by the SXD019 are as follows:

SXD019 支持的 JESD204B 工作模式如下：

表 2 JESD204B 工作模式 / Table 2: JESD204B Operating Modes

Parameter	Number of Lanes (L)					
	1	2	3	4	6	8
L (Lane Count)	1	2	3	4	6	8
M (Converter Count)	2	2	2	2	2	1 (real), 2 (complex)
F (Octets per Frame per Lane)	4	2	4	1	2	1
S (Samples per Converter per Frame)	1	1	3	1	3	4 (real), 2 (complex)

The data format of each lane under different JESD204B operating modes is as follows:

不同 JESD204B 工作模式下的每个 lane 的数据格式如下：

表 3 JESD204B 不同模式下每个 lane 的数据格式 / Table 3: Per-Lane Data Format for Each JESD204B Mode

JESD204B Parameters	Lane No.	Frame 0	Frame 1	Frame 2	Frame 3
L = 8, M = 1, F = 1, S = 4	Lane 0	M0S0[15:8]			
	Lane 1	M0S0[7:0]			
	Lane 2	M0S1[15:8]			
	Lane 3	M0S1[7:0]			
	Lane 4	M0S2[15:8]			
	Lane 5	M0S2[7:0]			
	Lane 6	M0S3[15:8]			
	Lane 7	M0S3[7:0]			
L = 8, M = 2, F = 1, S = 2	Lane 0	M0S0[15:8]			
	Lane 1	M0S0[7:0]			
	Lane 2	M0S1[15:8]			
	Lane 3	M0S1[7:0]			
	Lane 4	M1S0[15:8]			
	Lane 5	M1S0[7:0]			
	Lane 6	M1S1[15:8]			
	Lane 7	M1S1[7:0]			
L = 6, M = 2, F = 2, S = 3	Lane 0	M0S0[15:8]	M0S0[7:0]		
	Lane 1	M0S1[15:8]	M0S1[7:0]		
	Lane 2	M0S2[15:8]	M0S2[7:0]		
	Lane 3	M1S0[15:8]	M1S0[7:0]		
	Lane 4	M1S1[15:8]	M1S1[7:0]		
	Lane 5	M1S2[15:8]	M1S2[7:0]		

JESD204B Parameters	Lane No.	Frame 0	Frame 1	Frame 2	Frame 3
L = 4, M = 2, F = 1, S = 1	Lane 0	M0S0[15:8]			
	Lane 1	M0S0[7:0]			
	Lane 2	M1S0[15:8]			
	Lane 3	M1S0[7:0]			
L = 3, M = 2, F = 4, S = 3	Lane 0	M0S0[15:8]	M0S0[7:0]	M0S1[15:8]	M0S1[7:0]
	Lane 1	M0S2[15:8]	M0S2[7:0]	M1S0[15:8]	M1S0[7:0]
	Lane 2	M1S1[15:8]	M1S1[7:0]	M1S2[15:8]	M1S2[7:0]
L = 2, M = 2, F = 2, S = 1	Lane 0	M0S0[15:8]	M0S0[7:0]		
	Lane 1	M1S0[15:8]	M1S0[7:0]		
L = 1, M = 2, F = 4, S = 1	Lane 0	M0S0[15:8]	M0S0[7:0]	M1S0[15:8]	M1S0[7:0]

The physical layer establishes a reliable channel between the transmitter (Tx) and the receiver (Rx); the data link layer is responsible for unpacking the data and descrambling it. The transport layer receives the descrambled JESD204B frame data and converts it into DAC sample data.

物理层在发射机(Tx)和接收机(Rx)之间建立可靠的信道，数据链路层负责将数据解包，并对数据进行解扰。传输层接收解扰后的 JESD204B 帧数据，并将其转换为 DAC 采样数据。

The JESD204B parameters (L, F, K, M, N, NP, S, HD) define how data is packed and tell the device how to convert serial data into sample data. These parameters are defined in detail in the transport layer section. The SXD019 also has a descrambling option (see the descrambler section for more information).

JESD204B 的参数(L、F、K、M、N、NP、S、HD)定义了数据的打包方式，并告诉器件如何将串行数据转化为采样数据。这些参数在传输层部分有详细的定义。SXD019 也有一个解扰选项（更多信息请参见解扰器部分）。

Different JESD204B parameter combinations depend only on the number of lanes. Therefore, a set of parameters can be determined by selecting the number of lanes to use. In addition, the interpolation rate and the number of lanes can be used to define the remaining configuration values required by the SXD019. The interpolation rate and the number of lanes are selected in register 0x110.

不同的 JESD204B 参数组合只取决于 lane 的数量。因此，可以通过选择要使用的 lane 数来确定一组参数。此外，插值率和 lane 数量可用于定义 SXD019 所需的其余配置值。插值速率和通道数在寄存器 0x110 中选择。

The SXD019 has a single DAC output; however, for on-chip complex signal processing purposes, the number of converters is defined as M = 2 whenever interpolation is used.

SXD019 有一个单一的 DAC 输出；但是，为了片上复信号处理的目的，每当使用插值时，转换器的数量被定义为 M = 2。

In a specific application, the number of converters (M) and the data rate (DataRate) are known. The trade-off between lane rate (LaneRate) and the number of lanes (L) can therefore be calculated as follows.

在一个特定的应用中，转换器数量(M)和数据速率（DataRate）是已知的。因此通道速率（LaneRate）和通道数(L)的折中可以通过以下方式进行计算。

DataRate = (DACRate)/(InterpolationFactor)

LaneRate = (20 × DataRate × M)/L

where LaneRate must be between 750 Mbps and 12.5 Gbps.

其中 LaneRate 必须在 750 Mbps 和 12.5 Gbps 之间。

Enabling and recovering lane synchronization is very important. To simplify interfacing with the transmitter, the SXD019 designates a master sync signal for each JESD204B link. The SYNCOUT± pins serve as the master signal for all lanes. If any link in the chain loses synchronization, a resynchronization request is sent to the transmitter through the sync signal of that link. The transmitter stops sending data and instead sends sync characters to all lanes in that link until synchronization is achieved.

使能和恢复 lane 的同步是非常重要的。为了简化与发射机的接口，SXD019 为每个 JESD204B 链路指定一个主同步信号。SYNCOUT±引脚作为所有 lane 的主信号。如果链路中的任何一条链路失去同步，则通过该链路的同步信号向发射机发送一个重新同步请求。发送器停止发送数据，转而向该链路中的所有 lane 发送同步字符，直到实现同步化为止。

SERDES PLL

The SXD019 integrates a complete on-chip PLL for the SERDES, mainly including a VCO and a loop filter. The VCO of the SERDES PLL operates in the range of 6 GHz to 12.5 GHz.

SXD019 片上集成了完整的 PLL 用于 SERDES，主要包括有 VCO 和环路滤波器。SERDES PLL 的 VCO 工作在 6GHz 到 12.5GHz 的范围内。

In the SERDES PLL, a VCO divider unit divides the VCO clock by 2, providing a 3 GHz to 6.25 GHz quadrature clock for the deserializer; this clock is the input to the clock and data recovery unit, which is described in the clock and data recovery section.

在 SERDES PLL 中，一个 VCO 分频单元将 VCO 时钟除以 2，为解串器提供一个 3 GHz 至 6.25 GHz 的正交时钟，这个时钟是时钟数据恢复单元的输入，在时钟和数据恢复部分描述了这个时钟。

The SERDES PLL reference clock fREF is always equal to 1/40 of the lane rate (the PCLK rate). This clock is divided by a DivFactor value (set by SERDES_PLL_DIV_FACTOR) to provide the PFD unit with a clock between 35 MHz and 80 MHz. The SERDES PLL divider settings are shown in Table 4.

SERDES PLL 的参考时钟 fREF 始终等于 lane 速率的 1/40（PCLK 速率）。这个时钟被除以一个 DivFactor 值（由 SERDES_PLL_DIV_FACTOR 设置）后，为 PFD 单元提供一个 35 MHz 到 80 MHz 之间的时钟。SERDES PLL 分频器设置如表 4 所示。

表 4 SERDES PLL 分频器设置 / Table 4: SERDES PLL Divider Settings

Lane Rate (Gbps)	PLL_REF_CLK_RATE, Register 0x084, Bits[5:4]	SERDES_PLL_DIV_FACTOR, Register 0x289, Bits[1:0]
0.750 to 1.5625	0b01 = 2×	0b10 = ÷1
1.5 to 3.125	0b00 = 1×	0b10 = ÷1
3 to 6.25	0b00 = 1×	0b01 = ÷2
6 to 12.5	0b00 = 1×	0b00 = ÷4

Register 0x280 controls enabling and recalibration of the PLL clock signal.

寄存器 0x280 控制 PLL 时钟信号的开启和重校准。

To enable the SERDES PLL, first set the PLL divider registers (see Table 4). Then enable the SERDES PLL by writing register 0x280, bit 0 = 1. If recalibration is required, write register 0x280, bit 2 = 1, then reset this bit to 0. The rising edge of this bit starts recalibration.

要启用 SERDES PLL，首先设置 PLL 分频器寄存器（见表 4）。然后通过写入寄存器 0x280，位 0=1 来启用 SERDES PLL。如果需要重新校准，写寄存器 0x280，位 2 = 1，然后将该位复位为 0。该位的上升沿开启重新校准。

Confirm whether the SERDES PLL is operating by reading register 0x281. If register 0x281 bit 0 = 1, the SERDES PLL is locked. If register 0x281 bit 3 = 1, the SERDES PLL has been successfully calibrated. If register 0x281 bit 4 or bit 5 is high, the PLL has reached the lower or upper end of its calibration band, and it must be recalibrated by writing 0 then 1 to register 0x280, bit 2.

通过读取寄存器 0x281 确认 SERDES PLL 是否工作。如果寄存器 0x281 位 0=1，表示 SERDES PLL 已锁定。如果寄存器 0x281，位 3 = 1，表示 SERDES PLL 已成功校准。如果寄存器 0x281，位 4 或位 5 为高电平，则 PLL 达到其校准边带的下端或上端，必须通过向寄存器 0x280，位 2 写入 0，然后写入 1 来重新校准。

时钟数据恢复单元（CDR）/ Clock and Data Recovery Unit (CDR)

The deserializer is equipped with a CDR circuit. The CDR recovered clock is not derived from the JESD204B serial channel, but comes from the SERDES PLL.

解串器配备了一个 CDR 电路。CDR 恢复时钟不从 JESD204B 串行通道中得到，而是来源于 SERDES PLL 中。

A CDR operating mode needs to be selected to generate the device-internal lane rate clock. The CDR operating modes corresponding to different lane rates are shown in Table 5.

需要选择一种 CDR 工作模式来产生器件内部的 lane 速率时钟。不同的 lane 速率对应的 CDR 工作模式如表 5 所示。

表 5 CDR 工作模式列表 / Table 5: CDR Operating Mode List

LaneRate (Gbps)	SPI_ENHALFRATE, Register 0x230, Bit 5	SPI_DIVISION_RATE, Register 0x230, Bits[2:1]
0.750 to 1.5625	0 (full rate)	10b (divide by 4)
1.5 to 3.125	0 (full rate)	01b (divide by 2)
3 to 6.25	0 (full rate)	00b (no divide)
6 to 12.5	1 (half rate)	00b (no divide)

The CDR circuit independently synchronizes the phase used for data sampling on each serial channel. This independent phase adjustment of each serial interface ensures data sampling accuracy and eases the design implementation of multiple serial interfaces on one PCB.

CDR 电路对每个串行通道上用于数据采样的相位进行独立的同步。每个串行接口的这种独立的相位调整可以确保数据采样的准确性，并减轻了一个 PCB 上多个串行接口的设计实现。

After configuring the CDR circuit, reset the CDR operating state by writing 1 then 0 to bit 0 of register 0x206 to complete reset and release of reset.

配置好 CDR 电路后，再对 CDR 的工作状态进行复位，通过向寄存器 0x206 的位 0 写 1 再写 0 来完成复位及释放复位。

表 6 不同内插和 lane 个数的 JESD204B 参数 / Table 6: JESD204B Parameters for Different Interpolation and Lane Counts

Interpolation Rate	No. of Lanes	M	F	S	PCLK Period (DAC Clocks)	LMFC Period (DAC Clocks)	Lane Rate at 5 GHz DAC Clock (GHz)
1	8	1	1	4	16	128	12.5
2	6	2	2	3	12	192	16.661
2	8	2	1	2	16	128	12.5
3	6	2	2	3	18	288	11.11
3	8	2	1	2	24	192	8.33
4	3	2	4	3	12	384	16.661
4	4	2	1	1	16	128	12.5
4	6	2	2	3	24	384	8.33
4	8	2	1	2	32	256	6.25
6	3	2	4	3	18	576	11.11
6	4	2	1	1	24	192	8.33
6	6	2	2	3	36	576	5.55
6	8	2	1	2	48	384	4.16
8	2	2	2	1	16	256	12.5
8	3	2	4	3	24	768	8.33
8	4	2	1	1	32	256	6.25
8	6	2	2	3	48	768	4.16
8	8	2	1	2	64	512	3.12
12	2	2	2	1	24	384	8.33
12	3	2	4	3	36	1152	5.55
12	4	2	1	1	48	384	4.16
12	6	2	2	3	72	1152	2.77
12	8	2	1	2	96	768	2.08
16	1	2	4	1	16	512	12.5
16	2	2	2	1	32	512	6.25
16	3	2	4	3	48	1536	4.16
16	4	2	1	1	64	512	3.12
16	6	2	2	3	96	1536	2.08
16	8	2	1	2	128	1024	1.56
24	1	2	4	1	24	768	8.33
24	2	2	2	1	48	768	4.16

Interpolation Rate	No. of Lanes	M	F	S	PCLK Period (DAC Clocks)	LMFC Period (DAC Clocks)	Lane Rate at 5 GHz DAC Clock (GHz)
24	3	2	4	3	72	2304	2.77
24	4	2	1	1	96	768	2.08
24	6	2	2	3	144	2304	1.38
24	8	2	1	2	192	1536	1.04

Note 1: the maximum lane rate is 12.5 Gbps, so in these modes the DAC rate must be below 3.75 GHz.

注 1：最大lane速率为12.5Gbps，因此这些模式下DAC速率需低于3.75GHz。

3、数字处理通路 / Digital Datapath

The digital datapath includes a selectable 1× (bypass), 2× or 3× interpolator, three 2× interpolation half-band filters, a bypassable 2× interpolation filter FIR85 used in NRZ mode, a quadrature modulator containing a 48-bit NCO, and an inverse SINC unit. The overall block diagram of the digital datapath is shown in Figure 8.

数字处理通路包括一个 1×（旁路）、2×或 3×可选插值器、三个 2×插值半带滤波器，一个可旁路的 2×NRZ 模式下使用的插值滤波器 FIR85，一个包含 48 位 NCO 的正交调制器，和一个反 SINC 单元。数字处理通路总体框图如图 8 所示。

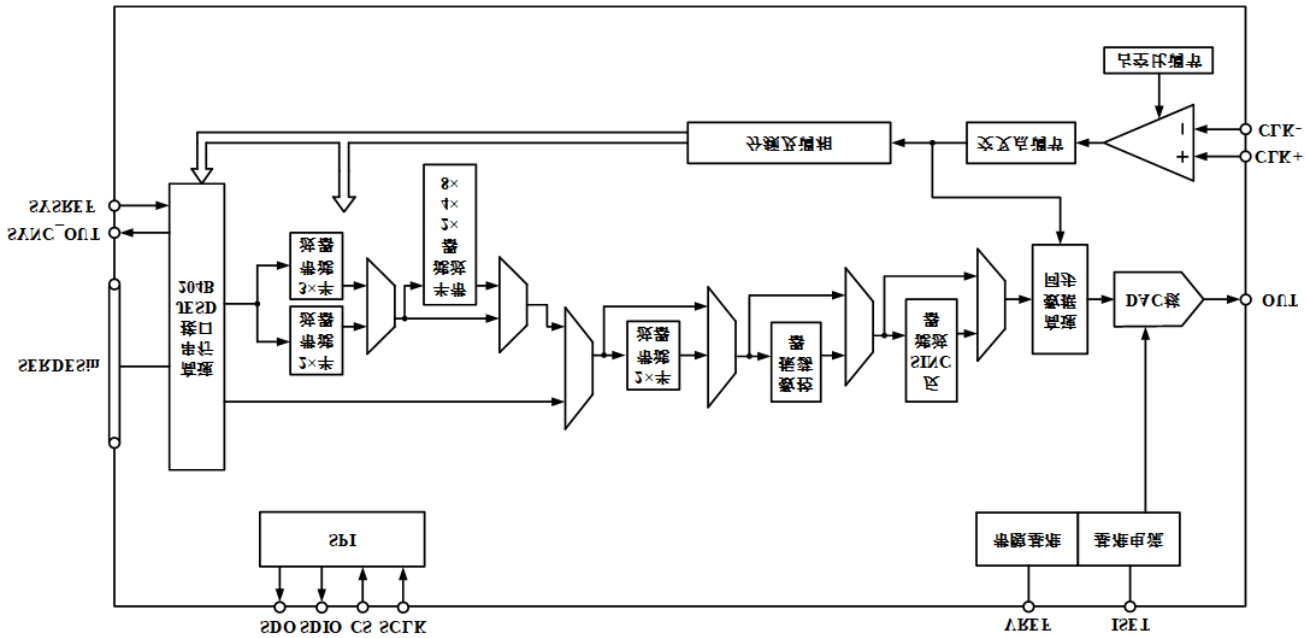


Figure 8: 数字处理通路总体框图 / Digital datapath overall block diagram

Enabling the interpolation filters requires receiving I/Q complex data to facilitate subsequent quadrature modulation.

开启插值滤波器需要接收 I、Q 复数数据，便于后续正交调制。

In bypass mode (1× interpolation), the input data is real data.

在旁路模式下(1×插值)，输入的数据为实数数据。

3.1 数据格式（DATA FORMAT）/ Data Format

The input data format of the SXD019 in all modes is 16-bit, two's complement.

SXD019 的所有模式输入数据格式都是 16 位、二的补码（twos complement）。

To avoid NCO leakage, the digital codes input to the DAC must be symmetric about the zero code (the number of positive codes must equal the number of negative codes). That is, the DC offset of the input digital codes must be removed. Otherwise, when the NCO is used to shift signals up or down, spectral leakage will occur and a small spur will be seen at the digital local oscillator frequency.

为了避免 NCO 泄露，输入到 DAC 的数字码必须关于零码对称（正码数必须等于负码数）。即必须去掉掉输入数字码的直流偏移。否则，当使用 NCO 进行向上或向下信号搬移时，会产生频谱泄露，在数字本振频率处看到一个小的杂波。

3.2 内插滤波器（INTERPOLATION FILTERS）/ Interpolation Filters

The main digital path contains five half-band interpolation filters, plus a final half-band interpolation filter used in 2×NRZ mode. The cascade of the filters is shown in Figure 8.

主数字路径包含五个半带插值滤波器，和最后一个在 2×NRZ 模式下使用的半带插值滤波器。滤波器的级联如图 8 所示。

The first pair of filters is a 2× (HB2) or 3× (HB3) filter. Each filter has two bandwidth options, 80% or 90%. The 80% filter consumes less power than the 90% filter. The filters default to the lower-power 80% bandwidth. To set the filter bandwidth to 90%, configure the FILT_BW bit in the DATAPATH_CFG register to 1 (register 0x111, bit 4 = 0b1).

第一对滤波器是 2×（HB2）或 3×（HB3）滤波器。每个滤波器都有两种带宽选择，即 80%或 90%。80%的滤波器比 90%的滤波器功率低。滤波器默认为较低功率的 80%带宽。要将滤波器带宽设为 90%，需将 DATAPATH_CFG 寄存器中的 FILT_BW 位配置为 1（寄存器 0x111，位 4=0b1）。

Following the first pair of filters is a series of 2× half-band filters, each with half the available bandwidth of the previous one: HB4 has 45% of the fDATA bandwidth, HB5 has 22.5% of the fDATA bandwidth, and HB6 has 11.25% of the fDATA bandwidth.

在第一对滤波器之后是一系列的 2×半带滤波器，每一个滤波器的可用带宽是前一个滤波器的一半。其中 HB4 为 fDATA 带宽的 45%，HB5 为 fDATA 带宽的 22.5%，HB6 为 fDATA 带宽的 11.25%。

The last half-band filter FIR85 is used in 2×NRZ mode. Its clock frequency is 2×fDAC, and its available bandwidth is 45% of fDAC. The FIR85 filter is a complex filter, so its bandwidth is centered at 0 Hz. Used together with complex interpolation mode, the FIR85 filter increases the DAC update rate and moves images further away from the desired signal.

最后一个半带滤波器 FIR85 是在 2×NRZ 模式下使用的。它的时钟频率为 2×fDAC，可用带宽为 fDAC 的 45%。FIR85 滤波器是一个复数滤波器，因此带宽以 0Hz 为中心。FIR85 滤波器与复插值模式配合使用，可将 DAC 更新率提高，并将镜像移到离所需信号更远的地方。

Table 7 shows how to select each available interpolation mode, along with its available bandwidth and maximum data rate. The available signal bandwidth is calculated as follows:

表 7 显示了如何选择每种可用的插值模式，及其可用带宽和最大数据速率。计算可用的信号带宽如下：

BWSIGNAL = BWFILT × (fDAC/InterpolationFactor)

表 7 插值模式及可使用带宽 / Table 7: Interpolation Modes and Available Bandwidth

Interpolation Mode	INTERP_MODE, Register 0x110, Bits[3:0]	Available Signal Bandwidth (BW)1	Maximum fDATA
1× (Bypass)	0x00	fDAC/2	fDAC2
2×	0x01	BW × fDATA	fDAC/2
3×	0x02	BW × fDATA	fDAC/3
4×	0x03	BW × fDATA	fDAC/4
6×	0x04	BW × fDATA	fDAC/6
8×	0x05	BW × fDATA	fDAC/8
12×	0x06	BW × fDATA	fDAC/12
16×	0x07	BW × fDATA	fDAC/16
24×	0x08	BW × fDATA	fDAC/24
2×NRZ (Register 0x111, Bit 0 = 1)	Any combination3	0.45 × fDAC4	fDAC (real) or fDAC/2 (complex)2

Note 1: for all interpolation modes greater than 1×, the data rate (fDATA) is a complex data rate, i.e., each of the I data and Q data runs at this rate, so the actual port data rate is 2×fDATA. The available signal bandwidth is the data rate multiplied by the bandwidth of the initial 2× or 3× interpolation filter, which can be set to BW = 80% or BW = 90%. This bandwidth is centered at 0 Hz.

注 1：所有大于1×内插模式的数据速率(fDATA)是一个复数数据速率，即I数据和Q数据中的每一个数据都以该速率运行，因此端口实际数据率为2×fDATA。可用的信号带宽是数据速率乘以初始2×或3×插值滤波器的带宽，可设置为BW=80%或BW=90%。这个带宽以0Hz为中心。

Note 2: in 1× and 2× interpolation modes, the maximum fDAC speed is limited by the JESD204B interface: 5000 MHz (real) in 1× interpolation mode, or 2500 MHz (complex) in 2× interpolation mode.

注 2：1×和2×插值模式下，fDAC最大速度受JESD204B接口的限制，在1×插值模式下为5000 MHz（实数）或2×插值模式下为2500 MHz（复数）。

Note 3: the 2×NRZ filter FIR85 can be combined with any interpolation mode; in 1× mode the available signal bandwidth is 0.225 × fDAC.

注 3：2×NRZ滤波器FIR85可与任意一种插值模式组合，在1×模式下，可用信号带宽为0.225 × fDAC。

Note 4: the bandwidth of the FIR85 filter is centered at 0 Hz.

注 4：FIR85滤波器的带宽以0Hz为中心。

3.3 数字调制 / Digital Modulation

The SXD019 has digital modulation capability, which can modulate baseband quadrature signals to the desired DAC output frequency.

SXD019 具有数字调制功能，可将基带正交信号调制到所需的 DAC 输出频率。

The SXD019 has multiple NCO modes. The default mode is the 48-bit integer NCO mode. The A/B ratio of the dual-modulus NCO allows very high synthesis precision of the output frequency. NCO mode selection is shown in Table 8.

SXD019 有多种 NCO 模式。默认的模式是 48 位整数 NCO 模式。双模 NCO 的 A/B 比值允许输出频率的合成精度非常高。NCO 模式的选择如表 8 所示。

表 8 NCO 模式选择 / Table 8: NCO Mode Selection

Modulation Mode	Register 0x111, Bit 6	Register 0x111, Bit 2
None	0b0	0b0
48-Bit Integer NCO	0b1	0b0
48-Bit Dual Modulus NCO	0b1	0b1
32-Bit FFH NCO	0b1	0b1

48-Bit Dual Modulus NCO

This modulation mode uses an NCO, a phase shifter and a complex frequency modulator to modulate via a programmable carrier signal. This configuration allows the output signal to appear anywhere in the output spectrum with very high frequency resolution.

这种调制模式使用一个 NCO、一个移相器和一个复频率调制器，通过可编程载波信号进行调制，这种配置允许输出信号出现在输出频谱中的任意位置，且有非常高的频率分辨率。

The NCO generates a quadrature carrier used to change the center frequency of the input signal. The quadrature carrier is a pair of sine waves of the same frequency offset by 90°. The frequency of the quadrature carrier is set by the FTW. The quadrature carrier is mixed with the I and Q data, then summed and fed into the I and Q output data paths.

NCO 产生一个正交载波，用于改变输入信号的中心频率。正交载波是一对频率相同、偏移 90°的正弦波。正交载波的频率是通过 FTW 设定的。将正交载波与 I 和 Q 数据混频，然后求和送入 I 和 Q 输出数据通路。

Integer NCO Mode

The main 48-bit NCO can operate in integer NCO mode, and the frequency tuning word (FTW) can be obtained from the following formula.

主 48 位 NCO 可以工作在整数 NCO 模式，可以用下面的公式得到频率调谐字(FTW)。

$-fDAC/2 \leqslant fCARRIER < +fDAC/2$

$FTW = (fCARRIER/fDAC) \times 248$

where FTW is a 48-bit two's complement number.

其中 FTW 是一个 48 位的 2 的补码数（twos complement）。

In 2×NRZ mode (FIR85 enabled, register 0x111, bit 0 = 1), the frequency tuning word is calculated as:

在 2×NRZ 模式下（FIR85 启用寄存器 0x111，位 0=1），频率调谐字的计算公式为：

0 ⩽ fCARRIER < fDAC

FTW = (fCARRIER/fDAC) × 248

where FTW is a 48-bit binary number.

其中 FTW 是一个 48 位二进制数。

The frequency tuning word settings are shown in Table 9.

频率调谐字的设置如表 9 所示。

表 9 NCO FTW 寄存器表 / Table 9: NCO FTW Register Map

Address	Value	Description
0x114	FTW[7:0]	8 LSBs of FTW
0x115	FTW[15:8]	Next 8 bits of FTW
0x116	FTW[23:16]	Next 8 bits of FTW
0x117	FTW[31:24]	Next 8 bits of FTW
0x118	FTW[39:32]	Next 8 bits of FTW
0x119	FTW[47:40]	8 MSBs of FTW

Unlike other registers, the FTW registers are not updated immediately after being written, but on the rising edge of FTW_LOAD_REQ (register 0x113, bit 0). After the update request, FTW_LOAD_ACK (register 0x113, bit 1) must be high to confirm that the FTW has been updated.

与其他寄存器不同的是，FTW 寄存器不是在写入后立即更新，而是在 FTW_LOAD_REQ(寄存器 0x113，位 0)的上升沿上更新。更新请求后，FTW_LOAD_ACK(寄存器 0x113，位 1)必须为高电平以确认 FTW 已更新。

The SEL_SIDEBAND bit (register 0x111, bit 1 = 0b1) can be set to use the lower-sideband modulation result, which is equivalent to flipping the sign bit of the FTW.

SEL_SIDEBAND 位(寄存器 0x111，位 1 = 0b1)可以设置使用下边带调制结果，相当于翻转 FTW 的符号位。

仅 NCO 工作模式 / NCO-Only Operating Mode

The SXD019 supports an NCO-only operating mode. In this mode, the NCO generates a single-tone sine wave and feeds it to the DAC output. All functions discussed in the digital modulation section can be used in NCO-only enabled mode. In this mode, no JESD204B link needs to be established. Since the NCO data is generated internally, this mode can establish a transmitter wireless signal chain without a digital signal source. This mode can also be used in applications that only require a sine wave, such as local oscillator applications.

SXD019 可以支持仅 NCO 工作模式。在这种模式下，NCO 产生一个单音正弦波并送至 DAC 输出。在数字调制部分讨论的所有功能都可以在仅启用 NCO 模式下使用。在此模式下，不需要建立 JESD204B 链接。由于内部生成 NCO 数据，该模式可以不需要数字信号源建立发射机无线信号链。这种模式也可用于只需要正弦波的应用中，例如本地振荡器应用。

To enable NCO-only operating mode, configure the DC_TEST_EN bit (register 0x150, bit 1) to 0b1. Then, set a DC test value in two's complement format in register 0x14E (MSB) and register 0x14F (LSB). The default value is 0x0000 (zero amplitude); a typical configuration is 0x7FFF for a full-scale sine wave. The final step is to select INTERP_MODE = 0b0000 in register 0x110, Bits[3:0], configuring interpolation to 1× bypass mode. Because the DC test value is only available in the bypass path and cannot be accessed in the complex data path.

要启用仅 NCO 工作模式，需要配置 DC_TEST_EN 位（寄存器 0x150 位 1）为 0b1。然后，在寄存器 0x14E(MSB)和寄存器 0x14F(LSB)中按 2 的补码格式设置一个直流测试值。默认值为 0x0000(零振幅)，典型值情况下配置为 0x7FFF，用于满幅正弦波。最后一步是在寄存器 0x110，Bits[3:0]中选择 INTERP_MODE = 0b0000，将插值配置为 1×旁路模式。因为直流测试值只在旁路路径中可用，在复数数据路径中无法访问。

When DC_TEST_EN = 1, the data source of the data channel is the DC test data. This means the JESD204B link can be established and data can be successfully transferred through the link into the device, except that when DC_TEST_EN = 1 the data is not fed to the DAC core. Only when DC_TEST_EN = 0 can it connect to SERDES data. The DC_TEST_EN bit can be set in real time, but since disabling this mode and switching to the SERDES data path usually requires setting the lane and/or interpolation mode, setting or resetting the DC_TEST_EN bit in real time is usually impractical.

当 DC_TEST_EN = 1 时，数据通道的数据源是直流测试数据。这意味着 JESD204B 链路可以建立起来，数据可以通过链路成功地传输到电路中，只是 DC_TEST_EN = 1 时，数据不会送给 DAC 核。只有当 DC_TEST_EN = 0 时，才可以连接到 SERDES 数据。DC_TEST_EN 位可以实时设置，但由于禁用该模式并切换到 SERDES 数据路径通常需要设置通道和/或插值模式，因此实时设置或重置 DC_TEST_EN 位通常不实用。

3.4 INVERSE SINC / 反 SINC

The SXD019 provides a digital inverse SINC filter to compensate for the roll-off attenuation of the DAC. This filter is enabled by setting the INVSINC_EN bit (register 0x111, bit 7), and is disabled by default.

SXD019 提供了一个数字反 SINC 滤波器，用于补偿 DAC 的滚降（roll-off）衰减。该滤波器通过设置 INVSINC_EN 位（寄存器 0x111，位 7）来启用，默认情况下被禁用。

The inverse sinc (sinc-1) filter is a seventh-order FIR filter; the compensated response has a passband ripple of less than ±0.05 dB within 0.4×fDACCLK. When 2×NRZ mode is enabled, the inverse SINC filter operates up to 0.4×f2×DACCLK. To provide the necessary peaking at the upper end of the passband, the inherent insertion loss of the inverse SINC filter shown is approximately 3.8 dB.

反 sinc（sinc-1）滤波器是一个七阶 FIR 滤波器，补偿后的响应在 0.4×fDACCLK 内通带纹波小于±0.05 dB。启用 2×NRZ 模式时，反 SINC 滤波器工作到 0.4×f2×DACCLK。为了在通带的上端提供必要的峰值，所示的反 SINC 滤波器的固有插入损耗约为 3.8dB。

4、模拟工作模式 / Analog Operating Modes

The SXD019 uses a quad-switch architecture. Only one pair of switches is used in each half clock cycle, so each pair of switches alternately operates at the clock edge. One advantage of the quad-switch architecture is that it masks the code-dependent glitches that occur in conventional dual-switch DAC architectures.

SXD019 采用的四开关架构。每半个时钟周期内只有一对开关被使用，因此每一对开关会在时钟边沿交替工作。四开关架构的一个优点是，它掩盖了传统双开关 DAC 架构中出现的码相关毛刺。

In a dual-switch architecture, a glitch is generated when the data changes, while no glitch occurs when the data remains unchanged; this code-dependent glitch increases DAC distortion. In the quad-switch architecture, two switches toggle in every half clock cycle regardless of whether the data changes, producing a glitch; this eliminates code-dependent glitches, but in the process a glitch is generated at a frequency of 2×fDAC. Therefore, a distinct clock spur can be seen at 2×fDAC in the DAC output spectrum.

在双开关架构中，当数据变化时会产生一个毛刺，而数据保持不变时则没有毛刺，这种码相关的毛刺会增加 DAC 的失真。在四开关架构中，无论数据是否变化，每半个时钟周期总有两个开关在切换，产生一个毛刺，这样就消除了码相关毛刺，但在这个过程中，会以 2×fDAC 的频率产生了一个毛刺。因此，在 DAC 输出频谱中可以看到在 2×fDAC 处有一个明显的时钟杂波。

Since the quad-switch architecture can update within each half clock cycle, the DAC core can operate at twice the DAC clock if new data samples are fed into the DAC core on both the rising and falling edges of the DAC clock. This is the principle of mix-mode or return-to-zero (RZ) mode operation. In these modes, the DAC core receives new sample data on each clock edge: in RZ mode the rising-edge clock carries data and the falling-edge clock carries zero, while in mix mode the falling-edge sample is simply the complement of the rising-edge sample data.

由于四开关架构可以在每个半时钟周期内进行更新，因此，如果在 DAC 时钟的上升沿和下降沿上都有新的数据采样送入 DAC 核，则 DAC 核可以工作到 DAC 时钟的 2 倍。这是混频（Mix）模式或归零（RZ）模式工作的原理。这些模式 DAC 内核在每个时钟沿上都会有新的采样数据：在 RZ 模式下，上升沿时钟为数据，下降沿时钟为零，而在 Mix-Mode 模式下，下降沿采样只是上升沿采样数据的补码。

Users can select different operating modes to use the output signal in applications across the first three Nyquist zones. Switching between normal mode and mix mode changes the sinc envelope of the DAC output. In normal mode, the sinc null appears at fDACCLK, because data sampled on the rising clock edge is likewise sampled on the falling clock edge, so the sinc envelope is the same as that of a conventional DAC. In mix mode, the data sampled on the falling edge is complementary to the data sampled on the rising edge, thus pushing the sinc null to 2×fDACCLK.

用户可以通过选择不同的工作模式，使用输出信号在前三个 Nyquist 区的应用。在正常模式和混合模式之间切换会改变 DAC 输出的 sinc 包络。在正常模式下，sinc 零点出现在 fDACCLK 处，因为在上升时钟沿采样的数据也同样会在时钟下降沿被采样，因此 sinc 包络与传统的 DAC 相同。在混频模式下，下降沿采样的数据与上升沿采样数据互补，因此将 sinc 零点被推到 2×fDACCLK。

The quad switches can be configured via SPI (register 0x152, Bits[1:0]) to NRZ normal mode (0b00), RZ return-to-zero mode (0b10), or MIX mix mode (0b01). Thanks to the FIR85 filter, the SXD019 has additional frequency response characteristics. This filter samples data on the rising and falling edges of the DAC clock respectively, which is equivalent to doubling the input clock frequency.

四开关可以通过 SPI(寄存器 0x152，Bits[1:0])配置为 NRZ 正常模式(0b00)、RZ 归零模式(0b10)或 MIX 混频模式(0b01)。由于 FIR85 滤波器，SXD019 具有额外的频率响应特性。该滤波器在 DAC 时钟的上升沿和下降沿分别采样数据，相当于将输入时钟频率增加一倍。

5、时钟输入 / Clock Input

The SXD019 contains a low-jitter, differential clock receiver that can interface directly with differential or single-ended clock sources. Since the input is self-biased with an internal impedance of 90 Ω, AC coupling of the clock source to the CLK± input pins is recommended. The maximum frequency of the clock (CLK±) must not exceed 6 GHz. The differential input level is nominally 1 V p-p, but the clock receiver operates over a range of 250 mV p-p to 2.0 V p-p. A higher clock input level provides better phase noise performance.

SXD019 包含一个低抖动、差分时钟接收器，能够直接与差分或单端时钟源对接。由于输入为自偏置，内部阻抗为 90Ω，建议时钟源与 CLK±输入引脚采用交流耦合。时钟（CLK±）的最高频率不得超过 6GHz。差分输入电平标称为 1 V p-p，但时钟接收器能工作的范围为 250 mV p-p 至 2.0 V p-p。使用较高的时钟输入电平可以获得更好的相位噪声性能。

The quality of the clock source directly affects the AC performance of the DAC output. Select the phase noise and spur characteristics of the clock source to meet the target application requirements. The phase noise and spurs of the clock source at a given offset can be directly translated to the output signal. When jitter on the DAC clock path is negligible, the correlation coefficient between the phase noise characteristics of the output sine wave and the clock source is: 20×log10(fOUT/fCLK).

时钟源的质量直接影响 DAC 的输出交流性能。选择满足应用要求的时钟源的相位噪声和杂波特性，以满足目标应用要求。时钟源上给定频偏的相位噪声和杂波可以直接转化为输出信号。当 DAC 时钟路径上抖动可以忽略不计时，输出正弦波的相位噪声特性与时钟源的相关系数为：20×log10（fOUT/fCLK）。

The clock control registers are located at addresses 0x082 to 0x084. CLK_DUTY (register 0x082) can be used to enable duty cycle correction (Bit 7), enable duty cycle offset control (Bit 6), and set the duty cycle offset (Bits[4:0]). The duty cycle offset word is a signed word, with Bit 4 as the sign bit (1 for negative) and Bits[3:0] as the magnitude. The duty cycle adjustment range is approximately ±3%.

时钟控制寄存器的地址是 0x082 到 0x084。CLK_DUTY(寄存器 0x082)可用于使能占空比校正(Bit7)，使能占空比偏移控制(Bit6)，并设置占空比偏移量(Bits[4:0])。占空比偏移字是一个有符号字，Bit 4 为符号位（1 为负值），Bits[3:0]为幅度。占空比调整范围大约为±3%。

There is also a register for the clock input to adjust the phase of the input clocks CLK+ and CLK−. The address of this register is 0x07F. Per Table 10, this register has a sign bit (1 for negative), adding 20 fF of capacitance per step to CLK+ or CLK−. The CLK_PHASE_TUNE register can be used to adjust the clock input phase for better DAC image rejection performance.

时钟输入还有一个寄存器，用于调整输入时钟 CLK+和 CLK-的相位。该寄存器地址为 0x07F。根据表 10，该寄存器有一个符号位(1 为负值)，每步增加 20 fF 的电容到 CLK+或 CLK-输入。CLK_PHASE_TUNE 寄存器可用于调整时钟输入相位，以获得更好的 DAC 镜像抑制性能。

表 10 输入时钟相位调节设置 / Table 10: Input Clock Phase Adjustment Settings

Register 0x07F, Bits[5:0]	Capacitance at CLK+	Capacitance at CLK−
000000	0	0
000001	1 × 20 fF	0
000010	2 × 20 fF	0

Register 0x07F, Bits[5:0]	Capacitance at CLK+	Capacitance at CLK−
…	…	…
011111	31 × 20 fF	0
100000	0	0
100001	0	1 × 20 fF
100010	0	2 × 20 fF
…	…	…
111111	0	31 × 20 fF

6、SHUFFLE 模式 / SHUFFLE Mode

The spurious performance of the SXD019 can be improved by the shuffle mode function. Shuffle mode spreads the energy of spur signals as random noise across the entire DAC output. Shuffle mode is enabled by programming register 0x151, bit 2 = 0b1. Since shuffle is implemented with the MSBs, shuffle mode is more effective when there is a small amount of digital backoff while the DAC is running.

SXD019 的杂散性能可以通过 shuffle 模式的功能来改善。shuffle 模式将杂散信号的能量作为随机噪声分散到整个 DAC 输出中。通过编程寄存器 0x151，位 2 = 0b1 来启用 shuffle 模式。由于 shuffle 是用 MSB 实现的，所以当 DAC 在运行时有少量的数字压缩（backoff）时，Shuffle 模式更有效。

7、DLL

The CLK± input feeds a high-speed DLL to ensure that the DAC sampling clock correctly receives the input data. The DLL control registers are located at addresses 0x090 to 0x09B. The DLL is configured and enabled according to the recommended start-up procedure, and these values usually do not need to be changed.

CLK±输入到一个高速 DLL，以确保 DAC 采样时钟能正确接收到输入数据。DLL 控制寄存器地址为 0x090 至 0x09B。DLL 按照推荐启动程序进行配置和启用，通常不需要改变这些值。

8、基准电压 / Reference Voltage

The output current of the SXD019 is jointly controlled by the digital code and ISET; the reference current is obtained through ISET with an external 9.6 kΩ resistor to VDDN12. The ISET pin operates at 0 V normally, so the 1.2 V across the 9.6 kΩ resistor RSET generates a 125 μA reference current ISET. The relationship between the maximum full-scale current setting and the external resistor is given by:

SXD019 的输出电流由数字码和 ISET 联合控制，基准电流是通过 ISET 脚外接 9.6 kΩ 电阻至 VDDN12 来获得的。ISET 脚正常工作时电压为 0V，因此 1.2 V 电压在 9.6 kΩ 电阻 RSET 上产生 125μA 的基准电流 ISET。最大满幅电流的设置与外部电阻的关系由下式得到：

IOUTFS = 1.2 V/RSET (kΩ) × 320 (mA)

Note the following limitations when configuring the reference voltage circuit:

配置基准电压电路时要注意以下限制：

- The 9.6 kΩ resistor and 1 µF bypass capacitor are both required for normal operation.
- 9.6 kΩ 电阻和 1 µF 旁路电容都是正常工作所需要的。
- To adjust the DAC output full-scale current IOUTFS, it must be done digitally; its default setting is 40 mA.
- 调整 DAC 输出的满幅电流 IOUTFS，必须以数字方式进行，其默认设置为 40 mA。
- The SXD019 is not a multiplying DAC. Modulating the reference current ISET with an AC signal is not supported.
- SXD019 不是一个乘法 DAC。不支持用交流信号对基准电流 ISET 进行调制。
- The bandgap voltage appearing at the VREF pin has very high output impedance, so it must be buffered before being supplied to external circuits.
- 在 VREF 引脚出现的带隙电压输出阻抗很高，因此必须经过缓冲后才能供给外部电路。
- An external reference can override the internal reference by connecting to the VREF pin.
- 外部基准可以通过连接到 VREF 引脚上覆盖内部基准。

IOUTFS can be adjusted via digital codes in the range of 8 mA to 40 mA, with the corresponding register ANA_FULL_SCALE_CURRENT[9:0] at addresses 0x042, Bits[7:0] and 0x041, Bits[1:0]. The adjustment code can be set from 0 to 1023, with the following relationship to IOUTFS:

IOUTFS 可以在 8mA 到 40mA 范围内通过数字码调整，对应的寄存器 ANA_FULL_SCALE_CURRENT[9:0]地址为 0x042，Bits[7:0]和 0x041，Bits[1:0]。调节码值可以设置为 0 到 1023，与 IOUTFS 的关系如下：

IOUTFS = 32 mA × (ANA_FULL_SCALE_CURRENT[9:0]/1023) + 8 mA

Note that the default value 0x3FF produces a 40 mA full-scale current, and the main specified performance of the device is obtained under this configuration.

请注意，默认值 0x3FF 会产生 40mA 满幅电流，电路的主要指标性能都是在该配置下得到的。

9、模拟输出 / Analog Output

9.1 DAC 等效输出及传输特性 / DAC Equivalent Output and Transfer Characteristics

The SXD019 provides complementary current outputs OUTPUT+ and OUTPUT−, with an external load to the 2.5 V VDD25A supply. Compared with most current-output DACs of this type, the output of the SXD019 consists of a DC current (IFIXED) and a differential AC current ICS (ICS = ICSP + ICSN). These two currents together form the IINTx current. The internal currents IINTP and IINTN are fed to the output pins and pulled up to the VDD25A supply through an equivalent 100 Ω termination resistor (RINT). This port shunts the output current according to the external resistor connected to VDD25A.

SXD019 提供互补电流输出 OUTPUT+和 OUTPUT-，外接负载到 2.5 V VDD25A 电源。与大多数这种类型的电流输出 DAC 相比，SXD019 的输出由一个直流电流(IFIXED)和一个差分交流电流 ICS(ICS=ICSP+ICSN)组成。这两个电流一起形成 IINTx 电流。内部电流 IINTP 和 IINTN 送到输出引脚，通过一个相当于 100Ω 的端接电阻(RINT)拉到 VDD25A 电源。该端口会根据接到 VDD25A 的外部电阻对输出电流分流。

9.2 输出级配置 / Output Stage Configuration

The SXD019 is mainly used for broadband, high-dynamic-range signal reconstruction and/or high IF/RF signal generation. Optimum AC performance is only achieved when the DAC output is configured for differential operation with the output common-mode voltage biased to a stable, low-noise 2.5 V analog supply (VDD25A).

SXD019 主要应用于宽带、高动态范围信号重建，和/或高 IF/RF 信号生成。只有当 DAC 输出配置为差分工作，且输出共模电压偏置到稳定、低噪声的 2.5 V 模拟电源（VDD25A ）时，才能获得最佳的交流性能。

The output network used for the DAC interface provides a near-0 Ω DC bias path to VDD25A. Any mismatch of the output impedance between the OUTPUT+ and OUTPUT− pins across the frequency range degrades the distortion (mainly even-order harmonics) and noise performance of the device. Component selection and layout are key to achieving the performance of the SXD019.

用于 DAC 接口的输出网络为 VDD25A 提供了一个接近 0Ω 的直流偏置路径。OUTPUT+和 OUTPUT-引脚之间的输出阻抗在整个频率范围的任何不匹配都会恶化电路的失真(主要是偶次谐波)和噪声性能。元件选择和布局是实现 SXD019 性能的关键。

Most applications requiring differential-to-single-ended conversion from 10 MHz to 3 GHz can use several transformers with 2:1 and 1:1 impedance ratios.

大多数需要从 10 MHz 到 3 GHz 的差分到单端转换应用都可以采用几种 2:1 和 1:1 阻抗比的变压器。

10、上电顺序 / Power-Up Sequence

The SXD019 requires attention to the power-up sequence to avoid damaging the DAC.

SXD019 需要注意上电顺序，以避免损坏 DAC。

The VDD25IO, VDD12A, VDD12C and VDD12D domains must be powered up first. Then VDDN12, VDD12S, VDD12ST, VDD12SB, VDD12PC, VDD12PL, VDD12SD and VDD33SYNC are powered up. VDD25A must be powered up last. There is no required sequence for power-down.

VDD25IO、VDD12A、VDD12C 和 VDD12D 域必须首先上电。然后是 VDDN12、VDD12S、 VDD12ST、VDD12SB、VDD12PC、VDD12PL、VDD12SD 和 VDD33SYNC 上电。VDD25A 必须最后上电。断电没有顺序要求。

11、启动序列 / Start-Up Sequence

After the device is powered up, the SXD019 needs to be configured to the correct operating state. The configuration sequence is divided into several steps, listed in Table 11, Table 12 and Table 13, with the purpose of each step explained. Private registers are reserved, but must be written for normal operation.

在电路上电后，需要将 SXD019 配置到正确的工作状态。配置顺序分为几个步骤，在表 11、表 12 和表 13 中列出，并对每个步骤的目的进行了说明。private 寄存器是保留（reserved）的，但必须写入才能正常工作。

The SXD019 is calibrated at the factory. The DAC start-up sequence loads these calibration coefficients and configures some DAC, clock reception and DLL parameters (see Table 11). These configurations must be run whenever the DAC is powered down or reset.

SXD019 在出厂时会进行校准。DAC 启动序列会加载这些校准系数，并配置一些 DAC、时钟接收、DLL 的参数（见表 11）。每当 DAC 断电或复位时，都要运行这些配置。

The JESD204B start-up sequence first configures the SERDES units and then establishes the link (see Table 12). The DAC start-up sequence must be run before the JESD204B start-up sequence.

JESD204B 启动序列首先配置 SERDES 单元，然后建立链接（见表 12）。需要先运行 DAC 启动序列，然后运行 JESD204B 启动序列。

If the NCO is used, configure it according to the NCO start-up sequence (see Table 13). The NCO can be used in NCO-only mode or together with complex data from the SERDES data interface. Only one mode can be used at a time; select the mode in step 2 of Table 13. The DAC start-up sequence also needs to be run first.

如果使用 NCO，则按照 NCO 启动序列进行配置（见表 13）。NCO 可以仅在 NCO 模式下使用，也可以与来自 SERDES 数据接口的复数数据一起使用。一次只能使用一种模式，在表 13 的第二步中选择该模式。同样需要先运行 DAC 启动序列。

表 11 上电后的 DAC 启动序列 / Table 11: DAC Start-Up Sequence After Power-Up

R/W	Register	Value	Description
W	0x000	0x18	将SPI配置为四线工作（可选：默认为三线工作）。/ Configure the SPI for 4-wire operation (optional: 3-wire operation by default).
W	0x0D2	0x52	重置内部校准寄存器（private）。/ Reset the internal calibration registers (private).
W	0x0D2	0xD2	释放内部校准寄存器的复位信号（private）。/ Release the reset of the internal calibration registers (private).
W	0x606	0x02	配置NVRAM（nonvolatile random access memory）（private）。/ Configure the NVRAM (nonvolatile random access memory) (private).
W	0x607	0x00	配置NVRAM（private）。/ Configure the NVRAM (private).
W	0x604	0x01	加载NVRAM。从NVRAM中加载校准系数（private）。/ Load the NVRAM. Load calibration coefficients from the NVRAM (private).
R	0x003, 0x004, 0x005, 0x006		（可选）从寄存器0x003、寄存器0x004、寄存器0x005和寄存器0x006中读取CHIP_TYPE、PROD_ID[15:0]、PROD_GRADE和DEV_REVISION。/ (Optional) Read CHIP_TYPE, PROD_ID[15:0], PROD_GRADE and DEV_REVISION from registers 0x003, 0x004, 0x005 and 0x006.
R	0x604, Bit 1	0b1	（可选）读取寄存器0x604，若Bit 1 = 0b1，表示加载成功。/ (Optional) Read register 0x604; if Bit 1 = 0b1, the load was successful.
W	0x058	0x03	启用带隙基准（private）。/ Enable the bandgap reference (private).
W	0x090	0x1E	开启DLL时钟。/ Enable the DLL clock.
W	0x080	0x00	启用时钟接收器。/ Enable the clock receiver.
W	0x040	0x00	启用DAC偏置电路。/ Enable the DAC bias circuit.
W	0x020	0x0F	（可选）启用中断。/ (Optional) Enable interrupts.
W	0x09E	0x85	配置DAC模拟参数（private）。/ Configure DAC analog parameters (private).
W	0x091	0xE9	启用DLL控制器。/ Enable the DLL controller.
R	0x092, Bit 0	0b1	检查DLL_STATUS；若寄存器0x092，位0=1，表示DLL锁定到DAC输入时钟。/ Check DLL_STATUS; if register 0x092, bit 0 = 1, the DLL is locked to the DAC input clock.

R/W	Register	Value	Description
W	0x0E8	0x20	启用校准系数（private）。/ Enable the calibration coefficients (private).
W	0x152, Bits[1:0]		配置DAC工作模式（0b00 = NRZ，0b01 = MIX，0b10 = RZ）。/ Configure the DAC operating mode (0b00 = NRZ, 0b01 = MIX, 0b10 = RZ).

表 12 配置 JESD204B 启动序列 / Table 12: JESD204B Start-Up Sequence

R/W	Register	Value	Description
W	0x300	0x00	在配置之前，确保SERDES链接未启用。/ Before configuration, ensure the SERDES link is not enabled.
W	0x4B8	0xFF	启用JESD204B中断。/ Enable JESD204B interrupts.
W	0x4B9	0x01	启用 JESD204B 中断。/ Enable JESD204B interrupts.
W	0x480	0x38	启用SERDES错误计数器。/ Enable the SERDES error counter.
W	0x481	0x38	启用SERDES错误计数器。/ Enable the SERDES error counter.
W	0x482	0x38	启用SERDES错误计数器。/ Enable the SERDES error counter.
W	0x483	0x38	启用SERDES错误计数器。/ Enable the SERDES error counter.
W	0x484	0x38	启用SERDES错误计数器。/ Enable the SERDES error counter.
W	0x485	0x38	启用SERDES错误计数器。/ Enable the SERDES error counter.
W	0x486	0x38	启用SERDES错误计数器。/ Enable the SERDES error counter.
W	0x487	0x38	启用SERDES错误计数器。/ Enable the SERDES error counter.
W	0x110		配置lane数量（Bits[7:4]）和插值倍数（Bits[3:0]）。/ Configure the number of lanes (Bits[7:4]) and the interpolation factor (Bits[3:0]).
W	0x111		根据应用需要配置位7 (INVSINC_EN)、位6 (NCO_EN)、位4 (FILT_BW)、位2 (MODULUS_EN)、位1 (SEL_SIDEBAND)和位0 (FIR85_FILT_EN)。/ Configure bit 7 (INVSINC_EN), bit 6 (NCO_EN), bit 4 (FILT_BW), bit 2 (MODULUS_EN), bit 1 (SEL_SIDEBAND) and bit 0 (FIR85_FILT_EN) per application requirements.
W	0x230		根据表5配置CDR单元。/ Configure the CDR unit per Table 5.
W	0x289, Bits[1:0]		根据表4所示条件设置SERDES PLL分频器。/ Set the SERDES PLL divider per the conditions shown in Table 4.
W	0x084, Bits[5:4]		根据表4所示条件设置SERDES PLL分频器。/ Set the SERDES PLL divider per the conditions shown in Table 4.
W	0x200	0x00	开启JESD204B接收模拟单元。/ Enable the JESD204B receive analog unit.
W	0x475	0x09	软复位JESD204B四字节解帧器。/ Soft-reset the JESD204B quad-byte deframer.
W	0x453, Bit 7	0b1	（可选）启用SERDES通道上的加扰。/ (Optional) Enable scrambling on the SERDES lanes.
W	0x458, Bits[7:5]		设置Subclass类型。0b000 = Subclass 0，0b001 = Subclass 1。/ Set the subclass type. 0b000 = Subclass 0, 0b001 = Subclass 1.
W	0x459, Bits[7:5]	0b1	设置JESD204x版本为JESD204B。/ Set the JESD204x version to JESD204B.
W	0x45D		写入从寄存器0x450到0x45C计算出的lane 0校验和（checksum）。/ Write the lane 0 checksum calculated from registers 0x450 to 0x45C.
W	0x475	0x01	释放JESD204B四字节解帧器的复位信号。/ Release the reset of the JESD204B quad-byte deframer.

R/W	Register	Value	Description
W	0x201, Bits[7:0]		将任何位设置为 1，以关闭相应的物理lane。/ Set any bit to 1 to power down the corresponding physical lane.
W	0x2A7	0x01	（可选）校准 SERDES PHY 端口模块 1（PHY 0、PHY 1、PHY 6、PHY 7）。/ (Optional) Calibrate SERDES PHY port module 1 (PHY 0, PHY 1, PHY 6, PHY 7).
W	0x2AE	0x01	（可选）校准 SERDES PHY 端口模块 2（PHY 2、PHY 3、PHY 4、PHY 5）。/ (Optional) Calibrate SERDES PHY port module 2 (PHY 2, PHY 3, PHY 4, PHY 5).
W	0x29E	0x1F	覆盖SERDES PLL设置中的默认值（private）。/ Override the defaults in the SERDES PLL settings (private).
W	0x206	0x00	复位 CDR。/ Reset the CDR.
W	0x206	0x01	启用 CDR。/ Enable the CDR.
W	0x280	0x01	启用SERDES PLL。/ Enable the SERDES PLL.
R	0x281, Bit 0	0b1	回读寄存器0x281，直到Bit 0 = 1，表示SERDES PLL被锁定。在启用链路之前，请确保JESD204B发射机已启用并准备好开始建立链路。/ Read back register 0x281 until Bit 0 = 1, indicating the SERDES PLL is locked. Before enabling the link, ensure the JESD204B transmitter is enabled and ready to start link establishment.
W	0x300	0x01	启用SERDES链路（开始建立链路）。/ Enable the SERDES link (start link establishment).
R	0x470	0xFF	读取所有lane的CGS状态。/ Read the CGS status of all lanes.
R	0x471	0xFF	读取所有lane的帧同步状态。/ Read the frame sync status of all lanes.
R	0x472	0xFF	读取所有lane的校验和状态。/ Read the checksum status of all lanes.
R	0x473	0xFF	读取所有lane的初始lane同步状态。/ Read the initial lane sync status of all lanes.
W	0x024	0x1F	清除中断。/ Clear interrupts.
W	0x4BA	0xFF	清除SERDES中断。/ Clear SERDES interrupts.
W	0x4BB	0x01	清除SERDES中断。/ Clear SERDES interrupts.

表 13 配置 NCO 启动序列 / Table 13: NCO Start-Up Sequence

R/W	Register	Value	Description
W	0x110	0x80	(可选)。如果只需要NCO模式，请执行此写操作。/ (Optional) Perform this write if NCO-only mode is required.
W	0x111, Bit 6	0b1	根据应用需求配置 NCO_EN (位 6) = 0b1。配置其他数据路径选项，包括位7 (INVSINC_EN)、位4 (FILT_BW)、位2 (MODULUS_EN)、位1 (SEL_SIDEBAND)和位0 (FIR85_FILT_EN)。/ Configure NCO_EN (bit 6) = 0b1 per application requirements. Configure other datapath options, including bit 7 (INVSINC_EN), bit 4 (FILT_BW), bit 2 (MODULUS_EN), bit 1 (SEL_SIDEBAND) and bit 0 (FIR85_FILT_EN).
W	0x150, Bit 1		配置DC_TEST_EN位。0b0 = 带数据接口的NCO共模模式；0b1 = 仅NCO工作模式。/ Configure the DC_TEST_EN bit. 0b0 = NCO common mode with data interface; 0b1 = NCO-only operating mode.
W	0x14E		在仅NCO模式下写入正弦波幅度值（位[15:8]）。/ In NCO-only mode, write the sine wave amplitude value (bits[15:8]).
W	0x14F		在仅NCO模式下写入正弦波幅度值（位[7:0]）。/ In NCO-only mode, write the sine wave amplitude value (bits[7:0]).
W	0x113	0x00	确保频率调谐字的写入请求为低。/ Ensure the frequency tuning word write request is low.
W	0x119		写入FTW，Bits[47:40]。/ Write FTW, Bits[47:40].

R/W	Register	Value	Description
W	0x118		写入FTW，Bits[39:32]。/ Write FTW, Bits[39:32].
W	0x117		写入FTW，Bits[31:24]。/ Write FTW, Bits[31:24].
W	0x116		写入 FTW，Bits[23:16]。/ Write FTW, Bits[23:16].
W	0x115		写入 FTW，Bits[15:8]。/ Write FTW, Bits[15:8].
W	0x114		写入 FTW，Bits[7:0]。/ Write FTW, Bits[7:0].
W	0x113	0x01	将FTW加载到NCO。/ Load the FTW into the NCO.

寄存器 / Registers

1、SPI 寄存器表 / SPI Register Map

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x000	SPI_INTFCONFA	7	SOFTRESET_M		软复位（镜像）。位 0 的镜像位。 Soft reset (mirror). Mirror of bit 0.	0x0	R
0x000	SPI_INTFCONFA	6	LSBFIRST_M		LSB 优先（镜像）。位 1 的镜像位。 LSB first (mirror). Mirror of bit 1.	0x0	R
0x000	SPI_INTFCONFA	5	ADDRINC_M		地址增量（镜像）。位 2 的镜像位。 Address increment (mirror). Mirror of bit 2.	0x0	R
0x000	SPI_INTFCONFA	4	SDOACTIVE_M		SDO 激活（镜像）。将此设置为镜像位 3。 SDO active (mirror). Set this as the mirror of bit 3.	0x0	R
0x000	SPI_INTFCONFA	3	SDOACTIVE	1 0	SDO 激活位。1：启用 SPI 四线模式。0：启用 SPI 三线模式。 SDO active bit. 1: enable SPI 4-wire mode. 0: enable SPI 3-wire mode.	0x0	R/W
0x000	SPI_INTFCONFA	2	ADDRINC	1 0	地址增加方式。1：地址递增。0：地址递减。 Address increment mode. 1: address increments. 0: address decrements.	0x0	R/W
0x000	SPI_INTFCONFA	1	LSBFIRST	1 0	LSB 优先控制位。1：将 LSB 先移位。0：将 MSB 先移位。 LSB-first control bit. 1: shift LSB first. 0: shift MSB first.	0x0	R/W
0x000	SPI_INTFCONFA	0	SOFTRESET	1 0	软复位。执行复位操作后，该位自动清零。设置此位会启动复位操作。软复位完成后，该位自动清除。 1：脉冲软复位。0：重置软复位。 Soft reset. This bit is automatically cleared after the reset operation. Setting this bit starts the reset operation; it is automatically cleared when the soft reset completes. 1: pulse soft reset. 0: reset soft reset.	0x0	R/W
0x001	SPI_INTFCONFB	7	SINGLEINS	1 0	单指令控制。1：执行单次传输。0：执行多次传输。 Single instruction control. 1: perform single transfer. 0: perform multiple transfers.	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x001	SPI_INTFCONFB	6	CSSTALL	0 1	CS 阻塞。0：禁用 CS 阻塞。1：启用 CS 阻塞。 CS stall. 0: disable CS stall. 1: enable CS stall.	0x0	R/W
0x001	SPI_INTFCONFB	[5:3]	RESERVED		保留。 Reserved.	0x0	R/W
0x001	SPI_INTFCONFB	2	SOFTRESET1	1 0	软复位 1。执行复位操作后，该位自动清除为 0。1：脉冲软复位 1。0：重置软复位 1。 Soft reset 1. This bit is automatically cleared to 0 after the reset operation. 1: pulse soft reset 1. 0: reset soft reset 1.	0x0	R/W
0x001	SPI_INTFCONFB	1	SOFTRESET0	1 0	软复位 0。执行复位操作后，该位自动清零。1：脉冲软复位 0。0：重置软复位 0。 Soft reset 0. This bit is automatically cleared after the reset operation. 1: pulse soft reset 0. 0: reset soft reset 0.	0x0	R/W
0x001	SPI_INTFCONFB	0	RESERVED		保留。 Reserved.	0x0	R
0x003	SPI_CHIPTYPE	[7:0]	CHIP_TYPE		芯片类型。 Chip type.	0x0	R
0x004	SPI_PRODIDL	[7:0]	PROD_ID[7:0]		产品 ID。 Product ID.	0x0	R
0x005	SPI_PRODIDH	[7:0]	PROD_ID[15:8]		产品 ID。 Product ID.	0x0	R
0x006	SPI_CHIPGRADE	[7:4]	PROD_GRADE		产品等级。 Product grade.	0x0	R
0x006	SPI_CHIPGRADE	[3:0]	DEV_REVISION		设备版本。 Device revision.	0x0	R
0x020	IRQ_ENABLE	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x020	IRQ_ENABLE	4	EN_SYSREF_JITTER	0 1	启用 SYSREF±抖动中断。0：禁用中断。1：开启中断。 Enable SYSREF± jitter interrupt. 0: disable interrupt. 1: enable interrupt.	0x0	R/W
0x020	IRQ_ENABLE	3	EN_DATA_READY	0 1	启用 JESD204x 接收机就绪（JRX_DATA_READY）低电平中断。0：禁用中断。1：开启中断。 Enable JESD204x receiver ready (JRX_DATA_READY) low-level interrupt. 0: disable interrupt. 1: enable interrupt.	0x0	R/W
0x020	IRQ_ENABLE	2	EN_LANE_FIFO	0 1	启用通道 FIFO 向上溢出/向下溢出中断。0：禁用中断。1：开启中断。 Enable lane FIFO over/underflow interrupt. 0: disable interrupt. 1: enable interrupt.	0x0	R/W
0x020	IRQ_ENABLE	1	EN_PRBSQ	0 1	启用 Q 路（虚部）PRBS 错误中断。0：禁用中断。1：开启中断。 Enable Q-path (imaginary) PRBS error interrupt. 0: disable interrupt. 1: enable interrupt.	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x020	IRQ_ENABLE	0	EN_PRBSI	0 1	启用 I 路（实部）PRBS 错误中断。0：禁用中断。1：开启中断。 Enable I-path (real) PRBS error interrupt. 0: disable interrupt. 1: enable interrupt.	0x0	R/W
0x024	IRQ_STATUS	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x024	IRQ_STATUS	4	IRQ_SYSREF_JITTER		SYSREF±抖动过大。写入 1 清除状态。 SYSREF± jitter excessive. Write 1 to clear the status.	0x0	R/W
0x024	IRQ_STATUS	3	IRQ_DATA_READY		JRX_DATA_READY 为低电平。写入 1 清除状态。 JRX_DATA_READY is low. Write 1 to clear the status.	0x0	R/W
0x024	IRQ_STATUS	2	IRQ_LANE_FIFO	0 1	通道 FIFO 向上溢出/向下溢出。写入 1 清除状态。0：无警告。1：检测到警告。 Lane FIFO over/underflow. Write 1 to clear the status. 0: no warning. 1: warning detected.	0x0	R/W
0x024	IRQ_STATUS	1	IRQ_PRBSQ	0 1	Q 路（虚部）PRBS 错误。写入 1 清除状态。0：无警告。1：检测到警告。 Q-path (imaginary) PRBS error. Write 1 to clear the status. 0: no warning. 1: warning detected.	0x0	R/W
0x024	IRQ_STATUS	0	IRQ_PRBSI	0 1	I 路（实部）PRBS 错误。写入 1 清除状态。0：无警告。1：检测到警告。 I-path (real) PRBS error. Write 1 to clear the status. 0: no warning. 1: warning detected.	0x0	R/W
0x031	SYNC_LMFC_DELAY_FRAME	[4:0]	SYNC_LMFC_DELAY_SET_FRM		从 SYSREF± 输入的上升沿到 LMFC 的上升沿的期望延迟，以帧为单位。 Desired delay from the rising edge of the SYSREF± input to the rising edge of LMFC, in frames.	0x0	R/W
0x032	SYNC_LMFC_DELAY0	[7:0]	SYNC_LMFC_DELAY_SET[7:0]		从 SYSREF± 输入的上升沿到 LMFC 的上升沿的期望延迟，以 DAC 时钟单元为单位。 Desired delay from the rising edge of the SYSREF± input to the rising edge of LMFC, in DAC clock units.	0x0	R/W
0x033	SYNC_LMFC_DELAY1	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x033	SYNC_LMFC_DELAY1	[3:0]	SYNC_LMFC_DELAY_SET[11:8]		从 SYSREF± 输入的上升沿到 LMFC 的上升沿的期望延迟，以 DAC 时钟单元为单位。 Desired delay from the rising edge of the SYSREF± input to the rising edge of LMFC, in DAC clock units.	0x0	R/W
0x034	SYNC_LMFC_STAT0	[7:0]	SYNC_LMFC_DELAY_STAT[7:0]		从 SYSREF±输入的上升沿到 LMFC 上升沿的测量延迟，以 DAC 时钟单元为单位（注意：2 个 LSB 总是零）。 Measured delay from the rising edge of the SYSREF± input to the rising edge of LMFC, in DAC clock units (note: the 2 LSBs are always zero).	0x0	R/W
0x035			RESERVED			0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
	SYNC_LMFC_STAT1	[7:4]			保留。 Reserved.		
0x035	SYNC_LMFC_STAT1	[3:0]	SYNC_LMFC_DELAY_STAT[11:8]		从 SYSREF±输入的上升沿到 LMFC 上升沿的测量延迟，以 DAC 时钟单元为单位。 Measured delay from the rising edge of the SYSREF± input to the rising edge of LMFC, in DAC clock units.	0x0	R/W
0x036	SYSREF_COUNT	[7:0]	SYSREF_COUNT		SYSREF±信号的接收数。写入会重置计数。写入 SYNC_LMFC_STATx 或 SYSREF_PHASEx 将数据保存为读回数据。 Number of SYSREF± signals received. A write resets the count. Writing SYNC_LMFC_STATx or SYSREF_PHASEx saves the data as readback data.	0x0	R/W
0x037	SYSREF_PHASE0	[7:0]	SYSREF_PHASE[7:0]		SYSREF±相位的测量值。温度计编码。写入 SYNC_LMFC_STATx 或 SYSREF_PHASEx 将数据保存为读回数据。 Measured SYSREF± phase. Thermometer coded. Writing SYNC_LMFC_STATx or SYSREF_PHASEx saves the data as readback data.	0x0	R/W
0x038	SYSREF_PHASE1	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x038	SYSREF_PHASE1	[3:0]	SYSREF_PHASE[11:8]		SYSREF±相位的测量值。温度计编码。向 SYNC_LMFC_STATx 或 SYSREF_PHASEx 写入后，将数据保存为读回数据。 Measured SYSREF± phase. Thermometer coded. After writing to SYNC_LMFC_STATx or SYSREF_PHASEx, the data is saved as readback data.	0x0	R/W
0x039	SYSREF_JITTER_WINDOW	[7:6]	RESERVED		保留。 Reserved.	0x0	R
0x039	SYSREF_JITTER_WINDOW	[5:0]	SYSREF_JITTER_WINDOW		SYSREF±输入端允许的抖动。SYSREF± 抖动变化大于该值会触发中断。单位为 DAC 时钟。低两位被忽略。 Allowed jitter at the SYSREF± input. A SYSREF± jitter change greater than this value triggers an interrupt. Units are DAC clocks. The lower two bits are ignored.	0x0	R/W
0x03A	SYNC_CTRL	[7:2]	RESERVED		保留。 Reserved.	0x0	R
0x03A	SYNC_CTRL	[1:0]	SYNC_MODE	00 01 10	同步模式。00：不执行同步；仅监视 SYSREF±到 LMFC 的延迟。01：在每一个 SYSREF±执行 LMFC 的连续同步。10：在下一个 SYSREF±执行一次同步，然后切换到监控模式。 Sync mode. 00: no sync; only monitor the SYSREF±-to-LMFC delay. 01: continuous LMFC sync on every SYSREF±. 10: perform one sync on the next SYSREF±, then switch to monitor mode.	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x03F	TX_ENABLE	7	SPI_DATAPATH_POST	0 1	SPI 控制数据通路的输出数据。0：禁用或清零从数据通道进入 DAC 的数据。1：使用数据通道的数据到 DAC。 SPI controls the datapath output data. 0: disable or clear data entering the DAC from the data channel. 1: use data-channel data to the DAC.	0x1	R/W
0x03F	TX_ENABLE	6	SPI_DATAPATH_PRE	0 1	SPI 控制数据通路的输入数据。0：禁用或清零数据送入数据通道的数据。1：使用 JESD204B 的数据到数据通道。 SPI controls the datapath input data. 0: disable or clear data fed into the data channel. 1: use JESD204B data to the data channel.	0x1	R/W
0x03F	TX_ENABLE	[5:4]	RESERVED		保留。 Reserved.	0x0	R
0x03F	TX_ENABLE	3	TXEN_NCO_RESET	0 1	允许 TX_ENABLE 控制 DDS NCO 复位。0：使用 SPI（HOPF_MODE 位）来控制 DDS NCO 复位。1：使用 TX_ENABLE 引脚控制 DDS NCO 复位。 Allow TX_ENABLE to control DDS NCO reset. 0: use SPI (HOPF_MODE bit) to control DDS NCO reset. 1: use the TX_ENABLE pin to control DDS NCO reset.	0x0	R/W
0x03F	TX_ENABLE	2	TXEN_DATAPATH_POST	0 1	允许 TX_ENABLE 控制数据通路的输出数据。0：使用 SPI（SPI_DATAPATH_POST 位）进行控制。1：使用 TX_ENABLE 引脚进行控制。 Allow TX_ENABLE to control the datapath output data. 0: control with SPI (SPI_DATAPATH_POST bit). 1: control with the TX_ENABLE pin.	0x0	R/W
0x03F	TX_ENABLE	1	TXEN_DATAPATH_PRE	0 1	允许 TX_ENABLE 控制数据通路的输入数据。0：使用 SPI(SPI_DATAPATH_PRE 位)进行控制。1：使用 TX_ENABLE 引脚进行控制。 Allow TX_ENABLE to control the datapath input data. 0: control with SPI (SPI_DATAPATH_PRE bit). 1: control with the TX_ENABLE pin.	0x0	R/W
0x03F	TX_ENABLE	0	TXEN_DAC_FSC	0 1	允许 TX_ENABLE 控制 DAC 满幅电流。0：使用 SPI 寄存器 ANA_FSC0 和 ANA_FSC1 进行控制。1：使用 TX_ENABLE 引脚进行控制。 Allow TX_ENABLE to control the DAC full-scale current. 0: control with SPI registers ANA_FSC0 and ANA_FSC1. 1: control with the TX_ENABLE pin.	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x040	ANA_DAC_BIAS_PD	[7:2]	RESERVED		保留。 Reserved.	0x0	R
0x040	ANA_DAC_BIAS_PD	1	ANA_DAC_BIAS_PD1	0 1	DAC 核偏置使能控制。0：DAC 核偏置电路工作。1：DAC 核偏置电路不工作。 DAC core bias enable control. 0: DAC core bias circuit operating. 1: DAC core bias circuit not operating.	0x1	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x040	ANA_DAC_BIAS_PD	0	ANA_DAC_BIAS_PD	0 1	DAC 核偏置使能控制。0：DAC 核偏置电路工作。1：DAC 核偏置电路不工作。 DAC core bias enable control. 0: DAC core bias circuit operating. 1: DAC core bias circuit not operating.	0x1	R/W
0x041	ANA_FSC0	[7:2]	RESERVED		保留。 Reserved.	0x0	R
0x041	ANA_FSC0	[1:0]	ANA_FULL_SCALE_CURRENT [1:0]		DAC 满幅电流调整。 DAC full-scale current adjustment.	0x3	R/W
0x042	ANA_FSC1	[7:0]	ANA_FULL_SCALE_CURRENT [9:2]		DAC 满幅电流调整。 DAC full-scale current adjustment.	0xFF	R/W
0x07F	CLK_PHASE_TUNE	[7:6]	RESERVED		保留。 Reserved.	0x0	R
0x07F	CLK_PHASE_TUNE	[5:0]	CLK_PHASE_TUNE		微调时钟输入相位平衡。在 CLK+/CLK−输入端增加小电容，每步约 20 fF。Bit5 是符号位，0：增加 CLK+输入端电容，1：增加 CLK−输入端电容；Bit[4:0]表示增加电容的大小，每步约 20 fF。 Fine-tune clock input phase balance. Adds small capacitance at the CLK+/CLK− inputs, about 20 fF per step. Bit 5 is the sign bit: 0 adds capacitance to the CLK+ input, 1 adds capacitance to the CLK− input; Bits[4:0] indicate the amount of added capacitance, about 20 fF per step.	0x0	R/W
0x080	CLK_PD	[7:1]	RESERVED		保留。 Reserved.	0x0	R
0x080	CLK_PD	0	DACCLK_PD	0 1	DAC 时钟使能。0：使能。1：不使能。 DAC clock enable. 0: enable. 1: disable.	0x1	R/W
0x082	CLK_DUTY	7	CLK_DUTY_EN		占空比控制使能。 Duty cycle control enable.	0x1	R/W
0x082	CLK_DUTY	6	CLK_DUTY_OFFSET_EN		占空比偏移使能。 Duty cycle offset enable.	0x0	R/W
0x082	CLK_DUTY	5	CLK_DUTY_BOOST_EN		启用占空比范围提升功能。增大范围至±5%，但代价是相位噪声降低 1dB 至 2dB。 Enable duty cycle range boost. Increases the range to ±5% at the cost of 1 dB to 2 dB lower phase noise performance.	0x0	R/W
0x082	CLK_DUTY	[4:0]	CLK_DUTY_PRG		设置占空比偏移。5 位有符号数，MSB 为符号位，4 个 LSB 为偏移幅度，范围约为±3%。 Set duty cycle offset. 5-bit signed number with the MSB as the sign bit and 4 LSBs as the offset magnitude; range is approximately ±3%.	0x0	R/W
0x083	CLK_CRS_CTRL	7	CLK_CRS_EN		时钟交叉控制使能。 Clock crossing control enable.	0x1	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x083	CLK_CRS_CTRL	[6:4]	RESERVED		保留。 Reserved.	0x0	R
0x083	CLK_CRS_CTRL	[3:0]	CLK_CRS_ADJ		设置时钟交叉点。 Set the clock crossing point.	0x0	R/W
0x084	PLL_REF_CLK_PD	[7:6]	RESERVED		保留。 Reserved.	0x0	R
0x084	PLL_REF_CLK_PD	[5:4]	PLL_REF_CLK_RATE	00 01 10 11	PLL 参考时钟速率倍频器。00：正常速率（1×）PLL 参考时钟。01：双倍率（2×）PLL 参考时钟。10：四倍率（4×）PLL 参考时钟。11：禁用 PLL 参考时钟。 PLL reference clock rate multiplier. 00: normal rate (1×) PLL reference clock. 01: double rate (2×) PLL reference clock. 10: quad rate (4×) PLL reference clock. 11: disable PLL reference clock.	0x0	R/W
0x084	PLL_REF_CLK_PD	[3:1]	RESERVED		保留。 Reserved.	0x0	R
0x084	PLL_REF_CLK_PD	0	PLL_REF_CLK_PD	0 1	PLL 参考时钟断电。0：启用 PLL 参考时钟。1：关闭 PLL 参考时钟的电源。 PLL reference clock power-down. 0: enable the PLL reference clock. 1: power down the PLL reference clock.	0x0	R/W
0x088	SYSREF_CTRL0	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x088	SYSREF_CTRL0	3	HYS_ON		SYSREF±迟滞使能。该位启用 SYSREF±接收器的可编程滞后控制。 SYSREF± hysteresis enable. This bit enables programmable hysteresis control of the SYSREF± receiver.	0x0	R/W
0x088	SYSREF_CTRL0	2	SYSREF_RISE		使用 SYSREF±上升沿。 Use the SYSREF± rising edge.	0x0	R/W
0x088	SYSREF_CTRL0	[1:0]	HYS_CNTRL[9:8]		控制 SYSREF±接收器的迟滞量。每 1 位都会给接收器输入增加 10 mV 的差分迟滞量。 Control the hysteresis of the SYSREF± receiver. Each bit adds 10 mV of differential hysteresis to the receiver input.	0x0	R/W
0x089	SYSREF_CTRL1	[7:0]	HYS_CNTRL[7:0]		控制 SYSREF±接收器的迟滞量。每 1 位都会给接收器输入增加 10 mV 的差分迟滞量。 Control the hysteresis of the SYSREF± receiver. Each bit adds 10 mV of differential hysteresis to the receiver input.	0x0	R/W
0x090	DLL_PD	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x090	DLL_PD	4	DLL_FINE_DC_EN		细延时线占空比校正使能。 Fine delay line duty cycle correction enable.	0x1	R/W
0x090	DLL_PD	3	DLL_FINE_XC_EN		细延时线交叉控制使能。 Fine delay line crossing control enable.	0x1	R/W
0x090	DLL_PD	2				0x1	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
			DLL_COARSE_DC_EN		粗延时线占空比校正使能。 Coarse delay line duty cycle correction enable.		
0x090	DLL_PD	1	DLL_COARSE_XC_EN		粗延时线交叉控制使能。 Coarse delay line crossing control enable.	0x1	R/W
0x090	DLL_PD	0	DLL_CLK_PD	0 1	DLL 和数字时钟发生器的电源控制。0：开启 DLL 控制器的电源。1：关闭 DLL 控制器的电源。 Power control of the DLL and digital clock generator. 0: power up the DLL controller. 1: power down the DLL controller.	0x1	R/W
0x091	DLL_CTRL	7	DLL_TRACK_ERR	0 1	发生错误后跟踪模式。0：在错误时继续。1：在错误时重新启动。 Track mode after error. 0: continue on error. 1: restart on error.	0x1	R/W
0x091	DLL_CTRL	6	DLL_SEARCH_ERR	0 1	发生错误后搜索模式。0：在错误时停止。1：在错误时重试。 Search mode after error. 0: stop on error. 1: retry on error.	0x1	R/W
0x091	DLL_CTRL	5	DLL_SLOPE	0 1	希望的斜率。0：负斜率。1：正斜率。 Desired slope. 0: negative slope. 1: positive slope.	0x1	R/W
0x091	DLL_CTRL	[4:3]	DLL_SEARCH	00 01 10	搜索方向。00：仅从初始点向下搜索。01：仅从初始点向上搜索。10：从初始点向上和向下搜索。 Search direction. 00: search down from the initial point only. 01: search up from the initial point only. 10: search both up and down from the initial point.	0x2	R/W
0x091	DLL_CTRL	[2:1]	DLL_MODE	0 1 10	控制器模式。0：搜索，然后跟踪。1：仅跟踪。10：仅搜索。 Controller mode. 0: search, then track. 1: track only. 10: search only.	0x0	R/W
0x091	DLL_CTRL	0	DLL_ENABLE	0 1	控制器启用。0：禁用 DLL 控制器：使用静态 SPI 设置。1：启用 DLL 控制器：使用带反馈回路的控制器。 Controller enable. 0: disable the DLL controller: use static SPI settings. 1: enable the DLL controller: use the controller with feedback loop.	0x0	R/W
0x092	DLL_STATUS	[7:3]	RESERVED		保留。 Reserved.	0x0	R
0x092	DLL_STATUS	2	DLL_FAIL		DAC 时钟 DLL 锁定失败。 DAC clock DLL lock failed.	0x0	R
0x092	DLL_STATUS	1	DLL_LOST		DAC 时钟 DLL 失锁。 DAC clock DLL unlocked.	0x0	R/W
0x092	DLL_STATUS	0	DLL_LOCKED		DAC 时钟 DLL 已锁定。 DAC clock DLL locked.	0x0	R
0x093	DLL_GB	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x093	DLL_GB					0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
		[3:0]	DLL_GUARD		搜索保护带。 Search guard band.		
0x094	DLL_COARSE	[7:6]	RESERVED		预留。 Reserved.	0x0	R
0x094	DLL_COARSE	[5:0]	DLL_COARSE		粗延时线设置点。 Coarse delay line setpoint.	0x0	R/W
0x095	DLL_FINE	[7:0]	DLL_FINE		细延时线设置点。 Fine delay line setpoint.	0x80	R/W
0x096	DLL_PHASE	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x096	DLL_PHASE	[4:0]	DLL_PHS	0 16	希望的相位。0：最小允许相位。16：最大允许相位。 Desired phase. 0: minimum allowed phase. 16: maximum allowed phase.	0x8	R/W
0x097	DLL_BW	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x097	DLL_BW	[4:2]	DLL_FILT_BW		相位测量滤波器带宽。 Phase measurement filter bandwidth.	0x0	R/W
0x097	DLL_BW	[1:0]	DLL_WEIGHT		追踪速度。 Tracking speed.	0x0	R/W
0x098	DLL_READ	[7:1]	RESERVED		保留。 Reserved.	0x0	R
0x098	DLL_READ	0	DLL_READ		读取请求：上升沿更新粗、细、相位回读值。 Read request: rising edge updates the coarse, fine and phase readback values.	0x0	R/W
0x099	DLL_COARSE_RB	[7:6]	RESERVED		保留。 Reserved.	0x0	R
0x099	DLL_COARSE_RB	[5:0]	DLL_COARSE_RB		粗延时线回读。 Coarse delay line readback.	0x0	R
0x09A	DLL_FINE_RB	[7:0]	DLL_FINE_RB		细延时线回读。 Fine delay line readback.	0x0	R
0x09B	DLL_PHASE_RB	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x09B	DLL_PHASE_RB	[4:0]	DLL_PHS_RB		相位回读。 Phase readback.	0x0	R
0x09D	DIG_CLK_INVERT	[7:3]	RESERVED		保留。 Reserved.	0x0	R
0x09D	DIG_CLK_INVERT	2	INV_DIG_CLK	0 1	从 DLL 中反转数字时钟。0：同相。1：反相。 Invert the digital clock from the DLL. 0: in phase. 1: inverted.	0x0	R/W
0x09D	DIG_CLK_INVERT	1	DIG_CLK_DC_EN		数字时钟占空比校正使能。 Digital clock duty cycle correction enable.	0x1	R/W
0x09D	DIG_CLK_INVERT	0	DIG_CLK_XC_EN		数字时钟交叉控制使能。 Digital clock crossing control enable.	0x1	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x0A0	DLL_CLK_DEBUG	7	DLL_TEST_EN		DLL 时钟输出测试使能。 DLL clock output test enable.	0x0	R/W
0x0A0	DLL_CLK_DEBUG	[6:2]	RESERVED		保留。 Reserved.	0x0	R
0x0A0	DLL_CLK_DEBUG	[1:0]	DLL_TEST_DIV		DLL 时钟输出分频。 DLL clock output division.	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x110	INTERP_MODE	[7:4]	JESD_LANES		JESD204B 通道数。为了使 JESD204B 数据链路正常工作，必须在 QBD 处于软复位状态（寄存器 0x475，位 3）时对该信号进行设置，在正常工作期间不得改变。 Number of JESD204B lanes. For the JESD204B data link to work properly, this signal must be set while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x8	R/W
0x110	INTERP_MODE	[3:0]	INTERP_MODE	0000 0001 0010 0011 0100 0101 0110 0111 1000	插值模式。为了使 JESD204B 数据链路正常工作，只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时对该信号进行设置，并且在正常工作时不能改变。0000：1×（旁路）。0001：2×。0010：3×。0011：4×。0100：6×。0101：8×。0110：12×。0111：16×。1000：24×。 Interpolation mode. For the JESD204B data link to work properly, this signal can only be set while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation. 0000: 1× (bypass). 0001: 2×. 0010: 3×. 0011: 4×. 0100: 6×. 0101: 8×. 0110: 12×. 0111: 16×. 1000: 24×.	0x1	R/W
0x111	DATAPATH_CFG	7	INVSINC_EN	0 1	反 SINC 滤波器使能。0：禁用反 SINC 滤波器。1：启用反 SINC 滤波器。 Inverse SINC filter enable. 0: disable the inverse SINC filter. 1: enable the inverse SINC filter.	0x0	R/W
0x111	DATAPATH_CFG	6	NCO_EN	0 1	NCO 使能。0：禁用 NCO。1：启用 NCO。 NCO enable. 0: disable the NCO. 1: enable the NCO.	0x0	R/W
0x111	DATAPATH_CFG	5	RESERVED		保留。 Reserved.	0x0	R
0x111	DATAPATH_CFG	4	FILT_BW	0 1	滤波器带宽选择。0：滤波器带宽为 80%。1：滤波器带宽为 90%。 Filter bandwidth selection. 0: filter bandwidth is 80%. 1: filter bandwidth is 90%.	0x0	R/W
0x111	DATAPATH_CFG	3	RESERVED		保留。 Reserved.	0x0	R
0x111	DATAPATH_CFG	2	MODULUS_EN	0 1	模数（modulus）DDS 启用。0：禁用模数 DDS。1：启用模数 DDS。 Modulus DDS enable. 0: disable modulus DDS. 1: enable modulus DDS.	0x0	R/W
0x111		1			选择调制结果的上边带或下边带。0：使用上边带。1：使用下边带。	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
	DATAPATH_CFG		SEL_SIDEBAND	0 1	Select the upper or lower sideband of the modulation result. 0: use the upper sideband. 1: use the lower sideband.		
0x111	DATAPATH_CFG	0	FIR85_FILT_EN		FIR85 滤波器启用。 FIR85 filter enable.	0x0	R/W
0x113	FTW_UPDATE	7	RESERVED		保留。 Reserved.	0x0	R
0x113	FTW_UPDATE	[6:4]	FTW_REQ_MODE	000 001 010 011 100 101 110	频率调谐字自动更新模式。000：写入 FTW 寄存器时，不产生自动请求。001：写入 FTW0 后自动生成 FTW_LOAD_REQ。010：写入 FTW1 后自动生成 FTW_LOAD_REQ。011：写入 FTW2 后自动生成 FTW_LOAD_REQ。100：写入 FTW3 后自动生成 FTW_LOAD_REQ。101：写入 FTW4 后自动生成 FTW_LOAD_REQ。110：写入 FTW5 后自动生成 FTW_LOAD_REQ。 Frequency tuning word auto-update mode. 000: no auto request when writing FTW registers. 001: auto-generate FTW_LOAD_REQ after writing FTW0. 010: after writing FTW1. 011: after writing FTW2. 100: after writing FTW3. 101: after writing FTW4. 110: after writing FTW5.	0x0	R/W
0x113	FTW_UPDATE	3	RESERVED		保留。 Reserved.	0x0	R
0x113	FTW_UPDATE	2	FTW_LOAD_SYSREF		FTW 加载并从 SYSREF± 上升沿复位。 FTW load and reset from the SYSREF± rising edge.	0x0	R/W
0x113	FTW_UPDATE	1	FTW_LOAD_ACK	0 1	频率调谐字更新确认。0：FTW 未被加载。1：FTW 被加载。 Frequency tuning word update acknowledge. 0: FTW not loaded. 1: FTW loaded.	0x0	R
0x113	FTW_UPDATE	0	FTW_LOAD_REQ	0 1	来自 SPI 的频率调谐字更新请求。0：清除 FTW_LOAD_ACK。1：上升沿加载 FTW。 Frequency tuning word update request from SPI. 0: clear FTW_LOAD_ACK. 1: rising edge loads FTW.	0x0	R/W
0x114	FTW0	[7:0]	FTW[7:0]		NCO 频率调谐字。表示方程 fOUT = fDAC × ((X + A/B)/248)的 X。 NCO frequency tuning word. Represents X in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x115	FTW1	[7:0]	FTW[15:8]		NCO 频率调谐字。表示方程 fOUT = fDAC × ((X + A/B)/248)的 X。 NCO frequency tuning word. Represents X in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x116	FTW2	[7:0]	FTW[23:16]		NCO 频率调谐字。表示方程 fOUT = fDAC × ((X + A/B)/248)的 X。 NCO frequency tuning word. Represents X in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x117	FTW3	[7:0]	FTW[31:24]		NCO 频率调谐字。表示方程 fOUT = fDAC × ((X + A/B)/248)的 X。	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					NCO frequency tuning word. Represents X in the equation fOUT = fDAC × ((X + A/B)/248).		
0x118	FTW4	[7:0]	FTW[39:32]		NCO 频率调谐字。表示方程 fOUT = fDAC × ((X + A/B)/248)的 X。 NCO frequency tuning word. Represents X in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x119	FTW5	[7:0]	FTW[47:40]		NCO 频率调谐字。表示方程 fOUT = fDAC × ((X + A/B)/248)的 X。 NCO frequency tuning word. Represents X in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x11C	PHASE_OFFSET0	[7:0]	NCO_PHASE_OFFSET[7:0]		NCO 相位偏移量。 NCO phase offset.	0x0	R/W
0x11D	PHASE_OFFSET1	[7:0]	NCO_PHASE_OFFSET[15:8]		NCO 相位偏移量。 NCO phase offset.	0x0	R/W
0x124	ACC_MODULUS0	[7:0]	ACC_MODULUS[7:0]		DDS 模数。表示方程 fOUT = fDAC × ((X + A/B)/248)的 B。 DDS modulus. Represents B in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x125	ACC_MODULUS1	[7:0]	ACC_MODULUS[15:8]		DDS 模数。表示方程 fOUT = fDAC × ((X + A/B)/248)的 B。 DDS modulus. Represents B in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x126	ACC_MODULUS2	[7:0]	ACC_MODULUS[23:16]		DDS 模数。表示方程 fOUT = fDAC × ((X + A/B)/248)的 B。 DDS modulus. Represents B in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x127	ACC_MODULUS3	[7:0]	ACC_MODULUS[31:24]		DDS 模数。表示方程 fOUT = fDAC × ((X + A/B)/248)的 B。 DDS modulus. Represents B in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x128	ACC_MODULUS4	[7:0]	ACC_MODULUS[39:32]		DDS 模数。表示方程 fOUT = fDAC × ((X + A/B)/248)的 B。 DDS modulus. Represents B in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x129	ACC_MODULUS5	[7:0]	ACC_MODULUS[47:40]		DDS 模数。表示方程 fOUT = fDAC × ((X + A/B)/248)的 B。 DDS modulus. Represents B in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x12A	ACC_DELTA0	[7:0]	ACC_DELTA[7:0]		DDS 的 Delta。表示方程 fOUT = fDAC × ((X + A/B)/248)的 A。 DDS delta. Represents A in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x12B	ACC_DELTA1	[7:0]	ACC_DELTA[15:8]		DDS 的 Delta。表示方程 fOUT = fDAC × ((X + A/B)/248)的 A。 DDS delta. Represents A in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x12C	ACC_DELTA2	[7:0]	ACC_DELTA[23:16]		DDS 的 Delta。表示方程 fOUT = fDAC × ((X + A/B)/248)的 A。	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					DDS delta. Represents A in the equation fOUT = fDAC × ((X + A/B)/248).		
0x12D	ACC_DELTA3	[7:0]	ACC_DELTA[31:24]		DDS 的 Delta。表示方程 fOUT = fDAC × ((X + A/B)/248)的 A。 DDS delta. Represents A in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x12E	ACC_DELTA4	[7:0]	ACC_DELTA[39:32]		DDS 的 Delta。表示方程 fOUT = fDAC × ((X + A/B)/248)的 A。 DDS delta. Represents A in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x12F	ACC_DELTA5	[7:0]	ACC_DELTA[47:40]		DDS 的 Delta。表示方程 fOUT = fDAC × ((X + A/B)/248)的 A。 DDS delta. Represents A in the equation fOUT = fDAC × ((X + A/B)/248).	0x0	R/W
0x132	TEMP_SENS_LSB	[7:0]	TEMP_SENS_OUT[7:0]		温度传感器 ADC 的输出。 Temperature sensor ADC output.	0x0	R
0x133	TEMP_SENS_MSB	[7:0]	TEMP_SENS_OUT[15:8]		温度传感器 ADC 的输出。 Temperature sensor ADC output.	0x0	R
0x134	TEMP_SENS_UPDATE	[7:1]	RESERVED		保留。 Reserved.	0x0	R
0x134	TEMP_SENS_UPDATE	0	TEMP_SENS_UPDATE		设置为 1，更新温度传感器读数。 Set to 1 to update the temperature sensor reading.	0x0	R/W
0x135	TEMP_SENS_CTRL	7	TEMP_SENS_FAST		1：温度传感器的数字滤波器带宽更宽，以减少建立时间。 1: wider digital filter bandwidth of the temperature sensor to reduce settling time.	0x0	R/W
0x135	TEMP_SENS_CTRL	[6:1]	RESERVED		保留。 Reserved.	0x10	R/W
0x135	TEMP_SENS_CTRL	0	TEMP_SENS_ENABLE		1：使能温度传感器。 1: enable the temperature sensor.	0x0	R/W
0x14B	PRBS	7	PRBS_GOOD_Q	0 1	Q 路（虚部）道数据指示器良好。0：检测到的序列不正确。1：检测到正确的 PRBS 序列。 Q-path (imaginary) data indicator good. 0: detected sequence incorrect. 1: correct PRBS sequence detected.	0x0	R
0x14B	PRBS	6	PRBS_GOOD_I	0 1	I 路（实部）数据指示器良好。0：检测到的序列不正确。 1：检测到正确的 PRBS 序列。 I-path (real) data indicator good. 0: detected sequence incorrect. 1: correct PRBS sequence detected.	0x0	R
0x14B	PRBS	5	RESERVED		保留。 Reserved.	0x0	R
0x14B	PRBS	4	PRBS_INV_Q	0 1		0x1	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					Q 路（虚部）数据反转。0：正常数据。1：反相数据。 Q-path (imaginary) data inversion. 0: normal data. 1: inverted data.		
0x14B	PRBS	3	PRBS_INV_I	0 1	I 路（实部）数据反转。0：正常数据。1：反相数据。 I-path (real) data inversion. 0: normal data. 1: inverted data.	0x0	R/W
0x14B	PRBS	2	PRBS_MODE	0 1	多项式选择。0：7 位：x7+x6+1。1：15 位：x15 + x14 + 1。 Polynomial selection. 0: 7-bit: x7+x6+1. 1: 15-bit: x15+x14+1.	0x0	R/W
0x14B	PRBS	1	PRBS_RESET	0 1	复位错误计数器。0：正常工作。1：重置计数器。 Reset the error counter. 0: normal operation. 1: reset the counter.	0x0	R/W
0x14B	PRBS	0	PRBS_EN	0 1	启用 PRBS 检查器。0：禁用。1：启用。 Enable the PRBS checker. 0: disable. 1: enable.	0x0	R/W
0x14C	PRBS_ERROR_I	[7:0]	PRBS_COUNT_I		I 路（实部）错误计数值。 I-path (real) error count value.	0x0	R
0x14D	PRBS_ERROR_Q	[7:0]	PRBS_COUNT_Q		Q 路（虚部）错误计数值。 Q-path (imaginary) error count value.	0x0	R
0x14E	TEST_DC_DATA1	[7:0]	DC_TEST_DATA[15:8]		DC 测试数据。 DC test data.	0x0	R/W
0x14F	TEST_DC_DATA0	[7:0]	DC_TEST_DATA[7:0]		DC 测试数据。 DC test data.	0x0	R/W
0x150	DIG_TEST	[7:2]	RESERVED		保留。 Reserved.	0x0	R
0x150	DIG_TEST	1	DC_TEST_EN	1 0	DC 测试模式控制。1：DC 测试模式启用。0：DC 测试模式禁用。 DC test mode control. 1: DC test mode enabled. 0: DC test mode disabled.	0x0	R/W
0x150	DIG_TEST	0	RESERVED		保留。 Reserved.	0x0	R/W
0x151	DECODE_CTRL	[7:3]	RESERVED		保留。 Reserved.	0x0	R/W
0x151	DECODE_CTRL	2	SHUFFLE_MSB	0 1	SHUFFLE 模式控制。0：禁用 MSB 的 SHUFFLE 模式（使用温度计编码）。1：启用 MSB 的 SHUFFLE 模式。 SHUFFLE mode control. 0: disable MSB SHUFFLE mode (use thermometer coding). 1: enable MSB SHUFFLE mode.	0x0	R/W
0x151	DECODE_CTRL	1	RESERVED		保留。 Reserved.	0x0	R/W
0x151	DECODE_CTRL	0	RESERVED		保留。 Reserved.	0x0	R/W
0x152						0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
	DECODE_MODE	[7:2]	RESERVED		保留。 Reserved.		
0x152	DECODE_MODE	[1:0]	DECODE_MODE	00 01 10 11	DAC 工作模式。00：非归零模式（第一 Nyquist 区）。01：混频模式（第二个 Nyquist）。10：归零模式。11：保留。 DAC operating mode. 00: non-return-to-zero mode (first Nyquist zone). 01: mix mode (second Nyquist zone). 10: return-to-zero mode. 11: reserved.	0x0	R/W
0x1DF	SPI_STRENGTH	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x1DF	SPI_STRENGTH	[3:0]	SPIDRV		CMOS SPI 输出的 Slew 和驱动强度。Slew = Bits[1:0]，drive = Bits[3:2]。 CMOS SPI output slew and drive strength. Slew = Bits[1:0], drive = Bits[3:2].	0xF	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x200	MASTER_PD	[7:1]	RESERVED		保留。 Reserved.	0x0	R
0x200	MASTER_PD	0	SPI_PD_MASTER		关闭整个 JESD204B Rx 模拟单元（八个 lane 和偏置）。 Power down the entire JESD204B Rx analog unit (eight lanes and bias).	0x1	R/W
0x201	PHY_PD	[7:0]	SPI_PD_PHY		SPI 单独关闭每个 PHY 的电源。Bit 0 控制 SERDIN0±PHY。Bit 1 控制 SERDIN1±PHY。Bit 2 控制 SERDIN2±PHY。Bit 3 控制 SERDIN3±PHY。Bit 4 控制 SERDIN4±PHY。Bit 5 控制 SERDIN5±PHY。Bit 6 控制 SERDIN6±PHY。Bit 7 控制 SERDIN7±PHY。 SPI powers down each PHY individually. Bit 0 controls the SERDIN0± PHY; Bit 1 the SERDIN1± PHY; Bit 2 the SERDIN2± PHY; Bit 3 the SERDIN3± PHY; Bit 4 the SERDIN4± PHY; Bit 5 the SERDIN5± PHY; Bit 6 the SERDIN6± PHY; Bit 7 the SERDIN7± PHY.	0x0	R/W
0x203	GENERIC_PD	[7:2]	RESERVED		保留。 Reserved.	0x0	R
0x203	GENERIC_PD	1	SPI_SYNC1_PD		关断同步请求信号 SYNCOUT。 Power down the sync request signal SYNCOUT.	0x0	R/W
0x203	GENERIC_PD	0	RESERVED		保留。 Reserved.	0x0	R/W
0x206	CDR_RESET	[7:1]	RESERVED		保留。 Reserved.	0x0	R/W
0x206	CDR_RESET	0	SPI_CDR_RESET	0 1	重置所有 PHY 的数字控制逻辑。0：复位 CDR 逻辑。1：CDR 逻辑正常工作。 Reset the digital control logic of all PHYs. 0: reset the CDR logic. 1: CDR logic in normal operation.	0x1	R/W
0x230		[7:6]	RESERVED		保留。 Reserved.	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
	CDR_OPERATING_MODE_REG_0						
0x230	CDR_OPERATING_MODE_REG_0	5	SPI_ENHALFRATE	0 1	半速率 CDR 操作使能。0：禁用 CDR 半速率操作，数据速率≤6 Gbps。1：启用 CDR 半速率操作，数据速率大于 6 Gbps。 Half-rate CDR operation enable. 0: disable half-rate CDR operation, data rate ⩽ 6 Gbps. 1: enable half-rate CDR operation, data rate > 6 Gbps.	0x1	R/W
0x230	CDR_OPERATING_MODE_REG_0	[4:3]	RESERVED		保留。 Reserved.	0x1	R/W
0x230	CDR_OPERATING_MODE_REG_0	[2:1]	SPI_DIVISION_RATE	00 01 10	输入数据过采样使能。00：无分频。数据速率 > 3 Gbps。01：2 分频。1.5 Gbps < 数据速率 ⩽ 3 Gbps。10：4 分频。750 Mbps < 数据速率 ⩽ 1.5 Gbps。 Input data oversampling enable. 00: no division; data rate > 3 Gbps. 01: divide by 2; 1.5 Gbps < data rate ⩽ 3 Gbps. 10: divide by 4; 750 Mbps < data rate ⩽ 1.5 Gbps.	0x0	R/W
0x230	CDR_OPERATING_MODE_REG_0	0	RESERVED		保留。 Reserved.	0x0	R/W
0x250	EQ_CONFIG_PHY_0_1	[7:4]	SPI_EQ_CONFIG1	0000 0001–1111	SERDES0±均衡器输入差分失调调节增强（boost）控制。0000：Manual mode (SPI configured values used)。0001–1111：Boost level = 1–15。 SERDES0± equalizer input differential offset boost control. 0000: manual mode (SPI configured values used). 0001–1111: boost level = 1–15.	0x8	R/W
0x250	EQ_CONFIG_PHY_0_1	[3:0]	SPI_EQ_CONFIG0	0000 0001–1111	SERDES1±均衡器输入差分失调调节增强（boost）控制。0000：Manual mode (SPI configured values used)。0001–1111：Boost level = 1–15。 SERDES1± equalizer input differential offset boost control. 0000: manual mode (SPI configured values used). 0001–1111: boost level = 1–15.	0x8	R/W
0x251	EQ_CONFIG_PHY_2_3	[7:4]	SPI_EQ_CONFIG3	0000 0001–1111	SERDES3±均衡器输入差分失调调节增强（boost）控制。0000：Manual mode (SPI configured values used)。0001–1111：Boost level = 1–15。 SERDES3± equalizer input differential offset boost control. 0000: manual mode (SPI configured values used). 0001–1111: boost level = 1–15.	0x8	R/W
0x251	EQ_CONFIG_PHY_2_3	[3:0]	SPI_EQ_CONFIG2	0000 0001–1111	SERDES2±均衡器输入差分失调调节增强（boost）控制。0000：Manual mode (SPI configured values used)。0001–1111：Boost level = 1–15。 SERDES2± equalizer input differential offset boost control. 0000: manual mode (SPI configured values used). 0001–1111: boost level = 1–15.	0x8	R/W
0x252	EQ_CONFIG_PHY_4_5	[7:4]	SPI_EQ_CONFIG5	0000 0001–1111	SERDES5±均衡器输入差分失调调节增强（boost）控制。0000：Manual mode (SPI configured values used)。0001–1111：Boost level = 1–15。 SERDES5± equalizer input differential offset boost	0x8	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					control. 0000: manual mode (SPI configured values used). 0001–1111: boost level = 1–15.		
0x252	EQ_CONFIG_PHY_4_5	[3:0]	SPI_EQ_CONFIG4	0000 0001–1111	SERDES4±均衡器输入差分失调调节增强（boost）控制。0000：Manual mode (SPI configured values used)。0001–1111：Boost level = 1–15。 SERDES4± equalizer input differential offset boost control. 0000: manual mode (SPI configured values used). 0001–1111: boost level = 1–15.	0x8	R/W
0x253	EQ_CONFIG_PHY_6_7	[7:4]	SPI_EQ_CONFIG7	0000 0001–1111	SERDES7±均衡器输入差分失调调节增强（boost）控制。0000：Manual mode (SPI configured values used)。0001–1111：Boost level = 1–15。 SERDES7± equalizer input differential offset boost control. 0000: manual mode (SPI configured values used). 0001–1111: boost level = 1–15.	0x8	R/W
0x253	EQ_CONFIG_PHY_6_7	[3:0]	SPI_EQ_CONFIG6	0000 0001–1111	SERDES6±均衡器输入差分失调调节增强（boost）控制。0000：Manual mode (SPI configured values used)。0001–1111：Boost level = 1–15。 SERDES6± equalizer input differential offset boost control. 0000: manual mode (SPI configured values used). 0001–1111: boost level = 1–15.	0x8	R/W
0x268	EQ_BIAS_REG	[7:6]	EQ_POWER_MODE	0 1	均衡器功率模式/插入损耗能力控制。0：正常模式。1：低功率模式。 Equalizer power mode / insertion loss capability control. 0: normal mode. 1: low-power mode.	0x1	R/W
0x268	EQ_BIAS_REG	[5:0]	RESERVED		保留。 Reserved.	0x4	R/W
0x280	SYNTH_ENABLE_CNTRL	[7:3]	RESERVED		保留。 Reserved.	0x0	R
0x280	SYNTH_ENABLE_CNTRL	2	SPI_RECAL_SYNTH		将此位设为高，可重运行 SERDES PLL 所有校准程序。再次将此位设为低位，允许进行额外的重校准。上升沿触发校准。 Setting this bit high re-runs all SERDES PLL calibration routines. Setting this bit low again allows additional recalibration. Rising edge triggers calibration.	0x0	R/W
0x280	SYNTH_ENABLE_CNTRL	1	RESERVED		保留。 Reserved.	0x0	R/W
0x280	SYNTH_ENABLE_CNTRL	0	SPI_ENABLE_SYNTH		启用 SERDES PLL。该位为 1 将打开所有电流并校准 PLL。在启用此位之前，请确保参考时钟和分频比正确。 Enable the SERDES PLL. Setting this bit to 1 turns on all currents and calibrates the PLL. Before enabling this bit, ensure the reference clock and division ratio are correct.	0x0	R/W
0x281	PLL_STATUS	[7:6]	RESERVED		保留。 Reserved.	0x0	R
0x281	PLL_STATUS	5	SPI_CP_OVER_R	0 1	SERDES PLL CP 输出高于工作范围指示信号。0：充电泵输出在工作范围内。1：充电泵输出高于工作范围。	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
			ANGE_HIGH_RB		SERDES PLL charge-pump output above operating range indicator. 0: charge pump output within operating range. 1: charge pump output above operating range.		
0x281	PLL_STATUS	4	SPI_CP_OVER_RANGE_LOW_RB	0 1	SERDES PLL CP 输出低于工作范围指示信号。0：充电泵输出在工作范围内。1：充电泵输出低于工作范围。 SERDES PLL charge-pump output below operating range indicator. 0: charge pump output within operating range. 1: charge pump output below operating range.	0x0	R
0x281	PLL_STATUS	3	SPI_CP_CAL_VALID_RB	0 1	电荷泵校准是否已经完成并有效指示信号。0：充电泵校准无效。1：充电泵校准有效。 Charge pump calibration completed and valid indicator. 0: charge pump calibration invalid. 1: charge pump calibration valid.	0x0	R
0x281	PLL_STATUS	[2:1]	RESERVED		保留。 Reserved.	0x0	R
0x281	PLL_STATUS	0	SPI_PLL_LOCK_RB	0 1	PLL 锁定信号。0：PLL 未锁定。1：PLL 已锁定。 PLL lock signal. 0: PLL not locked. 1: PLL locked.	0x0	R
0x289	REF_CLK_DIVIDER_LDO	[7:2]	RESERVED		保留。 Reserved.	0x0	R
0x289	REF_CLK_DIVIDER_LDO	[1:0]	SERDES_PLL_DIV_FACTOR	00 01 10	SERDES PLL 参考时钟分频系数。控制 SERDES PLL 参考时钟在送入 SERDES PLL PFD 之前的分频。必须将 fREF/DivFactor 设置在 35 MHz 和 80 MHz 之间。00：6 Gbps 和 12.5 Gbps 之间的 lane 速率，除以 4。01：3 Gbps 和 6 Gbps 之间的 lane 速率，除以 2。10：1.5 Gbps 和 3 Gbps 之间的 lane 速率，除以 1。 SERDES PLL reference clock division factor. Controls the division of the SERDES PLL reference clock before it is fed to the SERDES PLL PFD. fREF/DivFactor must be set between 35 MHz and 80 MHz. 00: lane rates between 6 Gbps and 12.5 Gbps, divide by 4. 01: lane rates between 3 Gbps and 6 Gbps, divide by 2. 10: lane rates between 1.5 Gbps and 3 Gbps, divide by 1.	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x2A7	TERM_BLK1_CTRLREG0	[7:1]	RESERVED		保留。 Reserved.	0x0	R
0x2A7	TERM_BLK1_CTRLREG0	0	SPI_I_TUNER_CAL_TERMBLK1		该位的上升沿启动一个终端校准程序。 The rising edge of this bit starts a termination calibration routine.	0x0	R/W
0x2A8	TERM_BLK1_CTRLREG1	[7:0]	SPI_I_SERIALIZER_RTRIM_TERMBLK1	XXX0XXXX	PHY 0, PHY 1, PHY 6, PHY 7 终端配置。XXX0XXXX：自动校正终端值。 PHY 0, PHY 1, PHY 6, PHY 7 termination	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					configuration. XXX0XXXX: auto-corrected termination value.		
0x2AC	TERM_BLK1_RD_REG0	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x2AC	TERM_BLK1_RD_REG0	[3:0]	SPI_O_RCAL_CODE_TERMBLK1		回读 PHY 0、PHY 1、PHY 6 和 PHY 7 的校准值。 Read back the calibration values of PHY 0, PHY 1, PHY 6 and PHY 7.	0x0	R
0x2AE	TERM_BLK2_CTRLREG0	[7:1]	RESERVED		保留。 Reserved.	0x0	R
0x2AE	TERM_BLK2_CTRLREG0	0	SPI_I_TUNE_R_CAL_TERMBLK2		该位的上升沿启动一个终端校准程序。 The rising edge of this bit starts a termination calibration routine.	0x0	R/W
0x2AF	TERM_BLK2_CTRLREG1	[7:0]	SPI_I_SERIALIZER_RTRIM_TERMBLK2	XXX0XXXX	PHY 2、PHY 3、PHY 4 和 PHY 5 终端配置。XXX0XXXX：自动校正终端值。 PHY 2, PHY 3, PHY 4 and PHY 5 termination configuration. XXX0XXXX: auto-corrected termination value.	0x0	R/W
0x2B3	TERM_BLK2_RD_REG0	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x2B3	TERM_BLK2_RD_REG0	[3:0]	SPI_O_RCAL_CODE_TERMBLK2		读回 PHY 2、PHY 3、PHY 4 和 PHY 5 的校准值。 Read back the calibration values of PHY 2, PHY 3, PHY 4 and PHY 5.	0x0	R
0x2BB	TERM_OFFSET_0	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x2BB	TERM_OFFSET_0	[3:0]	TERM_OFFSET_0		4 位有符号的幅度值，对 lane 0 的终端校准值进行加减。第 3 位为符号位，Bits[2:0]为幅度位。 4-bit signed magnitude value to add/subtract the lane 0 termination calibration value. Bit 3 is the sign bit; Bits[2:0] are the magnitude bits.	0x0	R/W
0x2BC	TERM_OFFSET_1	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x2BC	TERM_OFFSET_1	[3:0]	TERM_OFFSET_1		4 位有符号的幅度值，对 lane 1 的终端校准值进行加减。第 3 位为符号位，Bits[2:0]为幅度位。 4-bit signed magnitude value to add/subtract the lane 1 termination calibration value. Bit 3 is the sign bit; Bits[2:0] are the magnitude bits.	0x0	R/W
0x2BD	TERM_OFFSET_2	[7:4]	RESERVED		保留位。 Reserved.	0x0	R
0x2BD	TERM_OFFSET_2	[3:0]	TERM_OFFSET_2		4 位有符号的幅度值，对 lane 2 的终端校准值进行加减。第 3 位为符号位，Bits[2:0]为幅度位。 4-bit signed magnitude value to add/subtract the lane 2 termination calibration value. Bit 3	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					is the sign bit; Bits[2:0] are the magnitude bits.		
0x2BE	TERM_OFFSET_3	[7:4]	RESERVED		保留位。 Reserved.	0x0	R
0x2BE	TERM_OFFSET_3	[3:0]	TERM_OFFSET_3		4 位有符号的幅度值，对 lane 3 的终端校准值进行加减。第 3 位为符号位，Bits[2:0]为幅度位。 4-bit signed magnitude value to add/subtract the lane 3 termination calibration value. Bit 3 is the sign bit; Bits[2:0] are the magnitude bits.	0x0	R/W
0x2BF	TERM_OFFSET_4	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x2BF	TERM_OFFSET_4	[3:0]	TERM_OFFSET_4		4 位有符号的幅度值，对 lane 4 的终端校准值进行加减。第 3 位为符号位，Bits[2:0]为幅度位。 4-bit signed magnitude value to add/subtract the lane 4 termination calibration value. Bit 3 is the sign bit; Bits[2:0] are the magnitude bits.	0x0	R/W
0x2C0	TERM_OFFSET_5	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x2C0	TERM_OFFSET_5	[3:0]	TERM_OFFSET_5		4 位有符号的幅度值，对 lane 5 的终端校准值进行加减。第 3 位为符号位，Bits[2:0]为幅度位。 4-bit signed magnitude value to add/subtract the lane 5 termination calibration value. Bit 3 is the sign bit; Bits[2:0] are the magnitude bits.	0x0	R/W
0x2C1	TERM_OFFSET_6	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x2C1	TERM_OFFSET_6	[3:0]	TERM_OFFSET_6		4 位有符号的幅度值，对 lane 6 的终端校准值进行加减。第 3 位为符号位，Bits[2:0]为幅度位。 4-bit signed magnitude value to add/subtract the lane 6 termination calibration value. Bit 3 is the sign bit; Bits[2:0] are the magnitude bits.	0x0	R/W
0x2C2	TERM_OFFSET_7	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x2C2	TERM_OFFSET_7	[3:0]	TERM_OFFSET_7		4 位有符号的幅度值，对 lane 7 的终端校准值进行加减。第 3 位为符号位，Bits[2:0]为幅度位。 4-bit signed magnitude value to add/subtract the lane 7 termination calibration value. Bit 3 is the sign bit; Bits[2:0] are the magnitude bits.	0x0	R/W
0x300	GENERAL_JRX_CTRL_0	7	RESERVED		保留。 Reserved.	0x0	R
0x300	GENERAL_JRX_CTRL_0	6	CHECKSUM_MODE	0 1	JESD204B 链路参数校验和计算方式。0：校验和为字段之和。1：校验和为八位数之和。 JESD204B link parameter checksum	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					calculation method. 0: checksum is the sum of fields. 1: checksum is the sum of octets.		
0x300	GENERAL_JRX_CTRL_0	[5:1]	RESERVED		保留。 Reserved.	0x0	R
0x300	GENERAL_JRX_CTRL_0	0	LINK_EN		JESD204B 接收机建链使能。要求所有链路参数已配置，且所有时钟已准备好。 JESD204B receiver link establishment enable. Requires all link parameters configured and all clocks ready.	0x0	R/W
0x302	DYN_LINK_LATENCY_0	[7:5]	RESERVED		预留。 Reserved.	0x0	R
0x302	DYN_LINK_LATENCY_0	[4:0]	DYN_LINK_LATENCY_0		JESD204B 链路延迟（以 PCLK 为单位）测量值。链路 0 动态延时（当前解帧器 LMFC 和全局 LMFC 之间的延迟）。 Measured JESD204B link latency (in PCLK units). Link 0 dynamic latency (delay between the current deframer LMFC and the global LMFC).	0x0	R
0x304	LMFC_DELAY_0	[7:5]	RESERVED		预留。 Reserved.	0x0	R
0x304	LMFC_DELAY_0	[4:0]	LMFC_DELAY_0		配置 JESD204B 链路固定延迟（以 PCLK 为单位）。 Configure the fixed JESD204B link delay (in PCLK units).	0x0	R/W
0x306	LMFC_VAR_0	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x306	LMFC_VAR_0	[4:0]	LMFC_VAR_0		配置 JESD204B 链路可变延迟（以 PCLK 为单位）。此设置不能超过 10 个 PCLKs。 Configure the variable JESD204B link delay (in PCLK units). This setting must not exceed 10 PCLKs.	0x1F	R/W
0x308	XBAR_LN_0_1	[7:6]	RESERVED		保留。 Reserved.	0x0	R
0x308	XBAR_LN_0_1	[5:3]	SRC_LANE1	000–111	选择逻辑 lane1 的输入数据。000–111：数据分别来自于 SERDIN0±–SERDIN7±。 Select the input data of logical lane 1. 000–111: data from SERDIN0± through SERDIN7± respectively.	0x1	R/W
0x308	XBAR_LN_0_1	[2:0]	SRC_LANE0	000–111	选择逻辑 lane0 的输入数据。000–111：数据分别来自于 SERDIN0±–SERDIN7±。 Select the input data of logical lane 0. 000–111: data from SERDIN0± through SERDIN7± respectively.	0x0	R/W
0x309	XBAR_LN_2_3	[7:6]	RESERVED		保留。 Reserved.	0x0	R
0x309	XBAR_LN_2_3	[5:3]	SRC_LANE3	000–111	选择逻辑 lane3 的输入数据。000–111：数据分别来自于 SERDIN0±–SERDIN7±。	0x3	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					Select the input data of logical lane 3. 000–111: data from SERDIN0± through SERDIN7± respectively.		
0x309	XBAR_LN_2_3	[2:0]	SRC_LANE2	000–111	选择逻辑 lane2 的输入数据。000–111：数据分别来自于 SERDIN0±–SERDIN7±。 Select the input data of logical lane 2. 000–111: data from SERDIN0± through SERDIN7± respectively.	0x2	R/W
0x30A	XBAR_LN_4_5	[7:6]	RESERVED		Reserved. Reserved.	0x0	R
0x30A	XBAR_LN_4_5	[5:3]	SRC_LANE5	000–111	选择逻辑 lane5 的输入数据。000–111：数据分别来自于 SERDIN0±–SERDIN7±。 Select the input data of logical lane 5. 000–111: data from SERDIN0± through SERDIN7± respectively.	0x5	R/W
0x30A	XBAR_LN_4_5	[2:0]	SRC_LANE4	000–111	选择逻辑 lane4 的输入数据。000–111：数据分别来自于 SERDIN0±–SERDIN7±。 Select the input data of logical lane 4. 000–111: data from SERDIN0± through SERDIN7± respectively.	0x4	R/W
0x30B	XBAR_LN_6_7	[7:6]	RESERVED		Reserved. Reserved.	0x0	R
0x30B	XBAR_LN_6_7	[5:3]	SRC_LANE7	000–111	选择逻辑 lane7 的输入数据。000–111：数据分别来自于 SERDIN0±–SERDIN7±。 Select the input data of logical lane 7. 000–111: data from SERDIN0± through SERDIN7± respectively.	0x7	R/W
0x30B	XBAR_LN_6_7	[2:0]	SRC_LANE6	000–111	选择逻辑 lane6 的输入数据。000–111：数据分别来自于 SERDIN0±–SERDIN7±。 Select the input data of logical lane 6. 000–111: data from SERDIN0± through SERDIN7± respectively.	0x6	R/W
0x30C	FIFO_STATUS_REG_0	7	LANE_FIFO_FULL		SERDIN7± 对应的 FIFO 满标志。 FIFO full flag for SERDIN7±.	0x0	R
0x30C	FIFO_STATUS_REG_0	6	LANE_FIFO_FULL		SERDIN6± 对应的 FIFO 满标志。 FIFO full flag for SERDIN6±.	0x0	R
0x30C	FIFO_STATUS_REG_0	5	LANE_FIFO_FULL		SERDIN5± 对应的 FIFO 满标志。 FIFO full flag for SERDIN5±.	0x0	R
0x30C	FIFO_STATUS_REG_0	4	LANE_FIFO_FULL		SERDIN4± 对应的 FIFO 满标志。 FIFO full flag for SERDIN4±.	0x0	R
0x30C	FIFO_STATUS_REG_0	3	LANE_FIFO_FULL		SERDIN3± 对应的 FIFO 满标志。 FIFO full flag for SERDIN3±.	0x0	R
0x30C	FIFO_STATUS_REG_0	2	LANE_FIFO_FULL		SERDIN2± 对应的 FIFO 满标志。 FIFO full flag for SERDIN2±.	0x0	R
0x30C	FIFO_STATUS_REG_0	1	LANE_FIFO_FULL		SERDIN1± 对应的 FIFO 满标志。 FIFO full flag for SERDIN1±.	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x30C	FIFO_STATUS_REG_0	0	LANE_FIFO_FULL		SERDIN0± 对应的 FIFO 满标志。 FIFO full flag for SERDIN0±.	0x0	R
0x30D	FIFO_STATUS_REG_1	7	LANE_FIFO_EMPTY		SERDIN7± 对应的 FIFO 空标志。 FIFO empty flag for SERDIN7±.	0x0	R
0x30D	FIFO_STATUS_REG_1	6	LANE_FIFO_EMPTY		SERDIN6± 对应的 FIFO 空标志。 FIFO empty flag for SERDIN6±.	0x0	R
0x30D	FIFO_STATUS_REG_1	5	LANE_FIFO_EMPTY		SERDIN5± 对应的 FIFO 空标志。 FIFO empty flag for SERDIN5±.	0x0	R
0x30D	FIFO_STATUS_REG_1	4	LANE_FIFO_EMPTY		SERDIN4± 对应的 FIFO 空标志。 FIFO empty flag for SERDIN4±.	0x0	R
0x30D	FIFO_STATUS_REG_1	3	LANE_FIFO_EMPTY		SERDIN3± 对应的 FIFO 空标志。 FIFO empty flag for SERDIN3±.	0x0	R
0x30D	FIFO_STATUS_REG_1	2	LANE_FIFO_EMPTY		SERDIN2± 对应的 FIFO 空标志。 FIFO empty flag for SERDIN2±.	0x0	R
0x30D	FIFO_STATUS_REG_1	1	LANE_FIFO_EMPTY		SERDIN1± 对应的 FIFO 空标志。 FIFO empty flag for SERDIN1±.	0x0	R
0x30D	FIFO_STATUS_REG_1	0	LANE_FIFO_EMPTY		SERDIN0± 对应的 FIFO 空标志。 FIFO empty flag for SERDIN0±.	0x0	R
0x311	SYNC_GEN_0	[7:3]	RESERVED		保留。 Reserved.	0x0	R
0x311	SYNC_GEN_0	2	EOMF_MASK_0	0 1	多帧丢失时 SYNCOUT 是否发送请求。0：丢失多帧时，SYNCOUT 不发送请求。1：丢失多帧时，SYNCOUT 发送请求。 Whether SYNCOUT sends a request when multiframe is lost. 0: SYNCOUT does not send a request when multiframe is lost. 1: SYNCOUT sends a request when multiframe is lost.	0x0	R/W
0x311	SYNC_GEN_0	1	RESERVED		保留。 Reserved.	0x0	R/W
0x311	SYNC_GEN_0	0	EOF_MASK_0	0 1	帧丢失时 SYNCOUT 是否发送请求。0：丢失帧时，SYNCOUT 不发送请求。1：丢失帧时，SYNCOUT 发送请求。 Whether SYNCOUT sends a request when frame is lost. 0: SYNCOUT does not send a request when frame is lost. 1: SYNCOUT sends a request when frame is lost.	0x0	R/W
0x312	SYNC_GEN_1	[7:4]	SYNC_ERR_DUR		同步错误报告时 SYNCOUT 信号低电平的持续时间。0 表示半个 PCLK 周期。每 1 步增加一个 PCLK 周期。 Duration of the SYNCOUT low level when reporting a sync error. 0 means half a PCLK cycle; each step adds one PCLK cycle.	0x0	R/W
0x312	SYNC_GEN_1	[3:0]	SYNC_SYNCREQ_DUR		同步请求时 SYNCOUT 信号低电平的持续时间。0 表示 5 个帧+9 个八进制码周期。每 1 步增加一个 PCLK 周期。	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					Duration of the SYNCOUT low level during a sync request. 0 means 5 frames + 9 octet periods; each step adds one PCLK cycle.		
0x313	SYNC_GEN_3	[7:0]	LMFC_PERIOD		以 PCLK 周期为单位表示的 LMFC 周期。这是在 PCLK 的基础上报告全局 LMFC 周期。 LMFC period in PCLK cycles. This reports the global LMFC period based on PCLK.	0x0	R
0x315	PHY_PRBS_TEST_EN	[7:0]	PHY_TEST_EN	1 0	通过解锁时钟使能 PHY BER。1：PHY 测试启用。0：PHY 测试禁用。 Enable PHY BER via the unlock clock. 1: PHY test enabled. 0: PHY test disabled.	0x0	R/W
0x316	PHY_PRBS_TEST_CTRL	7	RESERVED		保留。 Reserved.	0x0	R
0x316	PHY_PRBS_TEST_CTRL	[6:4]	PHY_SRC_ERR_CNT	000–111	报告 lane 错误数量。000–111：分别报告 Lane 0–Lane 7 错误数量。 Report the lane error count. 000–111: report the error counts of Lane 0 through Lane 7 respectively.	0x0	R/W
0x316	PHY_PRBS_TEST_CTRL	[3:2]	PHY_PRBS_PAT_SEL	00 01 10 11	选择 PRBS 模式进行 PHY BER 测试。00：PRBS7。01：PRBS15。10：PRBS31。11：未使用。 Select the PRBS pattern for the PHY BER test. 00: PRBS7. 01: PRBS15. 10: PRBS31. 11: unused.	0x0	R/W
0x316	PHY_PRBS_TEST_CTRL	1	PHY_TEST_START	0 1	启动和停止 PHY PRBS 测试。0：测试未开始。1：开始测试。 Start and stop the PHY PRBS test. 0: test not started. 1: start the test.	0x0	R/W
0x316	PHY_PRBS_TEST_CTRL	0	PHY_TEST_RESET	0 1	复位 PHY PRBS 测试状态机和错误计数器。0：未复位。1：重置。 Reset the PHY PRBS test state machine and error counter. 0: not reset. 1: reset.	0x0	R/W
0x317	PHY_PRBS_TEST_THRESHOLD_LOBITS	[7:0]	PHY_PRBS_THRESHOLD_LOBITS		设置 PHY PRBS 测试错误标志的阈值，阈值采用 24 位表示，这是低 8 位。 Set the threshold for the PHY PRBS test error flag; the threshold is 24 bits, this is the low 8 bits.	0x0	R/W
0x318	PHY_PRBS_TEST_THRESHOLD_MIDBITS	[7:0]	PHY_PRBS_THRESHOLD_MIDBITS		设置 PHY PRBS 测试错误标志的阈值，阈值采用 24 位表示，这是中 8 位。 Set the threshold for the PHY PRBS test error flag; the threshold is 24 bits, this is the middle 8 bits.	0x0	R/W
0x319	PHY_PRBS_TEST_THRESHOLD_HIBITS	[7:0]	PHY_PRBS_THRESHOLD_HIBITS		设置 PHY PRBS 测试错误标志的阈值，阈值采用 24 位表示，这是高 8 位。 Set the threshold for the PHY PRBS test error flag; the threshold is 24 bits, this is the high 8 bits.	0x0	R/W
0x31A						0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
	PHY_PRBS_TEST_ERRCNT_LOBITS	[7:0]	PHY_PRBS_ERR_CNT_LOBITS		报告所选 lane 在 PHY BER 测试时的错误数量。采用 24 位表示，这是低 8 位。 Report the error count of the selected lane during the PHY BER test. 24-bit representation; this is the low 8 bits.		
0x31B	PHY_PRBS_TEST_ERRCNT_MIDBITS	[7:0]	PHY_PRBS_ERR_CNT_MIDBITS		报告所选 lane 在 PHY BER 测试时的错误数量。采用 24 位表示，这是中 8 位。 Report the error count of the selected lane during the PHY BER test. 24-bit representation; this is the middle 8 bits.	0x0	R
0x31C	PHY_PRBS_TEST_ERRCNT_HIBITS	[7:0]	PHY_PRBS_ERR_CNT_HIBITS		报告所选 lane 在 PHY BER 测试时的错误数量。采用 24 位表示，这是高 8 位。 Report the error count of the selected lane during the PHY BER test. 24-bit representation; this is the high 8 bits.	0x0	R
0x31D	PHY_PRBS_TEST_STATUS	[7:0]	PHY_PRBS_PASS		报告每个 lane 的 PHY BER 测试通过/失败。每一位对应的相应的 lane。 Report the PHY BER test pass/fail of each lane. Each bit corresponds to the respective lane.	0xFF	R
0x31E	PHY_DATA_SNAPSHOT_CTRL	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x31E	PHY_DATA_SNAPSHOT_CTRL	[4:2]	PHY_GRAB_LANE_SEL	000–111	选择抓取数据的 lane。000–111：分别抓取 Lane 0–Lane 7 的数据。 Select the lane for data capture. 000–111: capture data of Lane 0 through Lane 7 respectively.	0x0	R/W
0x31E	PHY_DATA_SNAPSHOT_CTRL	1	PHY_GRAB_MODE	0 1	触发抓取数据的方式。0：设置 PHY_GRAB_DATA 触发。1：位出错时触发。 Data capture trigger mode. 0: trigger by setting PHY_GRAB_DATA. 1: trigger on bit error.	0x0	R/W
0x31E	PHY_DATA_SNAPSHOT_CTRL	0	PHY_GRAB_DATA		上升沿使能存储所选 lane 当前接收的数据。 Rising edge enables storing the currently received data of the selected lane.	0x0	R/W
0x31F	PHY_SNAPSHOT_DATA_BYTE0	[7:0]	PHY_SNAPSHOT_DATA_BYTE0		当前接收到的数据 PHY_SNAPSHOT_DATA[7:0]。 Currently received data PHY_SNAPSHOT_DATA[7:0].	0x0	R
0x320	PHY_SNAPSHOT_DATA_BYTE1	[7:0]	PHY_SNAPSHOT_DATA_BYTE1		当前接收到的数据 PHY_SNAPSHOT_DATA[15:8]。 Currently received data PHY_SNAPSHOT_DATA[15:8].	0x0	R
0x321	PHY_SNAPSHOT_DATA_BYTE2	[7:0]	PHY_SNAPSHOT_DATA_BYTE2		当前接收到的数据 PHY_SNAPSHOT_DATA[23:16]。 Currently received data PHY_SNAPSHOT_DATA[23:16].	0x0	R
0x322		[7:0]			当前接收到的数据 PHY_SNAPSHOT_DATA[31:24]。	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
	PHY_SNAPSHOT_DATA_BYTE3		PHY_SNAPSHOT_DATA_BYTE3		Currently received data PHY_SNAPSHOT_DATA[31:24].		
0x323	PHY_SNAPSHOT_DATA_BYTE4	[7:0]	PHY_SNAPSHOT_DATA_BYTE4		当前接收到的数据 PHY_SNAPSHOT_DATA[39:32]。 Currently received data PHY_SNAPSHOT_DATA[39:32].	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x32C	SHORT_TPL_TEST_0	[7:4]	SHORT_TPL_SP_SEL	0000–1111	短传输层（Short transport layer）测试样本选择。从指定 DAC 中选择哪个样本进行验证。0000–1111：分别选择样本 0–样本 15。 Short transport layer test sample selection. Select which sample from the specified DAC to verify. 0000–1111: select sample 0 through sample 15 respectively.	0x0	R/W
0x32C	SHORT_TPL_TEST_0	[3:2]	SHORT_TPL_M_SEL	00 01 10 11	短传输层（Short transport layer）测试 DAC 选择。00：DAC 0。01：DAC 1。10：DAC 2。11：DAC 3。 Short transport layer test DAC selection. 00: DAC 0. 01: DAC 1. 10: DAC 2. 11: DAC 3.	0x0	R/W
0x32C	SHORT_TPL_TEST_0	1	SHORT_TPL_TEST_RESET	0 1	短传输层（Short transport layer）测试复位控制。0：不复位。1：复位。 Short transport layer test reset control. 0: no reset. 1: reset.	0x0	R/W
0x32C	SHORT_TPL_TEST_0	0	SHORT_TPL_TEST_EN	0 1	短传输层（Short transport layer）测试使能控制。0：不使能。1：使能。 Short transport layer test enable control. 0: disable. 1: enable.	0x0	R/W
0x32D	SHORT_TPL_TEST_1	[7:0]	SHORT_TPL_REF_SP_LSB		短传输层参考样本的 LSB。这是期望的 DAC 采样数据的低 8 位。它用于与 JESD204B Rx 输出端接收的 DAC 采样数据进行比较。 LSB of the short transport layer reference sample. This is the low 8 bits of the expected DAC sample data. It is used for comparison against the DAC sample data received at the JESD204B Rx output.	0x0	R/W
0x32E	SHORT_TPL_TEST_2	[7:0]	SHORT_TPL_REF_SP_MSB		短传输层参考样本的 MSB。这是期望的 DAC 采样数据的高 8 位。它用于与 JESD204B Rx 输出端接收的 DAC 采样数据进行比较。 MSB of the short transport layer reference sample. This is the high 8 bits of the expected DAC sample data. It is used for comparison against the DAC sample data received at the JESD204B Rx output.	0x0	R/W
0x32F	SHORT_TPL_TEST_3	[7:1]	RESERVED		保留。 Reserved.	0x0	R
0x32F	SHORT_TPL_TEST_3	0	SHORT_TPL_FAIL	0 1	短传输层测试失败指示。该位显示所选的 DAC 采样数据是否与参考样本匹配。如果它们匹配，则测试通过；否则，测试失败。0：测试通过。1：测试失败。	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					Short transport layer test fail indicator. This bit shows whether the selected DAC sample data matches the reference sample. If they match, the test passes; otherwise, the test fails. 0: test passed. 1: test failed.		
0x334	JESD_BIT_INVERSE_CTRL	[7:0]	JESD_BIT_INVERSE		该字节的每个位控制对应的 JESD204B Rx PHY 的 JESD204B 解串数据是否反相。位顺序与逻辑 lane 顺序相匹配。例如，位 0 控制 lane 0，位 1 控制 lane 1。 Each bit of this byte controls whether the JESD204B deserialized data of the corresponding JESD204B Rx PHY is inverted. The bit order matches the logical lane order. For example, bit 0 controls lane 0 and bit 1 controls lane 1.	0x0	R/W
0x400	DID_REG	[7:0]	DID_RD		Lane 0 上接收到的 ILAS 配置，DID 是设备 ID 号。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。 ILAS configuration received on lane 0; DID is the device ID number. The link information received on lane 0 refers to Section 8.3 of JESD204B.	0x0	R
0x401	BID_REG	[7:0]	BID_RD		Lane 0 上接收到的 ILAS 配置，BID 是阵列 ID，扩展到 DID。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。 ILAS configuration received on lane 0; BID is the bank ID, an extension of DID. The link information received on lane 0 refers to Section 8.3 of JESD204B.	0x0	R
0x402	LID0_REG	7	RESERVED		保留。 Reserved.	0x0	R
0x402	LID0_REG	6	ADJDIR_RD		lane0 上接收到的 ILAS 配置。ADJDIR 是调整 DAC LMFC 的方向。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。 ILAS configuration received on lane 0. ADJDIR is the direction for adjusting the DAC LMFC. The link information received on lane 0 refers to Section 8.3 of JESD204B.	0x0	R
0x402	LID0_REG	5	PHADJ_RD		lane0 上接收到的 ILAS 配置。PHADJ 是 DAC 的相位调节请求。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。 ILAS configuration received on lane 0. PHADJ is the phase adjustment request of the DAC. The link information received on lane 0 refers to Section 8.3 of JESD204B.	0x0	R
0x402	LID0_REG	[4:0]	LL_LID0		lane0 上接收到 ILAS 配置。LID0 是 lane0 的 lane 标识。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。 ILAS configuration received on lane 0. LID0 is the lane identifier of lane 0. The link information received on lane 0 refers to Section 8.3 of JESD204B.	0x0	R
0x403	SCR_L_REG	7	SCR_RD	0 1	lane0 上接收到的 ILAS 配置。SCR 是 Tx 加扰状态。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。0：未加扰。1：已加扰。 ILAS configuration received on lane 0. SCR is the Tx scrambling status. The link information received on lane	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					0 refers to Section 8.3 of JESD204B. 0: not scrambled. 1: scrambled.		
0x403	SCR_L_REG	[6:5]	RESERVED		保留。 Reserved.	0x0	R
0x403	SCR_L_REG	[4:0]	L_RD	00000 00001 00011 00111	lane0 上接收到的 ILAS 配置。L 是每个转换器的 lane 数。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。00000：每个转换器 1 个 lane。00001：每个转换器 1 个 lane。00011：每个转换器 4 个 lane。00111：每个转换器 8 个 lane。 ILAS configuration received on lane 0. L is the number of lanes per converter. The link information received on lane 0 refers to Section 8.3 of JESD204B. 00000: 1 lane per converter. 00001: 1 lane per converter. 00011: 4 lanes per converter. 00111: 8 lanes per converter.	0x0	R
0x404	F_REG	[7:0]	F_RD	0 1 11	lane0 上接收到的 ILAS 配置。F 是每帧的字节数。1、2 和 4 的配置是有效的（寄存器中的值为 F − 1）。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。0：每帧 1 个八字节。1：每帧 2 个八字节。11：每帧 4 个八字节。 ILAS configuration received on lane 0. F is the number of octets per frame. Configurations of 1, 2 and 4 are valid (the register value is F − 1). The link information received on lane 0 refers to Section 8.3 of JESD204B. 0: 1 octet per frame. 1: 2 octets per frame. 11: 4 octets per frame.	0x0	R
0x405	K_REG	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x405	K_REG	[4:0]	K_RD	01111 11111	lane0 上接收到的 ILAS 配置。K 是每个多帧的帧数。16 或 32 的配置是有效的。该电路的所有模式都使用 K = 32（寄存器中的值为 K − 1）。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。01111：每多帧 16 帧。11111：每多帧 32 帧。 ILAS configuration received on lane 0. K is the number of frames per multiframe. Configurations of 16 or 32 are valid. All modes of this device use K = 32 (the register value is K − 1). The link information received on lane 0 refers to Section 8.3 of JESD204B. 01111: 16 frames per multiframe. 11111: 32 frames per multiframe.	0x0	R
0x406	M_REG	[7:0]	M_RD		lane0 上接收到的 ILAS 配置。M 是器件的转换器数量。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。实数接口时 M 为 1，复数接口为 2（寄存器中的值为 M − 1）。 ILAS configuration received on lane 0. M is the number of converters of the device. The link information received on lane 0 refers to Section 8.3 of JESD204B. M is 1 for real interfaces and 2 for complex interfaces (the register value is M − 1).	0x0	R
0x407	CS_N_REG	[7:6]	CS_RD		lane0 上接收到的 ILAS 配置。CS 为每个采样的控制位数。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。该器件的 CS 始终为 0。 ILAS configuration received on lane 0. CS is the number of control bits per sample. The link information received	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					on lane 0 refers to Section 8.3 of JESD204B. CS is always 0 on this device.		
0x407	CS_N_REG	5	RESERVED		保留。 Reserved.	0x0	R
0x407	CS_N_REG	[4:0]	N_RD		lane0 上接收到的 ILAS 配置。N 是转换器的分辨率，寄存器中的值为 N − 1（例如，16 位 = 0b01111）。 ILAS configuration received on lane 0. N is the converter resolution; the register value is N − 1 (for example, 16 bits = 0b01111).	0x0	R
0x408	NP_REG	[7:5]	SUBCLASSV_RD	0 1	lane0 上接收到的 ILAS 配置。SUBCLASSV 是电路的 subclass 版本。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。0：Subclass 0。1：Subclass 1。 ILAS configuration received on lane 0. SUBCLASSV is the subclass version of the device. The link information received on lane 0 refers to Section 8.3 of JESD204B. 0: Subclass 0. 1: Subclass 1.	0x0	R
0x408	NP_REG	[4:0]	NP_RD		lane0 上接收到的 ILAS 配置。NP 为每个采样的总比特数。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。寄存器中的值为 NP − 1，例如：每个采样 16 位 = 0b01111。 ILAS configuration received on lane 0. NP is the total number of bits per sample. The link information received on lane 0 refers to Section 8.3 of JESD204B. The register value is NP − 1, for example: 16 bits per sample = 0b01111.	0x0	R
0x409	S_REG	[7:5]	JESDV_RD	0 1	lane0 上接收到的 ILAS 配置。JESDV 为 JESD204x 版本。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。0：JESD204A。1：JESD204B。 ILAS configuration received on lane 0. JESDV is the JESD204x version. The link information received on lane 0 refers to Section 8.3 of JESD204B. 0: JESD204A. 1: JESD204B.	0x0	R
0x409	S_REG	[4:0]	S_RD		lane0 上接收到的 ILAS 配置。S 是每个转换器每个帧周期的采样数。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。寄存器中的值为 S − 1。 ILAS configuration received on lane 0. S is the number of samples per converter per frame. The link information received on lane 0 refers to Section 8.3 of JESD204B. The register value is S − 1.	0x0	R
0x40A	HD_CF_REG	7	HD_RD	0 1	lane0 上接收到的 ILAS 配置。HD 为高密度格式，参考 JESD204B 标准第 5.1.3 节的规定。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。0：低密度模式。1：高密度模式。 ILAS configuration received on lane 0. HD is the high-density format; refer to Section 5.1.3 of the JESD204B standard. The link information received on lane 0 refers to Section 8.3 of JESD204B. 0: low-density mode. 1: high-density mode.	0x0	R
0x40A	HD_CF_REG	[6:5]	RESERVED		保留。 Reserved.	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x40A	HD_CF_REG	[4:0]	CF_RD		lane0 上接收到的 ILAS 配置。CF 为每个链路每帧时钟周期的控制字数。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。在该器件上，CF 始终为 0。 ILAS configuration received on lane 0. CF is the number of control words per link per frame clock. The link information received on lane 0 refers to Section 8.3 of JESD204B. CF is always 0 on this device.	0x0	R
0x40B	RES1_REG	[7:0]	RES1_RD		lane0 上接收到的 ILAS 配置。预留字段 1。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。 ILAS configuration received on lane 0. Reserved field 1. The link information received on lane 0 refers to Section 8.3 of JESD204B.	0x0	R
0x40C	RES2_REG	[7:0]	RES2_RD		lane0 上接收到的 ILAS 配置。预留字段 2。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。 ILAS configuration received on lane 0. Reserved field 2. The link information received on lane 0 refers to Section 8.3 of JESD204B.	0x0	R
0x40D	CHECKSUM0_REG	[7:0]	LL_FCHK0		lane0 在 ILAS 期间接收到的校验和。lane0 的校验和。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。 Checksum received on lane 0 during ILAS. Checksum of lane 0. The link information received on lane 0 refers to Section 8.3 of JESD204B.	0x0	R
0x40E	COMPSUM0_REG	[7:0]	LL_FCMP0		计算 lane0 上的校验和。JESD204B Rx 按照 JESD204B 的第 8.3 节的规定，计算 lane0 接收到的链路信息的校验和。计算方法由 CHECKSUM_MODE 位设置（寄存器 0x300，位 6），并且必须与寄存器 0x40D 中同样计算出的校验和相匹配。 Compute the checksum on lane 0. The JESD204B Rx computes the checksum of the link information received on lane 0 per Section 8.3 of JESD204B. The calculation method is set by the CHECKSUM_MODE bit (register 0x300, bit 6) and must match the likewise-computed checksum in register 0x40D.	0x0	R
0x412	LID1_REG	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x412	LID1_REG	[4:0]	LL_LID1		lane1 接收到的 ILAS LID 配置。lane1 的 lane 标识。 ILAS LID configuration received on lane 1. Lane identifier of lane 1.	0x0	R
0x415	CHECKSUM1_REG	[7:0]	LL_FCHK1		lane1 在 ILAS 期间接收到的校验和。 Checksum received on lane 1 during ILAS.	0x0	R
0x416	COMPSUM1_REG	[7:0]	LL_FCMP1		lane1 上计算出的校验和。 Computed checksum on lane 1.	0x0	R
0x41A	LID2_REG	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x41A	LID2_REG	[4:0]	LL_LID2		lane2 接收到的 ILAS LID 配置。lane2 的 lane 标识。 ILAS LID configuration received on lane 2. Lane identifier of lane 2.	0x0	R
0x41D						0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
	CHECKSUM2_REG	[7:0]	LL_FCHK2		lane2 在 ILAS 期间接收到的校验和。 Checksum received on lane 2 during ILAS.		
0x41E	COMPSUM2_REG	[7:0]	LL_FCMP2		lane2 上计算出的校验和。 Computed checksum on lane 2.	0x0	R
0x422	LID3_REG	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x422	LID3_REG	[4:0]	LL_LID3		lane3 接收到的 ILAS LID 配置。lane3 的 lane 标识。 ILAS LID configuration received on lane 3. Lane identifier of lane 3.	0x0	R
0x425	CHECKSUM3_REG	[7:0]	LL_FCHK3		lane3 在 ILAS 期间接收到的校验和。 Checksum received on lane 3 during ILAS.	0x0	R
0x426	COMPSUM3_REG	[7:0]	LL_FCMP3		lane3 上计算出的校验和。 Computed checksum on lane 3.	0x0	R
0x42A	LID4_REG	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x42A	LID4_REG	[4:0]	LL_LID4		lane4 接收到的 ILAS LID 配置。lane4 的 lane 标识。 ILAS LID configuration received on lane 4. Lane identifier of lane 4.	0x0	R
0x42D	CHECKSUM4_REG	[7:0]	LL_FCHK4		lane4 在 ILAS 期间接收到的校验和。 Checksum received on lane 4 during ILAS.	0x0	R
0x42E	COMPSUM4_REG	[7:0]	LL_FCMP4		lane4 上计算出的校验和。 Computed checksum on lane 4.	0x0	R
0x432	LID5_REG	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x432	LID5_REG	[4:0]	LL_LID5		lane5 接收到的 ILAS LID 配置。lane5 的 lane 标识。 ILAS LID configuration received on lane 5. Lane identifier of lane 5.	0x0	R
0x435	CHECKSUM5_REG	[7:0]	LL_FCHK5		lane5 在 ILAS 期间接收到的校验和。 Checksum received on lane 5 during ILAS.	0x0	R
0x436	COMPSUM5_REG	[7:0]	LL_FCMP5		lane5 上计算出的校验和。 Computed checksum on lane 5.	0x0	R
0x43A	LID6_REG	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x43A	LID6_REG	[4:0]	LL_LID6		lane6 接收到的 ILAS LID 配置。lane6 的 lane 标识。 ILAS LID configuration received on lane 6. Lane identifier of lane 6.	0x0	R
0x43D	CHECKSUM6_REG	[7:0]	LL_FCHK6		lane6 在 ILAS 期间接收到的校验和。 Checksum received on lane 6 during ILAS.	0x0	R
0x43E	COMPSUM6_REG	[7:0]	LL_FCMP6		lane6 上计算出的校验和。 Computed checksum on lane 6.	0x0	R
0x442	LID7_REG	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x442	LID7_REG	[4:0]	LL_LID7			0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					lane7 接收到的 ILAS LID 配置。lane7 的 lane 标识。 ILAS LID configuration received on lane 7. Lane identifier of lane 7.		
0x445	CHECKSUM7_REG	[7:0]	LL_FCHK7		lane7 在 ILAS 期间接收到的校验和。 Checksum received on lane 7 during ILAS.	0x0	R
0x446	COMPSUM7_REG	[7:0]	LL_FCMP7		lane7 上计算出的校验和。 Computed checksum on lane 7.	0x0	R
0x450	ILS_DID	[7:0]	DID		器件（链路）识别号。DID 是器件 ID 号。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。必须设置为在寄存器 0x400 中读取的值。此信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作期间不得改变。 Device (link) identification number. DID is the device ID number. The link information received on lane 0 refers to Section 8.3 of JESD204B. Must be set to the value read in register 0x400. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x0	R/W
0x451	ILS_BID	[7:0]	BID		Bank ID，扩展到 DID。此信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作期间不得改变。 Bank ID, an extension of DID. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x0	R/W
0x452	ILS_LID0	7	RESERVED		保留。 Reserved.	0x0	R
0x452	ILS_LID0	6	ADJDIR		调节 DAC LMFC 的方向（仅限 Subclass2）。ADJDIR 用于调节 DAC LMFC 的方向。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。必须设置为在寄存器 0x400 中读取的值。此信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作期间不得改变。 Direction for adjusting the DAC LMFC (Subclass 2 only). ADJDIR adjusts the direction of the DAC LMFC. The link information received on lane 0 refers to Section 8.3 of JESD204B. Must be set to the value read in register 0x400. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x0	R/W
0x452	ILS_LID0	5	PHADJ		DAC 的相位调整（仅限 Subclass2）。PHADJ 用于调节 DAC 的相位。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。必须设置为在寄存器 0x400 中读取的值。此信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作期间不得改变。 DAC phase adjustment (Subclass 2 only). PHADJ adjusts the phase of the DAC. The link information received on lane 0 refers to Section 8.3 of JESD204B. Must be set to the value read in register 0x400. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x0	R/W
0x452	ILS_LID0		LID0			0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
		[4:0]			lane 识别号（链路内）。LID0 是 lane0 的 lane 识别号。lane 0 上接收到的链路信息参考 JESD204B 第 8.3 节的规定。必须设置为在寄存器 0x400 中读取的值。此信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作期间不得改变。 Lane identification number (within the link). LID0 is the lane identifier of lane 0. The link information received on lane 0 refers to Section 8.3 of JESD204B. Must be set to the value read in register 0x400. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.		
0x453	ILS_SCR_L	7	SCR	0 1	扰码使能。SCR 是 Rx 解扰使能。此信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作期间不得改变。0：不开启解扰。1：开启解扰。 Scrambling enable. SCR is the Rx descrambling enable. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation. 0: descrambling disabled. 1: descrambling enabled.	0x1	R/W
0x453	ILS_SCR_L	[6:5]	RESERVED		保留。 Reserved.	0x0	R
0x453	ILS_SCR_L	[4:0]	L		每个转换器的 lane 数（减 1）。L 是每个转换器的 lane 数。设置 1、2、3、4、6 或 8 时有效。请参考到表 2 和表 3。 Number of lanes per converter (minus 1). L is the number of lanes per converter. Settings of 1, 2, 3, 4, 6 or 8 are valid. Refer to Table 2 and Table 3.	0x7	R
0x454	ILS_F	[7:0]	F		每帧的八字节数（减 1）。此 F 值不用于软配置 QBD。寄存器 CTRLREG1 用于软配置 QBD。 Number of octets per frame (minus 1). This F value is not used for soft configuration of QBD. Register CTRLREG1 is used for soft configuration of QBD.	0x0	R
0x455	ILS_K	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x455	ILS_K	[4:0]	K	01111 11111	每多帧帧的帧数（减 1）。K 是每个多帧的帧数。在该器件上，所有模式都使用 K = 32（寄存器中的值为 K − 1）。该信号只能在 QBD 处于软复位（寄存器 0x475，位 3）时才可配置，在正常工作期间不得改变。01111：每多帧 16 帧。11111：每多帧 32 帧。 Number of frames per multiframe (minus 1). K is the number of frames per multiframe. On this device, all modes use K = 32 (the register value is K − 1). This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation. 01111: 16 frames per multiframe. 11111: 32 frames per multiframe.	0x1F	R/W
0x456	ILS_M	[7:0]	M		每个器件的转换器数（减 1）。M 是转换器的数量。1 和 2 的设置有效。参照表 2 和表 3。 Number of converters per device (minus 1). M is the number of converters. Settings of 1 and 2 are valid. Refer to Table 2 and Table 3.	0x1	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x457	ILS_CS_N	[7:6]	CS		每个样本的控制位数。必须设置为 0。 Number of control bits per sample. Must be set to 0.	0x0	R
0x457	ILS_CS_N	5	RESERVED		保留。 Reserved.	0x0	R
0x457	ILS_CS_N	[4:0]	N		转换器分辨率（减 1）。N 是转换器的分辨率。必须设置为 16（0x0F）。 Converter resolution (minus 1). N is the converter resolution. Must be set to 16 (0x0F).	0xF	R
0x458	ILS_NP	[7:5]	SUBCLASSV	0 1 10	器件 subclass 版本。SUBCLASSV 是器件 subclass 版本。该信号只能在 QBD 处于软复位（寄存器 0x475，位 3）时才可配置，在正常工作期间不得改变。0：Subclass0。1：Subclass1。10：Subclass2（不支持）。 Device subclass version. SUBCLASSV is the device subclass version. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation. 0: Subclass 0. 1: Subclass 1. 10: Subclass 2 (not supported).	0x0	R/W
0x458	ILS_NP	[4:0]	NP		每个样本的总位数（减去 1）。NP 为每个样本的总位数。必须设置为 16（0x0F）。参照表 2 和表 3。 Total number of bits per sample (minus 1). NP is the total number of bits per sample. Must be set to 16 (0x0F). Refer to Table 2 and Table 3.	0xF	R
0x459	ILS_S	[7:5]	JESDV	0 1	JESD204x 版本。JESDV 是 JESD204x 版本。该信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作期间不得改变。0：JESD204A。1：JESD204B。 JESD204x version. JESDV is the JESD204x version. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation. 0: JESD204A. 1: JESD204B.	0x0	R/W
0x459	ILS_S	[4:0]	S		每个转换器每帧周期的采样数（减 1）。S 是每个转换器每个帧周期的采样数。1 和 2 的设置是有效的。参照表 2 和表 3。 Number of samples per converter per frame (minus 1). S is the number of samples per converter per frame. Settings of 1 and 2 are valid. Refer to Table 2 and Table 3.	0x1	R
0x45A	ILS_HD_CF	7	HD	0 1	高密度格式。HD 是高密度模式。参照 JESD204B 标准的 5.1.3 节。0：低密度模式。1：高密度模式。 High-density format. HD is the high-density mode. Refer to Section 5.1.3 of the JESD204B standard. 0: low-density mode. 1: high-density mode.	0x1	R
0x45A	ILS_HD_CF	[6:5]	RESERVED		保留。 Reserved.	0x0	R
0x45A	ILS_HD_CF	[4:0]	CF		每个采样的控制位数。CF 是每帧时钟周期内每链路的控制字数。必须设置为 0，不支持控制位。 Control bits per sample. CF is the number of control words per link per frame clock. Must be set to 0; control bits are not supported.	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x45B	ILS_RES1	[7:0]	RES1		预留字段 1。此信号只能在 QBD 处于软复位（寄存器 0x475，位 3）状态时才可配置，在正常工作时不能改变。 Reserved field 1. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x0	R/W
0x45C	ILS_RES2	[7:0]	RES2		预留字段 2。此信号只能在 QBD 处于软复位（寄存器 0x475，位 3）状态时才可进行配置，并且在正常工作时不能改变。 Reserved field 2. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x0	R/W
0x45D	ILS_CHECKSUM	[7:0]	FCHK0		链路配置校验和。Lane0 检验和。写入寄存器 0x450 至寄存器 0x45C 的校验和必须根据 JESD204B 规范第 8.3 节计算出配置值的校验和 (SUM(DID,...,...,SC,L−1,...CF)%256)。该信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作期间不得改变。 Link configuration checksum. Lane 0 checksum. The checksum written to registers 0x450 through 0x45C must be the checksum of the configuration values computed per Section 8.3 of the JESD204B specification (SUM(DID,...,...,SC,L−1,...CF)%256). This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x0	R/W
0x46C	LANE_DESKEW	7	ILD7	0 1	lane7 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：deskew 失败。1：deskew 完成。 Interlane deskew status of lane 7 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.	0x0	R
0x46C	LANE_DESKEW	6	ILS6	0 1	lane6 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：deskew 失败。1：deskew 完成。 Interlane deskew status of lane 6 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.	0x0	R
0x46C	LANE_DESKEW	5	ILD5	0 1	lane5 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：deskew 失败。1：deskew 完成。 Interlane deskew status of lane 5 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.	0x0	R
0x46C	LANE_DESKEW	4	ILD4	0 1	lane4 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：deskew 失败。1：deskew 完成。 Interlane deskew status of lane 4 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.	0x0	R
0x46C	LANE_DESKEW	3	ILD3	0 1	lane3 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：deskew 失败。1：deskew 完成。 Interlane deskew status of lane 3 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.	0x0	R
0x46C		2	ILD2		lane2 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：deskew 失败。1：deskew 完成。	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
	LANE_DESKEW			0 1	Interlane deskew status of lane 2 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.		
0x46C	LANE_DESKEW	1	ILD1	0 1	lane1 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：deskew 失败。1：deskew 完成。 Interlane deskew status of lane 1 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.	0x0	R
0x46C	LANE_DESKEW	0	ILD0	0 1	lane0 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：deskew 失败。1：deskew 完成。 Interlane deskew status of lane 0 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x46D	BAD_DISPARITY	7	BDE7	0 1	lane7 的 bad disparity error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0]值。 Bad disparity error status of lane 7. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46D	BAD_DISPARITY	6	BDE6	0 1	lane6 的 bad disparity error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0]值。 Bad disparity error status of lane 6. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46D	BAD_DISPARITY	5	BDE5	0 1	lane5 的 bad disparity error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0]值。 Bad disparity error status of lane 5. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46D	BAD_DISPARITY	4	BDE4	0 1	lane4 的 bad disparity error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0]值。 Bad disparity error status of lane 4. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46D	BAD_DISPARITY	3	BDE3	0 1	lane3 的 bad disparity error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0]值。 Bad disparity error status of lane 3. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46D	BAD_DISPARITY	2	BDE2	0 1	lane2 的 bad disparity error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0]值。 Bad disparity error status of lane 2. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46D	BAD_DISPARITY	1	BDE1	0 1	lane1 的 bad disparity error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0]值。 Bad disparity error status of lane 1. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46D	BAD_DISPARITY	0	BDE0	0 1	lane0 的 bad disparity error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0]值。	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					Bad disparity error status of lane 0. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].		
0x46E	NOT_IN_TABLE	7	NIT7	0 1	lane7 的 not in table error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0] 值。 Not-in-table error status of lane 7. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46E	NOT_IN_TABLE	6	NIT6	0 1	lane6 的 not in table error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0] 值。 Not-in-table error status of lane 6. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46E	NOT_IN_TABLE	5	NIT5	0 1	lane5 的 not in table error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0] 值。 Not-in-table error status of lane 5. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46E	NOT_IN_TABLE	4	NIT4	0 1	lane4 的 not in table error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0] 值。 Not-in-table error status of lane 4. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46E	NOT_IN_TABLE	3	NIT3	0 1	lane3 的 not in table error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0] 值。 Not-in-table error status of lane 3. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46E	NOT_IN_TABLE	2	NIT2	0 1	lane2 的 not in table error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0] 值。 Not-in-table error status of lane 2. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46E	NOT_IN_TABLE	1	NIT1	0 1	lane1 的 not in table error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0] 值。 Not-in-table error status of lane 1. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46E	NOT_IN_TABLE	0	NIT0	0 1	lane0 的 not in table error 状态。0：错误数量 < ETH[7:0] 值。1：错误数量 ≥ ETH[7:0] 值。 Not-in-table error status of lane 0. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46F	UNEXPECTED_KCHAR	7	UEK7	0 1	lane7 的 unexpected K character error 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ ETH[7:0] 值。 Unexpected K character error status of lane 7. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46F	UNEXPECTED_KCHAR	6	UEK6	0 1	lane6 的 unexpected K character error 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ ETH[7:0] 值。 Unexpected K character error status of lane 6. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46F	UNEXPECTED_KCHAR	5	UEK5	0 1	lane5 的 unexpected K character error 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ ETH[7:0] 值。 Unexpected K character error status of lane 5. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x46F		4	UEK4		lane4 的 unexpected K character error 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ ETH[7:0] 值。	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
	UNEXPECTED_KCHAR			0 1	Unexpected K character error status of lane 4. 0: error count < ETH[7:0]. 1: error count ⩾ ETH[7:0].		
0x46F	UNEXPECTED_KCHAR	3	UEK3	0 1	lane3 的 unexpected K character error 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ⩾ ETH[7:0] 值。 Unexpected K character error status of lane 3. 0: error count < ETH[7:0]. 1: error count ⩾ ETH[7:0].	0x0	R
0x46F	UNEXPECTED_KCHAR	2	UEK2	0 1	lane2 的 unexpected K character error 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ⩾ ETH[7:0] 值。 Unexpected K character error status of lane 2. 0: error count < ETH[7:0]. 1: error count ⩾ ETH[7:0].	0x0	R
0x46F	UNEXPECTED_KCHAR	1	UEK1	0 1	lane1 的 unexpected K character error 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ⩾ ETH[7:0] 值。 Unexpected K character error status of lane 1. 0: error count < ETH[7:0]. 1: error count ⩾ ETH[7:0].	0x0	R
0x46F	UNEXPECTED_KCHAR	0	UEK0	0 1	lane0 的 unexpected K character error 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ⩾ ETH[7:0] 值。 Unexpected K character error status of lane 0. 0: error count < ETH[7:0]. 1: error count ⩾ ETH[7:0].	0x0	R
0x470	CODE_GRP_SYNC	7	CGS7	0 1	lane7 的码组同步（code group sync）状态。0：同步丢失。1：同步实现。 Code group sync status of lane 7. 0: sync lost. 1: sync achieved.	0x0	R
0x470	CODE_GRP_SYNC	6	CGS6	0 1	lane6 的码组同步（code group sync）状态。0：同步丢失。1：同步实现。 Code group sync status of lane 6. 0: sync lost. 1: sync achieved.	0x0	R
0x470	CODE_GRP_SYNC	5	CGS5	0 1	lane5 的码组同步（code group sync）状态。0：同步丢失。1：同步实现。 Code group sync status of lane 5. 0: sync lost. 1: sync achieved.	0x0	R
0x470	CODE_GRP_SYNC	4	CGS4	0 1	lane4 的码组同步（code group sync）状态。0：同步丢失。1：同步实现。 Code group sync status of lane 4. 0: sync lost. 1: sync achieved.	0x0	R
0x470	CODE_GRP_SYNC	3	CGS3	0 1	lane3 的码组同步（code group sync）状态。0：同步丢失。1：同步实现。 Code group sync status of lane 3. 0: sync lost. 1: sync achieved.	0x0	R
0x470	CODE_GRP_SYNC	2	CGS2	0 1	lane2 的码组同步（code group sync）状态。0：同步丢失。1：同步实现。 Code group sync status of lane 2. 0: sync lost. 1: sync achieved.	0x0	R
0x470	CODE_GRP_SYNC	1	CGS1	0 1	lane1 的码组同步（code group sync）状态。0：同步丢失。1：同步实现。 Code group sync status of lane 1. 0: sync lost. 1: sync achieved.	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x470	CODE_GRP_SYNC	0	CGS0	0 1	lane0 的码组同步（code group sync）状态。0：同步丢失。1：同步实现。 Code group sync status of lane 0. 0: sync lost. 1: sync achieved.	0x0	R
0x471	FRAME_SYNC	7	FS7	0 1	lane7 的帧同步（frame sync）状态。0：同步丢失。1：同步实现。 Frame sync status of lane 7. 0: sync lost. 1: sync achieved.	0x0	R
0x471	FRAME_SYNC	6	FS6	0 1	lane6 的帧同步（frame sync）状态。0：同步丢失。1：同步实现。 Frame sync status of lane 6. 0: sync lost. 1: sync achieved.	0x0	R
0x471	FRAME_SYNC	5	FS5	0 1	lane5 的帧同步（frame sync）状态。0：同步丢失。1：同步实现。 Frame sync status of lane 5. 0: sync lost. 1: sync achieved.	0x0	R
0x471	FRAME_SYNC	4	FS4	0 1	lane4 的帧同步（frame sync）状态。0：同步丢失。1：同步实现。 Frame sync status of lane 4. 0: sync lost. 1: sync achieved.	0x0	R
0x471	FRAME_SYNC	3	FS3	0 1	lane3 的帧同步（frame sync）状态。0：同步丢失。1：同步实现。 Frame sync status of lane 3. 0: sync lost. 1: sync achieved.	0x0	R
0x471	FRAME_SYNC	2	FS2	0 1	lane2 的帧同步（frame sync）状态。0：同步丢失。1：同步实现。 Frame sync status of lane 2. 0: sync lost. 1: sync achieved.	0x0	R
0x471	FRAME_SYNC	1	FS1	0 1	lane1 的帧同步（frame sync）状态。0：同步丢失。1：同步实现。 Frame sync status of lane 1. 0: sync lost. 1: sync achieved.	0x0	R
0x471	FRAME_SYNC	0	FS0	0 1	lane0 的帧同步（frame sync）状态。0：同步丢失。1：同步实现。 Frame sync status of lane 0. 0: sync lost. 1: sync achieved.	0x0	R
0x472	GOOD_CHECKSUM	7	CKS7	0 1	lane7 计算校验和（checksum）的状态（当 NO_ILAS = 1 时，忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum calculation status of lane 7 (ignore this output when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.	0x0	R
0x472	GOOD_CHECKSUM	6	CKS6	0 1	lane6 计算校验和（checksum）的状态（当 NO_ILAS = 1 时，忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum calculation status of lane 6 (ignore this output when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.	0x0	R
0x472	GOOD_CHECKSUM	5	CKS5	0 1	lane5 计算校验和（checksum）的状态（当 NO_ILAS = 1 时，忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum calculation status of lane 5 (ignore this output when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.	0x0	R
0x472	GOOD_CHECKSUM	4	CKS4	0 1	lane4 计算校验和（checksum）的状态（当 NO_ILAS = 1 时，忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum calculation status of lane 4 (ignore this output	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.		
0x472	GOOD_CHECKSUM	3	CKS3	0 1	lane3 计算校验和（checksum）的状态（当 NO_ILAS = 1 时，忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum calculation status of lane 3 (ignore this output when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.	0x0	R
0x472	GOOD_CHECKSUM	2	CKS2	0 1	lane2 计算校验和（checksum）的状态（当 NO_ILAS = 1 时，忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum calculation status of lane 2 (ignore this output when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.	0x0	R
0x472	GOOD_CHECKSUM	1	CKS1	0 1	lane1 计算校验和（checksum）的状态（当 NO_ILAS = 1 时，忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum calculation status of lane 1 (ignore this output when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.	0x0	R
0x472	GOOD_CHECKSUM	0	CKS0	0 1	lane0 计算校验和（checksum）的状态（当 NO_ILAS = 1 时，忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum calculation status of lane 0 (ignore this output when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.	0x0	R
0x473	INIT_LANE_SYNC	7	ILS7	0 1	lane7 的 initial lane sync 状态（当 NO_ILAS = 1 时，忽略此输出）。0：同步丢失。1：同步完成。 Initial lane sync status of lane 7 (ignore this output when NO_ILAS = 1). 0: sync lost. 1: sync complete.	0x0	R
0x473	INIT_LANE_SYNC	6	ILS6	0 1	lane6 的 initial lane sync 状态（当 NO_ILAS = 1 时，忽略此输出）。0：同步丢失。1：同步完成。 Initial lane sync status of lane 6 (ignore this output when NO_ILAS = 1). 0: sync lost. 1: sync complete.	0x0	R
0x473	INIT_LANE_SYNC	5	ILS5	0 1	lane5 的 initial lane sync 状态（当 NO_ILAS = 1 时，忽略此输出）。0：同步丢失。1：同步完成。 Initial lane sync status of lane 5 (ignore this output when NO_ILAS = 1). 0: sync lost. 1: sync complete.	0x0	R
0x473	INIT_LANE_SYNC	4	ILS4	0 1	lane4 的 initial lane sync 状态（当 NO_ILAS = 1 时，忽略此输出）。0：同步丢失。1：同步完成。 Initial lane sync status of lane 4 (ignore this output when NO_ILAS = 1). 0: sync lost. 1: sync complete.	0x0	R
0x473	INIT_LANE_SYNC	3	ILS3	0 1	lane3 的 initial lane sync 状态（当 NO_ILAS = 1 时，忽略此输出）。0：同步丢失。1：同步完成。 Initial lane sync status of lane 3 (ignore this output when NO_ILAS = 1). 0: sync lost. 1: sync complete.	0x0	R
0x473	INIT_LANE_SYNC	2	ILS2	0 1	lane2 的 initial lane sync 状态（当 NO_ILAS = 1 时，忽略此输出）。0：同步丢失。1：同步完成。 Initial lane sync status of lane 2 (ignore this output when NO_ILAS = 1). 0: sync lost. 1: sync complete.	0x0	R
0x473	INIT_LANE_SYNC	1	ILS1	0 1	lane1 的 initial lane sync 状态（当 NO_ILAS = 1 时，忽略此输出）。0：同步丢失。1：同步完成。	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					Initial lane sync status of lane 1 (ignore this output when NO_ILAS = 1). 0: sync lost. 1: sync complete.		
0x473	INIT_LANE_SYNC	0	ILS0	0 1	lane0 的 initial lane sync 状态（当 NO_ILAS = 1 时，忽略此输出）。0：同步丢失。1：同步完成。 Initial lane sync status of lane 0 (ignore this output when NO_ILAS = 1). 0: sync lost. 1: sync complete.	0x0	R
0x475	CTRLREG0	7	RX_DIS		此输入=1 时，禁用解帧接收器。此信号只能在 QBD 保持在软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作期间不得改变。 When this input = 1, disable the deframer receiver. This signal can only be configured while QBD is held in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x0	R/W
0x475	CTRLREG0	6	CHAR_REPL_DIS	1 0	此输入=1 时，帧/多帧末尾的字符替换被禁用。该信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可以编程，在正常工作时不能改变。1：禁止替换在接收到的帧和多帧末尾的/A/和/F/控制字符。0：启用替换功能。 When this input = 1, character replacement at the end of frames/multiframes is disabled. This signal can only be programmed while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation. 1: prohibit replacement of /A/ and /F/ control characters at the end of received frames and multiframes. 0: enable the replacement function.	0x0	R/W
0x475	CTRLREG0	[5:4]	RESERVED		保留。 Reserved.	0x0	R
0x475	CTRLREG0	3	SOFTRST	1 0	软复位。高有效同步复位。将所有硬件复位到开机状态。1：禁用解帧器接收。0：启用解帧器逻辑。 Soft reset. Active-high synchronous reset. Resets all hardware to the power-on state. 1: disable the deframer receiver. 0: enable the deframer logic.	0x0	R/W
0x475	CTRLREG0	2	FORCESYNCREQ		来自应用程序的指令，提出同步请求 (SYNCOUT)。高有效。 Instruction from the application requesting synchronization (SYNCOUT). Active high.	0x0	R/W
0x475	CTRLREG0	1	RESERVED		保留。 Reserved.	0x0	R
0x475	CTRLREG0	0	REPL_FRM_ENA		输入高时，允许替换接收到的错误的帧。该信号只能在 QBD 处于软复位状态时（寄存器 0x475，位 3）配置，在正常工作时不能改变。 When input is high, allow replacement of received erroneous frames. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x1	R/W
0x476	CTRLREG1	[7:5]	RESERVED		保留。 Reserved.	0x0	R
0x476	CTRLREG1	4	QUAL_RDERR	0 1	并发的 NIT 和 RD 错误报告行为。该信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时配置，在正常工作时不能改变。0：NIT 对 RD 错误没有影响。1：NIT 错误掩盖了并发的 RD 错误。	0x1	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					Concurrent NIT and RD error reporting behavior. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation. 0: NIT has no effect on RD errors. 1: NIT errors mask concurrent RD errors.		
0x476	CTRLREG1	3	DEL_SCR	1 0	备用解扰启用控制（见 JESD204B 章节 5.2.4）。该信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作时不能改变。1：从用户数据的 Octet 2 开始解扰。0：从用户数据的 Octet 0 开始解扰。这是最常用的用法。 Alternate descrambling enable control (see JESD204B Section 5.2.4). This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation. 1: descramble starting from Octet 2 of user data. 0: descramble starting from Octet 0 of user data. This is the most commonly used setting.	0x0	R/W
0x476	CTRLREG1	2	CGS_SEL	0 1	确定码组同步后的 QBD 行为。该信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时进行配置，在正常工作时不能改变。0：在实现码组同步后，QBD 只有在出现足够多的 disparity error 时才会根据 JESD204B 标准发出 SYNCOUT 信号。1：在实现码组同步后，如果/K/后面有一个/R/或/K/以外的字符，QBD 会发出 SYNCOUT 信号。 Determine QBD behavior after code group synchronization. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation. 0: after achieving code group sync, QBD issues a SYNCOUT signal per the JESD204B standard only when enough disparity errors occur. 1: after achieving code group sync, QBD issues a SYNCOUT signal if a character other than /R/ or /K/ follows /K/.	0x1	R/W
0x476	CTRLREG1	1	NO_ILAS	1 0	该信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时进行编程，在正常工作时不能改变。1：对于单个 lane 模式，ILAS 被忽略。码组同步后是用户数据。0：码组同步后是 ILAS。对于多个 lane 模式，NO_ILAS 必须始终设置为 0。 This signal can only be programmed while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation. 1: for single-lane mode, ILAS is ignored; user data follows code group sync. 0: ILAS follows code group sync. For multi-lane modes, NO_ILAS must always be set to 0.	0x0	R/W
0x476	CTRLREG1	0	FCHK_N	0 1	校验和计算方法。该信号只能在 QBD 保持在软复位状态时（寄存器 0x475，位 3）才可配置，在正常工作时不能改变。0：通过对各个字段进行求和来计算校验和（这与 JESD204B 标准中的校验和字段的定义更接近）。1：通过对包含打包好的字段的寄存器进行求和计算校验和（此设置是在其他厂商的帧发生器使用此方法进行计算时提供的）。 Checksum calculation method. This signal can only be configured while QBD is held in soft reset (register 0x475, bit 3) and must not be changed during normal operation. 0: compute the checksum by summing the individual fields (this is closer to the definition of the checksum field in the JESD204B standard). 1: compute the checksum by summing registers containing packed fields (this setting is	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					provided when other vendors' frame generators use this method).		
0x477	CTRLREG2	7	ILS_MODE	0 1	数据链路层测试模式。此信号只能在 QBD 保持在软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作时不得改变。0：正常模式。1：码组同步模式后一直是 ILAS 序列。 Data link layer test mode. This signal can only be configured while QBD is held in soft reset (register 0x475, bit 3) and must not be changed during normal operation. 0: normal mode. 1: always the ILAS sequence after code group sync mode.	0x0	R/W
0x477	CTRLREG2	6	RESERVED		保留。 Reserved.	0x0	R
0x477	CTRLREG2	5	REPDATATEST		重复数据测试启用，使用 JTSPAT 格式。该信号只能在 QBD 处于软复位状态时（寄存器 0x475，位 3）配置，在正常工作时不能改变。 Repeat data test enable, using the JTSPAT format. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x0	R/W
0x477	CTRLREG2	4	QUETESTERR	0 1	队列测试错误模式（queue test error mode）。该信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作时不能改变。0：多个通道上同时发生的错误作为一个错误报告。1：所有通道上检测到的错误存在一个计数器中，并依次在 SYNCOUT 上发出信号。 Queue test error mode. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation. 0: errors occurring simultaneously on multiple lanes are reported as one error. 1: errors detected on all lanes are kept in one counter and signaled sequentially on SYNCOUT.	0x0	R/W
0x477	CTRLREG2	3	AR_ECNTR		错误计数器自动复位。当 AR_ECNTR = 1 时，导致 SYNCOUT 申请的错误计数器自动复位为 0。所有其他计数器不受影响。此信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作时不能改变。 Error counter auto-reset. When AR_ECNTR = 1, the error counter causing the SYNCOUT request is automatically reset to 0. All other counters are unaffected. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x0	R/W
0x477	CTRLREG2	[2:0]	RESERVED		保留。 Reserved.	0x0	R
0x478	KVAL	[7:0]	KSYNC		ILS 期间的多帧数（4×K）。该信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作期间不得更改。 Number of multiframes during ILAS (4×K). This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x1	R/W
0x47C			ETH			0xFF	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
	ERRORTHRES	[7:0]			错误阈值。对 BDE、NIT 和 UEK 错误进行计数，并与错误阈值进行比较。当计数相等时，根据 MASK 寄存器的设置，要么产生一个 IRQ，要么发出 SYNCOUT±信号，要么两者都有。功能使用于所有通道。该信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时进行配置，在正常工作期间不得改变。 Error threshold. Counts BDE, NIT and UEK errors and compares against the error threshold. When the count is equal, either an IRQ is generated, a SYNCOUT± signal is issued, or both, per the MASK register settings. The function applies to all lanes. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.		
0x47D	SYNC_ASSERT_MASK	[7:3]	RESERVED		保留。 Reserved.	0x0	R
0x47D	SYNC_ASSERT_MASK	[2:0]	SYNC_ASSERT_MASK		BDE、NIT 和 UEK 错误的 SYNCOUT 请求使能控制。高有效，分别用于 BD、NIT 和 UEK 错误条件下的 SYNCOUT 请求使能。当任何一个错误计数器，在任意 lane 中，错误计数器达到错误阈值计数 ETH[7:0]，且相应的 SYNC_ASSERT_MASK 位置 1 时，发送 SYNCOUT 请求。mask 位描述如下。注意，位顺序与其他错误计数控制和错误计数器的位顺序相反。位 2 = BDE。位 1 = NIT。位 0 = UEK。 SYNCOUT request enable control for BDE, NIT and UEK errors. Active high; enables SYNCOUT requests for BD, NIT and UEK error conditions respectively. When any error counter, in any lane, reaches the error threshold count ETH[7:0] and the corresponding SYNC_ASSERT_MASK bit is set to 1, a SYNCOUT request is sent. The mask bits are described as follows. Note that the bit order is reversed relative to the other error count controls and error counters. Bit 2 = BDE. Bit 1 = NIT. Bit 0 = UEK.	0x7	R/W
0x480	ECNT_CTRL0	[7:6]	RESERVED		保留。 Reserved.	0x0	R
0x480	ECNT_CTRL0	[5:3]	ECNT_ENA0		lane0 的错误计数器使能控制，各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter enable control for lane 0; the counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W
0x480	ECNT_CTRL0	[2:0]	ECNT_RST0		lane0 的错误计数器复位使能控制，高电平有效。各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter reset enable control for lane 0, active high. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W
0x481	ECNT_CTRL1	[7:6]	RESERVED		保留。 Reserved.	0x0	R
0x481	ECNT_CTRL1	[5:3]	ECNT_ENA1		lane1 的错误计数器使能控制，各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter enable control for lane 1; the counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x481	ECNT_CTRL1	[2:0]	ECNT_RST1		lane1 的错误计数器复位使能控制，高电平有效。各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter reset enable control for lane 1, active high. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W
0x482	ECNT_CTRL2	[7:6]	RESERVED		保留。 Reserved.	0x0	R
0x482	ECNT_CTRL2	[5:3]	ECNT_ENA2		lane2 的错误计数器使能控制，各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter enable control for lane 2; the counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W
0x482	ECNT_CTRL2	[2:0]	ECNT_RST2		lane2 的错误计数器复位使能控制，高电平有效。各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter reset enable control for lane 2, active high. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W
0x483	ECNT_CTRL3	[7:6]	RESERVED		保留。 Reserved.	0x0	R
0x483	ECNT_CTRL3	[5:3]	ECNT_ENA3		lane3 的错误计数器使能控制，各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter enable control for lane 3; the counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W
0x483	ECNT_CTRL3	[2:0]	ECNT_RST3		lane3 的错误计数器复位使能控制，高电平有效。各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter reset enable control for lane 3, active high. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W
0x484	ECNT_CTRL4	[7:6]	RESERVED		保留。 Reserved.	0x0	R
0x484	ECNT_CTRL4	[5:3]	ECNT_ENA4		lane4 的错误计数器使能控制，各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter enable control for lane 4; the counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W
0x484	ECNT_CTRL4	[2:0]	ECNT_RST4		lane4 的错误计数器复位使能控制，高电平有效。各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter reset enable control for lane 4, active high. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W
0x485	ECNT_CTRL5	[7:6]	RESERVED		保留。 Reserved.	0x0	R
0x485	ECNT_CTRL5	[5:3]	ECNT_ENA5		lane5 的错误计数器使能控制，各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter enable control for lane 5; the counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x485	ECNT_CTRL5	[2:0]	ECNT_RST5		lane5 的错误计数器复位使能控制，高电平有效。各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter reset enable control for lane 5, active high. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W
0x486	ECNT_CTRL6	[7:6]	RESERVED		保留。 Reserved.	0x0	R
0x486	ECNT_CTRL6	[5:3]	ECNT_ENA6		lane6 的错误计数器使能控制，各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter enable control for lane 6; the counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W
0x486	ECNT_CTRL6	[2:0]	ECNT_RST6		lane6 的错误计数器复位使能控制，高电平有效。各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter reset enable control for lane 6, active high. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W
0x487	ECNT_CTRL7	[7:6]	RESERVED		保留。 Reserved.	0x0	R
0x487	ECNT_CTRL7	[5:3]	ECNT_ENA7		lane7 的错误计数器使能控制，各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter enable control for lane 7; the counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W
0x487	ECNT_CTRL7	[2:0]	ECNT_RST7		lane7 的错误计数器复位使能控制，高电平有效。各 lane 的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Error counter reset enable control for lane 7, active high. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x7	R/W
0x488	ECNT_TCH0	[7:3]	RESERVED		保留。 Reserved.	0x0	R
0x488	ECNT_TCH0	[2:0]	ECNT_TCH0		lane0 错误计数器保持使能控制。当设为 1 时，指定的计数器将在达到最大值 0xFF 后保持，直到用户将计数器复位。设为 0 时，指定的计数器会翻转（roll over）。每个通道的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。此信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作时不得改变。 Lane 0 error counter hold enable control. When set to 1, the specified counter holds after reaching the maximum value 0xFF until the user resets the counter. When set to 0, the specified counter rolls over. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x7	R/W
0x489	ECNT_TCH1	[7:3]	RESERVED		保留。 Reserved.	0x0	R
0x489						0x7	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
	ECNT_TCH1	[2:0]	ECNT_TCH1		lane1 错误计数器保持使能控制。当设为 1 时，指定的计数器将在达到最大值 0xFF 后保持，直到用户将计数器复位。设为 0 时，指定的计数器会翻转（roll over）。每个通道的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。此信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作时不得改变。 Lane 1 error counter hold enable control. When set to 1, the specified counter holds after reaching the maximum value 0xFF until the user resets the counter. When set to 0, the specified counter rolls over. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.		
0x48A	ECNT_TCH2	[7:3]	RESERVED		保留。 Reserved.	0x0	R
0x48A	ECNT_TCH2	[2:0]	ECNT_TCH2		lane2 错误计数器保持使能控制。当设为 1 时，指定的计数器将在达到最大值 0xFF 后保持，直到用户将计数器复位。设为 0 时，指定的计数器会翻转（roll over）。每个通道的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。此信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作时不得改变。 Lane 2 error counter hold enable control. When set to 1, the specified counter holds after reaching the maximum value 0xFF until the user resets the counter. When set to 0, the specified counter rolls over. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x7	R/W
0x48B	ECNT_TCH3	[7:3]	RESERVED		保留。 Reserved.	0x0	R
0x48B	ECNT_TCH3	[2:0]	ECNT_TCH3		lane3 错误计数器保持使能控制。当设为 1 时，指定的计数器将在达到最大值 0xFF 后保持，直到用户将计数器复位。设为 0 时，指定的计数器会翻转（roll over）。每个通道的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。此信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作时不得改变。 Lane 3 error counter hold enable control. When set to 1, the specified counter holds after reaching the maximum value 0xFF until the user resets the counter. When set to 0, the specified counter rolls over. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x7	R/W
0x48C	ECNT_TCH4	[7:3]	RESERVED		保留。 Reserved.	0x0	R
0x48C	ECNT_TCH4	[2:0]	ECNT_TCH4		lane4 错误计数器保持使能控制。当设为 1 时，指定的计数器将在达到最大值 0xFF 后保持，直到用户将计数器复位。设为 0 时，指定的计数器会翻转（roll over）。每个通道的计数器的	0x7	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。此信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作时不得改变。 Lane 4 error counter hold enable control. When set to 1, the specified counter holds after reaching the maximum value 0xFF until the user resets the counter. When set to 0, the specified counter rolls over. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.		
0x48D	ECNT_TCH5	[7:3]	RESERVED		保留。 Reserved.	0x0	R
0x48D	ECNT_TCH5	[2:0]	ECNT_TCH5		lane5 错误计数器保持使能控制。当设为 1 时，指定的计数器将在达到最大值 0xFF 后保持，直到用户将计数器复位。设为 0 时，指定的计数器会翻转（roll over）。每个通道的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。此信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作时不得改变。 Lane 5 error counter hold enable control. When set to 1, the specified counter holds after reaching the maximum value 0xFF until the user resets the counter. When set to 0, the specified counter rolls over. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x7	R/W
0x48E	ECNT_TCH6	[7:3]	RESERVED		保留。 Reserved.	0x0	R
0x48E	ECNT_TCH6	[2:0]	ECNT_TCH6		lane6 错误计数器保持使能控制。当设为 1 时，指定的计数器将在达到最大值 0xFF 后保持，直到用户将计数器复位。设为 0 时，指定的计数器会翻转（roll over）。每个通道的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。此信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作时不得改变。 Lane 6 error counter hold enable control. When set to 1, the specified counter holds after reaching the maximum value 0xFF until the user resets the counter. When set to 0, the specified counter rolls over. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.	0x7	R/W
0x48F	ECNT_TCH7	[7:3]	RESERVED		保留。 Reserved.	0x0	R
0x48F	ECNT_TCH7	[2:0]	ECNT_TCH7		lane7 错误计数器保持使能控制。当设为 1 时，指定的计数器将在达到最大值 0xFF 后保持，直到用户将计数器复位。设为 0 时，指定的计数器会翻转（roll over）。每个通道的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。此信号只能在 QBD 处于软复位状态（寄存器 0x475，位 3）时才可配置，在正常工作时不得改变。	0x7	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					Lane 7 error counter hold enable control. When set to 1, the specified counter holds after reaching the maximum value 0xFF until the user resets the counter. When set to 0, the specified counter rolls over. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE. This signal can only be configured while QBD is in soft reset (register 0x475, bit 3) and must not be changed during normal operation.		
0x490	ECNT_STAT0	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x490	ECNT_STAT0	3	LANE_ENA0	0 1	lane0 是否启用指示信号。0：lane0 保持在软复位状态。1：lane0 已启用。 Lane 0 enable indicator. 0: lane 0 held in soft reset. 1: lane 0 enabled.	0x0	R
0x490	ECNT_STAT0	[2:0]	ECNT_TCR0		lane0 错误计数器达到最大值指示信号。1 表示指定的计数器达到最大值 0xFF。每个通道的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Lane 0 error counter reached-maximum indicator. 1 indicates the specified counter reached the maximum value 0xFF. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x0	R
0x491	ECNT_STAT1	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x491	ECNT_STAT1	3	LANE_ENA1	0 1	lane1 是否启用指示信号。0：lane0 保持在软复位状态。1：lane0 已启用。 Lane 1 enable indicator. 0: lane 0 held in soft reset. 1: lane 0 enabled.	0x0	R
0x491	ECNT_STAT1	[2:0]	ECNT_TCR1		lane1 错误计数器达到最大值指示信号。1 表示指定的计数器达到最大值 0xFF。每个通道的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Lane 1 error counter reached-maximum indicator. 1 indicates the specified counter reached the maximum value 0xFF. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x0	R
0x492	ECNT_STAT2	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x492	ECNT_STAT2	3	LANE_ENA2	0 1	lane2 是否启用指示信号。0：lane2 保持在软复位状态。1：lane2 已启用。 Lane 2 enable indicator. 0: lane 2 held in soft reset. 1: lane 2 enabled.	0x0	R
0x492	ECNT_STAT2	[2:0]	ECNT_TCR2		lane2 错误计数器达到最大值指示信号。1 表示指定的计数器达到最大值 0xFF。每个通道的计数器的地址如下：位 2 = 意外的 K（UEK）字符错误。位 1 = 不在表内错误(NIT)。位 0 = 差分差错误 (BDE)。 Lane 2 error counter reached-maximum indicator. 1 indicates the specified counter reached the maximum value 0xFF. The counter addresses for each lane are as follows: bit 2 = unexpected K (UEK) character error, bit 1 = not-in-table (NIT) error, bit 0 = bad disparity (BDE) error.	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x493	ECNT_STAT3	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x493	ECNT_STAT3	3	LANE_ENA3	0 1	lane3 是否启用指示信号。0：lane3 保持在软复位状态。1：lane3 已启用。 Lane 3 enable indicator. 0: lane 3 held in soft reset. 1: lane 3 enabled.	0x0	R
0x493	ECNT_STAT3	[2:0]	ECNT_TCR3		lane3 错误计数器达到最大值指示信号。1 表示指定的计数器达到最大值 0xFF。每个通道的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Lane 3 error counter reached-maximum indicator. 1 indicates the specified counter reached the maximum value 0xFF. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x0	R
0x494	ECNT_STAT4	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x494	ECNT_STAT4	3	LANE_ENA4	0 1	lane4 是否启用指示信号。0：lane4 保持在软复位状态。1：lane4 已启用。 Lane 4 enable indicator. 0: lane 4 held in soft reset. 1: lane 4 enabled.	0x0	R
0x494	ECNT_STAT4	[2:0]	ECNT_TCR4		lane4 错误计数器达到最大值指示信号。1 表示指定的计数器达到最大值 0xFF。每个通道的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Lane 4 error counter reached-maximum indicator. 1 indicates the specified counter reached the maximum value 0xFF. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x0	R
0x495	ECNT_STAT5	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x495	ECNT_STAT5	3	LANE_ENA5	0 1	lane5 是否启用指示信号。0：lane5 保持在软复位状态。1：lane5 已启用。 Lane 5 enable indicator. 0: lane 5 held in soft reset. 1: lane 5 enabled.	0x0	R
0x495	ECNT_STAT5	[2:0]	ECNT_TCR5		lane5 错误计数器达到最大值指示信号。1 表示指定的计数器达到最大值 0xFF。每个通道的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Lane 5 error counter reached-maximum indicator. 1 indicates the specified counter reached the maximum value 0xFF. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x0	R
0x496	ECNT_STAT6	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x496	ECNT_STAT6	3	LANE_ENA6	0 1	lane6 是否启用指示信号。0：lane6 保持在软复位状态。1：lane6 已启用。 Lane 6 enable indicator. 0: lane 6 held in soft reset. 1: lane 6 enabled.	0x0	R
0x496	ECNT_STAT6	[2:0]	ECNT_TCR6		lane6 错误计数器达到最大值指示信号。1 表示指定的计数器达到最大值 0xFF。每个通道的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
					Lane 6 error counter reached-maximum indicator. 1 indicates the specified counter reached the maximum value 0xFF. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.		
0x497	ECNT_STAT7	[7:4]	RESERVED		保留。 Reserved.	0x0	R
0x497	ECNT_STAT7	3	LANE_ENA7	0 1	lane7 是否启用指示信号。0：lane7 保持在软复位状态。1：lane7 已启用。 Lane 7 enable indicator. 0: lane 7 held in soft reset. 1: lane 7 enabled.	0x0	R
0x497	ECNT_STAT7	[2:0]	ECNT_TCR7		lane7 错误计数器达到最大值指示信号。1 表示指定的计数器达到最大值 0xFF。每个通道的计数器的地址如下：位 2 = UEK。位 1 = NIT。位 0 = BDE。 Lane 7 error counter reached-maximum indicator. 1 indicates the specified counter reached the maximum value 0xFF. The counter addresses for each lane are as follows: bit 2 = UEK, bit 1 = NIT, bit 0 = BDE.	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x498	BD_CNT0	[7:0]	BD_CNT0		lane0 的 8 位 BDE 错误计数器。 8-bit BDE error counter of lane 0.	0x0	R
0x499	BD_CNT1	[7:0]	BD_CNT1		lane1 的 8 位 BDE 错误计数器。 8-bit BDE error counter of lane 1.	0x0	R
0x49A	BD_CNT2	[7:0]	BD_CNT2		lane2 的 8 位 BDE 错误计数器。 8-bit BDE error counter of lane 2.	0x0	R
0x49B	BD_CNT3	[7:0]	BD_CNT3		lane3 的 8 位 BDE 错误计数器。 8-bit BDE error counter of lane 3.	0x0	R
0x49C	BD_CNT4	[7:0]	BD_CNT4		lane4 的 8 位 BDE 错误计数器。 8-bit BDE error counter of lane 4.	0x0	R
0x49D	BD_CNT5	[7:0]	BD_CNT5		lane5 的 8 位 BDE 错误计数器。 8-bit BDE error counter of lane 5.	0x0	R
0x49E	BD_CNT6	[7:0]	BD_CNT6		lane6 的 8 位 BDE 错误计数器。 8-bit BDE error counter of lane 6.	0x0	R
0x49F	BD_CNT7	[7:0]	BD_CNT7		lane7 的 8 位 BDE 错误计数器。 8-bit BDE error counter of lane 7.	0x0	R
0x4A0	NIT_CNT0	[7:0]	NIT_CNT0		lane0 的 8 位 NIT 错误计数器。 8-bit NIT error counter of lane 0.	0x0	R
0x4A1	NIT_CNT1	[7:0]	NIT_CNT1		lane1 的 8 位 NIT 错误计数器。 8-bit NIT error counter of lane 1.	0x0	R
0x4A2	NIT_CNT2	[7:0]	NIT_CNT2		lane2 的 8 位 NIT 错误计数器。 8-bit NIT error counter of lane 2.	0x0	R
0x4A3	NIT_CNT3	[7:0]	NIT_CNT3		lane3 的 8 位 NIT 错误计数器。 8-bit NIT error counter of lane 3.	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x4A4	NIT_CNT4	[7:0]	NIT_CNT4		lane4 的 8 位 NIT 错误计数器。 8-bit NIT error counter of lane 4.	0x0	R
0x4A5	NIT_CNT5	[7:0]	NIT_CNT5		lane5 的 8 位 NIT 错误计数器。 8-bit NIT error counter of lane 5.	0x0	R
0x4A6	NIT_CNT6	[7:0]	NIT_CNT6		lane6 的 8 位 NIT 错误计数器。 8-bit NIT error counter of lane 6.	0x0	R
0x4A7	NIT_CNT7	[7:0]	NIT_CNT7		lane7 的 8 位 NIT 错误计数器。 8-bit NIT error counter of lane 7.	0x0	R
0x4A8	UEK_CNT0	[7:0]	UEK_CNT0		lane0 的 8 位 UEK 错误计数器。 8-bit UEK error counter of lane 0.	0x0	R
0x4A9	UEK_CNT1	[7:0]	UEK_CNT1		lane1 的 8 位 UEK 错误计数器。 8-bit UEK error counter of lane 1.	0x0	R
0x4AA	UEK_CNT2	[7:0]	UEK_CNT2		lane2 的 8 位 UEK 错误计数器。 8-bit UEK error counter of lane 2.	0x0	R
0x4AB	UEK_CNT3	[7:0]	UEK_CNT3		lane3 的 8 位 UEK 错误计数器。 8-bit UEK error counter of lane 3.	0x0	R
0x4AC	UEK_CNT4	[7:0]	UEK_CNT4		lane4 的 8 位 UEK 错误计数器。 8-bit UEK error counter of lane 4.	0x0	R
0x4AD	UEK_CNT5	[7:0]	UEK_CNT5		lane5 的 8 位 UEK 错误计数器。 8-bit UEK error counter of lane 5.	0x0	R
0x4AE	UEK_CNT6	[7:0]	UEK_CNT6		lane6 的 8 位 UEK 错误计数器。 8-bit UEK error counter of lane 6.	0x0	R
0x4AF	UEK_CNT7	[7:0]	UEK_CNT7		lane7 的 8 位 UEK 错误计数器。 8-bit UEK error counter of lane 7.	0x0	R
0x4B0	LINK_STATUS0	7	BDE0	0 1	lane0 的 BDE 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ETH[7:0]值。 BDE status of lane 0. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B0	LINK_STATUS0	6	NIT0	0 1	lane0 的 NIT 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ETH[7:0]值。 NIT status of lane 0. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B0	LINK_STATUS0	5	UEK0	0 1	lane0 的 UEK 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ETH[7:0]值。 UEK status of lane 0. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B0	LINK_STATUS0	4	ILD0	0 1	lane0 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：Deskew 失败。1：Deskew 完成。 Interlane deskew status of lane 0 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.	0x0	R
0x4B0	LINK_STATUS0	3	ILS0	0 1	lane0 的 ILS 状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 ILS status of lane 0 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x4B0	LINK_STATUS0	2	CKS0	0 1	lane0 的校验和状态（当 NO_ILAS = 1 时忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum status of lane 0 (ignore this output when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.	0x0	R
0x4B0	LINK_STATUS0	1	FS0	0 1	lane0 的帧同步状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 Frame sync status of lane 0 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R
0x4B0	LINK_STATUS0	0	CGS0	0 1	lane0 的码组同步状态。0：同步失败。1：同步完成。 Code group sync status of lane 0. 0: sync failed. 1: sync complete.	0x0	R
0x4B1	LINK_STATUS1	7	BDE1	0 1	lane1 的 BDE 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ETH[7:0]值。 BDE status of lane 1. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B1	LINK_STATUS1	6	NIT1	0 1	lane1 的 NIT 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ETH[7:0]值。 NIT status of lane 1. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B1	LINK_STATUS1	5	UEK1	0 1	lane1 的 UEK 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ETH[7:0]值。 UEK status of lane 1. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B1	LINK_STATUS1	4	ILD1	0 1	lane1 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：Deskew 失败。1：Deskew 完成。 Interlane deskew status of lane 1 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.	0x0	R
0x4B1	LINK_STATUS1	3	ILS1	0 1	lane1 的 ILS 状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 ILS status of lane 1 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R
0x4B1	LINK_STATUS1	2	CKS1	0 1	lane1 的校验和状态（当 NO_ILAS = 1 时忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum status of lane 1 (ignore this output when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.	0x0	R
0x4B1	LINK_STATUS1	1	FS1	0 1	lane1 的帧同步状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 Frame sync status of lane 1 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R
0x4B1	LINK_STATUS1	0	CGS1	0 1	lane1 的码组同步状态。0：同步失败。1：同步完成。 Code group sync status of lane 1. 0: sync failed. 1: sync complete.	0x0	R
0x4B2	LINK_STATUS2	7	BDE2	0 1	lane2 的 BDE 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ETH[7:0]值。 BDE status of lane 2. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B2		6	NIT2			0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
	LINK_STATUS2			0 1	lane2 的 NIT 状态。0：错误数量 < ETH[7:0]值。1：错误数量≥ETH[7:0]值。 NIT status of lane 2. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].		
0x4B2	LINK_STATUS2	5	UEK2	0 1	lane2 的 UEK 状态。0：错误数量 < ETH[7:0]值。1：错误数量≥ETH[7:0]值。 UEK status of lane 2. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B2	LINK_STATUS2	4	ILD2	0 1	lane2 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：Deskew 失败。1：Deskew 完成。 Interlane deskew status of lane 2 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.	0x0	R
0x4B2	LINK_STATUS2	3	ILS2	0 1	lane2 的 ILS 状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 ILS status of lane 2 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R
0x4B2	LINK_STATUS2	2	CKS2	0 1	lane2 的校验和状态（当 NO_ILAS = 1 时忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum status of lane 2 (ignore this output when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.	0x0	R
0x4B2	LINK_STATUS2	1	FS2	0 1	lane2 的帧同步状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 Frame sync status of lane 2 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R
0x4B2	LINK_STATUS2	0	CGS2	0 1	lane2 的码组同步状态。0：同步失败。1：同步完成。 Code group sync status of lane 2. 0: sync failed. 1: sync complete.	0x0	R
0x4B3	LINK_STATUS3	7	BDE3	0 1	lane3 的 BDE 状态。0：错误数量 < ETH[7:0]值。1：错误数量≥ETH[7:0]值。 BDE status of lane 3. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B3	LINK_STATUS3	6	NIT3	0 1	lane3 的 NIT 状态。0：错误数量 < ETH[7:0]值。1：错误数量≥ETH[7:0]值。 NIT status of lane 3. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B3	LINK_STATUS3	5	UEK3	0 1	lane3 的 UEK 状态。0：错误数量 < ETH[7:0]值。1：错误数量≥ETH[7:0]值。 UEK status of lane 3. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B3	LINK_STATUS3	4	ILD3	0 1	lane3 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：Deskew 失败。1：Deskew 完成。 Interlane deskew status of lane 3 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.	0x0	R
0x4B3	LINK_STATUS3	3	ILS3	0 1	lane3 的 ILS 状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 ILS status of lane 3 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x4B3	LINK_STATUS3	2	CKS3	0 1	lane3 的校验和状态（当 NO_ILAS = 1 时忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum status of lane 3 (ignore this output when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.	0x0	R
0x4B3	LINK_STATUS3	1	FS3	0 1	lane3 的帧同步状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 Frame sync status of lane 3 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R
0x4B3	LINK_STATUS3	0	CGS3	0 1	lane3 的码组同步状态。0：同步失败。1：同步完成。 Code group sync status of lane 3. 0: sync failed. 1: sync complete.	0x0	R
0x4B4	LINK_STATUS4	7	BDE4	0 1	lane4 的 BDE 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ETH[7:0]值。 BDE status of lane 4. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B4	LINK_STATUS4	6	NIT4	0 1	lane4 的 NIT 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ETH[7:0]值。 NIT status of lane 4. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B4	LINK_STATUS4	5	UEK4	0 1	lane4 的 UEK 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ETH[7:0]值。 UEK status of lane 4. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B4	LINK_STATUS4	4	ILD4	0 1	lane4 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：Deskew 失败。1：Deskew 完成。 Interlane deskew status of lane 4 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.	0x0	R
0x4B4	LINK_STATUS4	3	ILS4	0 1	lane4 的 ILS 状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 ILS status of lane 4 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R
0x4B4	LINK_STATUS4	2	CKS4	0 1	lane4 的校验和状态（当 NO_ILAS = 1 时忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum status of lane 4 (ignore this output when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.	0x0	R
0x4B4	LINK_STATUS4	1	FS4	0 1	lane4 的帧同步状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 Frame sync status of lane 4 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R
0x4B4	LINK_STATUS4	0	CGS4	0 1	lane4 的码组同步状态。0：同步失败。1：同步完成。 Code group sync status of lane 4. 0: sync failed. 1: sync complete.	0x0	R
0x4B5	LINK_STATUS5	7	BDE5	0 1	lane5 的 BDE 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ETH[7:0]值。 BDE status of lane 5. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B5		6	NIT5			0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
	LINK_STATUS5			0 1	lane5 的 NIT 状态。0：错误数量 < ETH[7:0]值。1：错误数量≥ETH[7:0]值。 NIT status of lane 5. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].		
0x4B5	LINK_STATUS5	5	UEK5	0 1	lane5 的 UEK 状态。0：错误数量 < ETH[7:0]值。1：错误数量≥ETH[7:0]值。 UEK status of lane 5. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B5	LINK_STATUS5	4	ILD5	0 1	lane5 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：Deskew 失败。1：Deskew 完成。 Interlane deskew status of lane 5 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.	0x0	R
0x4B5	LINK_STATUS5	3	ILS5	0 1	lane5 的 ILS 状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 ILS status of lane 5 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R
0x4B5	LINK_STATUS5	2	CKS5	0 1	lane5 的校验和状态（当 NO_ILAS = 1 时忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum status of lane 5 (ignore this output when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.	0x0	R
0x4B5	LINK_STATUS5	1	FS5	0 1	lane5 的帧同步状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 Frame sync status of lane 5 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R
0x4B5	LINK_STATUS5	0	CGS5	0 1	lane5 的码组同步状态。0：同步失败。1：同步完成。 Code group sync status of lane 5. 0: sync failed. 1: sync complete.	0x0	R
0x4B6	LINK_STATUS6	7	BDE6	0 1	lane6 的 BDE 状态。0：错误数量 < ETH[7:0]值。1：错误数量≥ETH[7:0]值。 BDE status of lane 6. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B6	LINK_STATUS6	6	NIT6	0 1	lane6 的 NIT 状态。0：错误数量 < ETH[7:0]值。1：错误数量≥ETH[7:0]值。 NIT status of lane 6. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B6	LINK_STATUS6	5	UEK6	0 1	lane6 的 UEK 状态。0：错误数量 < ETH[7:0]值。1：错误数量≥ETH[7:0]值。 UEK status of lane 6. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B6	LINK_STATUS6	4	ILD6	0 1	lane6 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：Deskew 失败。1：Deskew 完成。 Interlane deskew status of lane 6 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.	0x0	R
0x4B6	LINK_STATUS6	3	ILS6	0 1	lane6 的 ILS 状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 ILS status of lane 6 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x4B6	LINK_STATUS6	2	CKS6	0 1	lane6 的校验和状态（当 NO_ILAS = 1 时忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum status of lane 6 (ignore this output when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.	0x0	R
0x4B6	LINK_STATUS6	1	FS6	0 1	lane6 的帧同步状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 Frame sync status of lane 6 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R
0x4B6	LINK_STATUS6	0	CGS6	0 1	lane6 的码组同步状态。0：同步失败。1：同步完成。 Code group sync status of lane 6. 0: sync failed. 1: sync complete.	0x0	R
0x4B7	LINK_STATUS7	7	BDE7	0 1	lane7 的 BDE 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ETH[7:0]值。 BDE status of lane 7. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B7	LINK_STATUS7	6	NIT7	0 1	lane7 的 NIT 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ETH[7:0]值。 NIT status of lane 7. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B7	LINK_STATUS7	5	UEK7	0 1	lane7 的 UEK 状态。0：错误数量 < ETH[7:0]值。1：错误数量 ≥ETH[7:0]值。 UEK status of lane 7. 0: error count < ETH[7:0]. 1: error count ≥ ETH[7:0].	0x0	R
0x4B7	LINK_STATUS7	4	ILD7	0 1	lane7 的 interlane deskew 状态（当 NO_ILAS = 1 时，忽略此输出）。0：Deskew 失败。1：Deskew 完成。 Interlane deskew status of lane 7 (ignore this output when NO_ILAS = 1). 0: deskew failed. 1: deskew complete.	0x0	R
0x4B7	LINK_STATUS7	3	ILS7	0 1	lane7 的 ILS 状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 ILS status of lane 7 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R
0x4B7	LINK_STATUS7	2	CKS7	0 1	lane7 的校验和状态（当 NO_ILAS = 1 时忽略此输出）。0：校验和不正确。1：校验和正确。 Checksum status of lane 7 (ignore this output when NO_ILAS = 1). 0: checksum incorrect. 1: checksum correct.	0x0	R
0x4B7	LINK_STATUS7	1	FS7	0 1	lane7 的帧同步状态（当 NO_ILAS = 1 时忽略此输出）。0：同步失败。1：同步完成。 Frame sync status of lane 7 (ignore this output when NO_ILAS = 1). 0: sync failed. 1: sync complete.	0x0	R
0x4B7	LINK_STATUS7	0	CGS7	0 1	lane7 的码组同步状态。0：同步失败。1：同步完成。 Code group sync status of lane 7. 0: sync failed. 1: sync complete.	0x0	R
地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
---	---	---	---	---	---	---	---
0x4B8		7				0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
	JESD_IRQ_ENABLEA		EN_BDE		BDE 计数器。 BDE counter.		
0x4B8	JESD_IRQ_ENABLEA	6	EN_NIT		NIT 计数器。 NIT counter.	0x0	R/W
0x4B8	JESD_IRQ_ENABLEA	5	EN_UEK		UEK 计数器。 UEK counter.	0x0	R/W
0x4B8	JESD_IRQ_ENABLEA	4	EN_ILD		interlane deskew。 Interlane deskew.	0x0	R/W
0x4B8	JESD_IRQ_ENABLEA	3	EN_ILS		初始 lane 同步（ILS）。 Initial lane sync (ILS).	0x0	R/W
0x4B8	JESD_IRQ_ENABLEA	2	EN_CKS		校验和。该中断是比较两个校验和：发送器在 ILAS 期间通过链路发送的校验和，以及接收器根据发送器通过链路发送的 ILAS 数据计算出的校验和。注意，校验和 IRQ 在任何时候都不会查看通过 SPI 写入到寄存器 0x45D 中的校验和。校验和 IRQ 只查看发射机发送的数据，而不会查看通过 SPI 写入的任何数据。 Checksum. This interrupt compares two checksums: the checksum sent by the transmitter over the link during ILAS, and the checksum computed by the receiver from the ILAS data sent by the transmitter over the link. Note that the checksum IRQ never looks at the checksum written via SPI to register 0x45D. The checksum IRQ only looks at data sent by the transmitter, not any data written via SPI.	0x0	R/W
0x4B8	JESD_IRQ_ENABLEA	1	EN_FS		帧同步。 Frame sync.	0x0	R/W
0x4B8	JESD_IRQ_ENABLEA	0	EN_CGS		码组同步。 Code group sync.	0x0	R/W
0x4B9	JESD_IRQ_ENABLEB	[7:1]	RESERVED		保留。 Reserved.	0x0	R
0x4B9	JESD_IRQ_ENABLEB	0	EN_ILAS		配置不匹配（仅对 lane0 进行检查）。ILAS IRQ 比较接收机的两组 ILAS 数据：发射机通过 JESD204B 链路发送的 ILAS 数据和通过 SPI 写入到接收机的 ILAS 数据（寄存器 0x450 到寄存器 0x45D）。如果数据不同，则触发 IRQ。请注意，所有的 ILAS 数据（包括校验和）都要进行比较。 Configuration mismatch (checked for lane 0 only). The ILAS IRQ compares two sets of ILAS data at the receiver: the ILAS data sent by the transmitter over the JESD204B link, and the ILAS data written via SPI to the receiver (registers 0x450 through 0x45D). If the data differs, an IRQ is triggered. Note that all ILAS data (including the checksum) is compared.	0x0	R/W
0x4BA		7				0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
	JESD_IRQ_STATUSA		IRQ_BDE		BDE 计数器。 BDE counter.		
0x4BA	JESD_IRQ_STATUSA	6	IRQ_NIT		NIT 计数器。 NIT counter.	0x0	R/W
0x4BA	JESD_IRQ_STATUSA	5	IRQ_UEK		UEK 计数器。 UEK counter.	0x0	R/W
0x4BA	JESD_IRQ_STATUSA	4	IRQ_ILD		interlane deskew。 Interlane deskew.	0x0	R/W
0x4BA	JESD_IRQ_STATUSA	3	IRQ_ILS		初始 lane 同步（ILS）。 Initial lane sync (ILS).	0x0	R/W
0x4BA	JESD_IRQ_STATUSA	2	IRQ_CKS		校验和。 Checksum.	0x0	R/W
0x4BA	JESD_IRQ_STATUSA	1	IRQ_FS		帧同步。 Frame sync.	0x0	R/W
0x4BA	JESD_IRQ_STATUSA	0	IRQ_CGS		码组同步。 Code group sync.	0x0	R/W
0x4BB	JESD_IRQ_STATUSB	[7:1]	RESERVED		保留。 Reserved.	0x0	R
0x4BB	JESD_IRQ_STATUSB	0	IRQ_ILAS		配置不匹配（仅对车道 0 进行检查）。 Configuration mismatch (checked for lane 0 only).	0x0	R/W
0x800	HOPF_CTRL	[7:6]	HOPF_MODE	00 01 10	频率切换模式。00：相位连续切换。改变频率调谐字，相位累加器继续以新的 FTW 进行累加。01：相位不连续切换。改变频率调谐字，并重置相位累加器。10：Phase coherent switch。从 32 个跳频调谐字中选择一个跳频调谐字。当一个频率跳到另一个频率时，相位不连续，但前一个频率将继续保持相位累加。 Frequency switching mode. 00: phase-continuous switching. Change the frequency tuning word; the phase accumulator continues accumulating with the new FTW. 01: phase-discontinuous switching. Change the frequency tuning word and reset the phase accumulator. 10: phase-coherent switch. Select one frequency-hopping tuning word from 32 hopping tuning words. When hopping from one frequency to another, the phase is discontinuous, but the previous frequency continues to maintain phase accumulation.	0x0	R/W
0x800	HOPF_CTRL	5	RESERVED		保留。 Reserved.	0x0	R

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x800	HOPF_CTRL	[4:0]	HOPF_SEL		跳频选择控制。输入 FTW 的编号来选择该 NCO 的输出。 Frequency-hopping selection control. Enter the FTW number to select the output of this NCO.	0x0	R/W
0x806	HOPF_FTW1_0	[7:0]	HOPF_FTW1[7:0]		跳频频率 FTW1。 Frequency-hopping frequency FTW1.	0x0	R/W
0x807	HOPF_FTW1_1	[7:0]	HOPF_FTW1[15:8]		跳频频率 FTW1。 Frequency-hopping frequency FTW1.	0x0	R/W
0x808	HOPF_FTW1_2	[7:0]	HOPF_FTW1[23:16]		跳频频率 FTW1。 Frequency-hopping frequency FTW1.	0x0	R/W
0x809	HOPF_FTW1_3	[7:0]	HOPF_FTW1[31:24]		跳频频率 FTW1。 Frequency-hopping frequency FTW1.	0x0	R/W
0x80A	HOPF_FTW2_0	[7:0]	HOPF_FTW2[7:0]		跳频频率 FTW2。 Frequency-hopping frequency FTW2.	0x0	R/W
0x80B	HOPF_FTW2_1	[7:0]	HOPF_FTW2[15:8]		跳频频率 FTW2。 Frequency-hopping frequency FTW2.	0x0	R/W
0x80C	HOPF_FTW2_2	[7:0]	HOPF_FTW2[23:16]		跳频频率 FTW2。 Frequency-hopping frequency FTW2.	0x0	R/W
0x80D	HOPF_FTW2_3	[7:0]	HOPF_FTW2[31:24]		跳频频率 FTW2。 Frequency-hopping frequency FTW2.	0x0	R/W
0x80E	HOPF_FTW3_0	[7:0]	HOPF_FTW3[7:0]		跳频频率 FTW3。 Frequency-hopping frequency FTW3.	0x0	R/W
0x80F	HOPF_FTW3_1	[7:0]	HOPF_FTW3[15:8]		跳频频率 FTW3。 Frequency-hopping frequency FTW3.	0x0	R/W
0x810	HOPF_FTW3_2	[7:0]	HOPF_FTW3[23:16]		跳频频率 FTW3。 Frequency-hopping frequency FTW3.	0x0	R/W
0x811	HOPF_FTW3_3	[7:0]	HOPF_FTW3[31:24]		跳频频率 FTW3。 Frequency-hopping frequency FTW3.	0x0	R/W
0x812	HOPF_FTW4_0	[7:0]	HOPF_FTW4[7:0]		跳频频率 FTW4。 Frequency-hopping frequency FTW4.	0x0	R/W
0x813	HOPF_FTW4_1	[7:0]	HOPF_FTW4[15:8]		跳频频率 FTW4。 Frequency-hopping frequency FTW4.	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x814	HOPF_FTW4_2	[7:0]	HOPF_FTW4[23:16]		跳频频率 FTW4。 Frequency-hopping frequency FTW4.	0x0	R/W
0x815	HOPF_FTW4_3	[7:0]	HOPF_FTW4[31:24]		跳频频率 FTW4。 Frequency-hopping frequency FTW4.	0x0	R/W
0x816	HOPF_FTW5_0	[7:0]	HOPF_FTW5[7:0]		跳频频率 FTW5。 Frequency-hopping frequency FTW5.	0x0	R/W
0x817	HOPF_FTW5_1	[7:0]	HOPF_FTW5[15:8]		跳频频率 FTW5。 Frequency-hopping frequency FTW5.	0x0	R/W
0x818	HOPF_FTW5_2	[7:0]	HOPF_FTW5[23:16]		跳频频率 FTW5。 Frequency-hopping frequency FTW5.	0x0	R/W
0x819	HOPF_FTW5_3	[7:0]	HOPF_FTW5[31:24]		跳频频率 FTW5。 Frequency-hopping frequency FTW5.	0x0	R/W
0x81A	HOPF_FTW6_0	[7:0]	HOPF_FTW6[7:0]		跳频频率 FTW6。 Frequency-hopping frequency FTW6.	0x0	R/W
0x81B	HOPF_FTW6_1	[7:0]	HOPF_FTW6[15:8]		跳频频率 FTW6。 Frequency-hopping frequency FTW6.	0x0	R/W
0x81C	HOPF_FTW6_2	[7:0]	HOPF_FTW6[23:16]		跳频频率 FTW6。 Frequency-hopping frequency FTW6.	0x0	R/W
0x81D	HOPF_FTW6_3	[7:0]	HOPF_FTW6[31:24]		跳频频率 FTW6。 Frequency-hopping frequency FTW6.	0x0	R/W
0x81E	HOPF_FTW7_0	[7:0]	HOPF_FTW7[7:0]		跳频频率 FTW7。 Frequency-hopping frequency FTW7.	0x0	R/W
0x81F	HOPF_FTW7_1	[7:0]	HOPF_FTW7[15:8]		跳频频率 FTW7。 Frequency-hopping frequency FTW7.	0x0	R/W
0x820	HOPF_FTW7_2	[7:0]	HOPF_FTW7[23:16]		跳频频率 FTW7。 Frequency-hopping frequency FTW7.	0x0	R/W
0x821	HOPF_FTW7_3	[7:0]	HOPF_FTW7[31:24]		跳频频率 FTW7。 Frequency-hopping frequency FTW7.	0x0	R/W
0x822	HOPF_FTW8_0	[7:0]	HOPF_FTW8[7:0]		跳频频率 FTW8。 Frequency-hopping frequency FTW8.	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x823	HOPF_FTW8_1	[7:0]	HOPF_FTW8[15:8]		跳频频率 FTW8。 Frequency-hopping frequency FTW8.	0x0	R/W
0x824	HOPF_FTW8_2	[7:0]	HOPF_FTW8[23:16]		跳频频率 FTW8。 Frequency-hopping frequency FTW8.	0x0	R/W
0x825	HOPF_FTW8_3	[7:0]	HOPF_FTW8[31:24]		跳频频率 FTW8。 Frequency-hopping frequency FTW8.	0x0	R/W
0x826	HOPF_FTW9_0	[7:0]	HOPF_FTW9[7:0]		跳频频率 FTW9。 Frequency-hopping frequency FTW9.	0x0	R/W
0x827	HOPF_FTW9_1	[7:0]	HOPF_FTW9[15:8]		跳频频率 FTW9。 Frequency-hopping frequency FTW9.	0x0	R/W
0x828	HOPF_FTW9_2	[7:0]	HOPF_FTW9[23:16]		跳频频率 FTW9。 Frequency-hopping frequency FTW9.	0x0	R/W
0x829	HOPF_FTW9_3	[7:0]	HOPF_FTW9[31:24]		跳频频率 FTW9。 Frequency-hopping frequency FTW9.	0x0	R/W
0x82A	HOPF_FTW10_0	[7:0]	HOPF_FTW10[7:0]		跳频频率 FTW10。 Frequency-hopping frequency FTW10.	0x0	R/W
0x82B	HOPF_FTW10_1	[7:0]	HOPF_FTW10[15:8]		跳频频率 FTW10。 Frequency-hopping frequency FTW10.	0x0	R/W
0x82C	HOPF_FTW10_2	[7:0]	HOPF_FTW10[23:16]		跳频频率 FTW10。 Frequency-hopping frequency FTW10.	0x0	R/W
0x82D	HOPF_FTW10_3	[7:0]	HOPF_FTW10[31:24]		跳频频率 FTW10。 Frequency-hopping frequency FTW10.	0x0	R/W
0x82E	HOPF_FTW11_0	[7:0]	HOPF_FTW11[7:0]		跳频频率 FTW11。 Frequency-hopping frequency FTW11.	0x0	R/W
0x82F	HOPF_FTW11_1	[7:0]	HOPF_FTW11[15:8]		跳频频率 FTW11。 Frequency-hopping frequency FTW11.	0x0	R/W
0x830	HOPF_FTW11_2	[7:0]	HOPF_FTW11[23:16]		跳频频率 FTW11。 Frequency-hopping frequency FTW11.	0x0	R/W
0x831	HOPF_FTW11_3	[7:0]	HOPF_FTW11[31:24]		跳频频率 FTW11。 Frequency-hopping frequency FTW11.	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x832	HOPF_FTW12_0	[7:0]	HOPF_FTW12 [7:0]		跳频频率 FTW12。 Frequency-hopping frequency FTW12.	0x0	R/W
0x833	HOPF_FTW12_1	[7:0]	HOPF_FTW12 [15:8]		跳频频率 FTW12。 Frequency-hopping frequency FTW12.	0x0	R/W
0x834	HOPF_FTW12_2	[7:0]	HOPF_FTW12 [23:16]		跳频频率 FTW12。 Frequency-hopping frequency FTW12.	0x0	R/W
0x835	HOPF_FTW12_3	[7:0]	HOPF_FTW12 [31:24]		跳频频率 FTW12。 Frequency-hopping frequency FTW12.	0x0	R/W
0x836	HOPF_FTW13_0	[7:0]	HOPF_FTW13 [7:0]		跳频频率 FTW13。 Frequency-hopping frequency FTW13.	0x0	R/W
0x837	HOPF_FTW13_1	[7:0]	HOPF_FTW13 [15:8]		跳频频率 FTW13。 Frequency-hopping frequency FTW13.	0x0	R/W
0x838	HOPF_FTW13_2	[7:0]	HOPF_FTW13 [23:16]		跳频频率 FTW13。 Frequency-hopping frequency FTW13.	0x0	R/W
0x839	HOPF_FTW13_3	[7:0]	HOPF_FTW13 [31:24]		跳频频率 FTW13。 Frequency-hopping frequency FTW13.	0x0	R/W
0x83A	HOPF_FTW14_0	[7:0]	HOPF_FTW14 [7:0]		跳频频率 FTW14。 Frequency-hopping frequency FTW14.	0x0	R/W
0x83B	HOPF_FTW14_1	[7:0]	HOPF_FTW14 [15:8]		跳频频率 FTW14。 Frequency-hopping frequency FTW14.	0x0	R/W
0x83C	HOPF_FTW14_2	[7:0]	HOPF_FTW14 [23:16]		跳频频率 FTW14。 Frequency-hopping frequency FTW14.	0x0	R/W
0x83D	HOPF_FTW14_3	[7:0]	HOPF_FTW14 [31:24]		跳频频率 FTW14。 Frequency-hopping frequency FTW14.	0x0	R/W
0x83E	HOPF_FTW15_0	[7:0]	HOPF_FTW15 [7:0]		跳频频率 FTW15。 Frequency-hopping frequency FTW15.	0x0	R/W
0x83F	HOPF_FTW15_1	[7:0]	HOPF_FTW15 [15:8]		跳频频率 FTW15。 Frequency-hopping frequency FTW15.	0x0	R/W
0x840	HOPF_FTW15_2	[7:0]	HOPF_FTW15 [23:16]		跳频频率 FTW15。 Frequency-hopping frequency FTW15.	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x841	HOPF_FTW15_3	[7:0]	HOPF_FTW15 [31:24]		跳频频率 FTW15。 Frequency-hopping frequency FTW15.	0x0	R/W
0x842	HOPF_FTW16_0	[7:0]	HOPF_FTW16 [7:0]		跳频频率 FTW16。 Frequency-hopping frequency FTW16.	0x0	R/W
0x843	HOPF_FTW16_1	[7:0]	HOPF_FTW16 [15:8]		跳频频率 FTW16。 Frequency-hopping frequency FTW16.	0x0	R/W
0x844	HOPF_FTW16_2	[7:0]	HOPF_FTW16 [23:16]		跳频频率 FTW16。 Frequency-hopping frequency FTW16.	0x0	R/W
0x845	HOPF_FTW16_3	[7:0]	HOPF_FTW16 [31:24]		跳频频率 FTW16。 Frequency-hopping frequency FTW16.	0x0	R/W
0x846	HOPF_FTW17_0	[7:0]	HOPF_FTW17 [7:0]		跳频频率 FTW17。 Frequency-hopping frequency FTW17.	0x0	R/W
0x847	HOPF_FTW17_1	[7:0]	HOPF_FTW17 [15:8]		跳频频率 FTW17。 Frequency-hopping frequency FTW17.	0x0	R/W
0x848	HOPF_FTW17_2	[7:0]	HOPF_FTW17 [23:16]		跳频频率 FTW17。 Frequency-hopping frequency FTW17.	0x0	R/W
0x849	HOPF_FTW17_3	[7:0]	HOPF_FTW17 [31:24]		跳频频率 FTW17。 Frequency-hopping frequency FTW17.	0x0	R/W
0x84A	HOPF_FTW18_0	[7:0]	HOPF_FTW18 [7:0]		跳频频率 FTW18。 Frequency-hopping frequency FTW18.	0x0	R/W
0x84B	HOPF_FTW18_1	[7:0]	HOPF_FTW18 [15:8]		跳频频率 FTW18。 Frequency-hopping frequency FTW18.	0x0	R/W
0x84C	HOPF_FTW18_2	[7:0]	HOPF_FTW18 [23:16]		跳频频率 FTW18。 Frequency-hopping frequency FTW18.	0x0	R/W
0x84D	HOPF_FTW18_3	[7:0]	HOPF_FTW18 [31:24]		跳频频率 FTW18。 Frequency-hopping frequency FTW18.	0x0	R/W
0x84E	HOPF_FTW19_0	[7:0]	HOPF_FTW19 [7:0]		跳频频率 FTW19。 Frequency-hopping frequency FTW19.	0x0	R/W
0x84F	HOPF_FTW19_1	[7:0]	HOPF_FTW19 [15:8]		跳频频率 FTW19。 Frequency-hopping frequency FTW19.	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x850	HOPF_FTW19_2	[7:0]	HOPF_FTW19 [23:16]		跳频频率 FTW19。 Frequency-hopping frequency FTW19.	0x0	R/W
0x851	HOPF_FTW19_3	[7:0]	HOPF_FTW19 [31:24]		跳频频率 FTW19。 Frequency-hopping frequency FTW19.	0x0	R/W
0x852	HOPF_FTW20_0	[7:0]	HOPF_FTW20 [7:0]		跳频频率 FTW20。 Frequency-hopping frequency FTW20.	0x0	R/W
0x853	HOPF_FTW20_1	[7:0]	HOPF_FTW20 [15:8]		跳频频率 FTW20。 Frequency-hopping frequency FTW20.	0x0	R/W
0x854	HOPF_FTW20_2	[7:0]	HOPF_FTW20 [23:16]		跳频频率 FTW20。 Frequency-hopping frequency FTW20.	0x0	R/W
0x855	HOPF_FTW20_3	[7:0]	HOPF_FTW20 [31:24]		跳频频率 FTW20。 Frequency-hopping frequency FTW20.	0x0	R/W
0x856	HOPF_FTW21_0	[7:0]	HOPF_FTW21 [7:0]		跳频频率 FTW21。 Frequency-hopping frequency FTW21.	0x0	R/W
0x857	HOPF_FTW21_1	[7:0]	HOPF_FTW21 [15:8]		跳频频率 FTW21。 Frequency-hopping frequency FTW21.	0x0	R/W
0x858	HOPF_FTW21_2	[7:0]	HOPF_FTW21 [23:16]		跳频频率 FTW21。 Frequency-hopping frequency FTW21.	0x0	R/W
0x859	HOPF_FTW21_3	[7:0]	HOPF_FTW21 [31:24]		跳频频率 FTW21。 Frequency-hopping frequency FTW21.	0x0	R/W
0x85A	HOPF_FTW22_0	[7:0]	HOPF_FTW22 [7:0]		跳频频率 FTW22。 Frequency-hopping frequency FTW22.	0x0	R/W
0x85B	HOPF_FTW22_1	[7:0]	HOPF_FTW22 [15:8]		跳频频率 FTW22。 Frequency-hopping frequency FTW22.	0x0	R/W
0x85C	HOPF_FTW22_2	[7:0]	HOPF_FTW22 [23:16]		跳频频率 FTW22。 Frequency-hopping frequency FTW22.	0x0	R/W
0x85D	HOPF_FTW22_3	[7:0]	HOPF_FTW22 [31:24]		跳频频率 FTW22。 Frequency-hopping frequency FTW22.	0x0	R/W
0x85E	HOPF_FTW23_0	[7:0]	HOPF_FTW23 [7:0]		跳频频率 FTW23。 Frequency-hopping frequency FTW23.	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x85F	HOPF_FTW23_1	[7:0]	HOPF_FTW23 [15:8]		跳频频率 FTW23。 Frequency-hopping frequency FTW23.	0x0	R/W
0x860	HOPF_FTW23_2	[7:0]	HOPF_FTW23 [23:16]		跳频频率 FTW23。 Frequency-hopping frequency FTW23.	0x0	R/W
0x861	HOPF_FTW23_3	[7:0]	HOPF_FTW23 [31:24]		跳频频率 FTW23。 Frequency-hopping frequency FTW23.	0x0	R/W
0x862	HOPF_FTW24_0	[7:0]	HOPF_FTW24 [7:0]		跳频频率 FTW24。 Frequency-hopping frequency FTW24.	0x0	R/W
0x863	HOPF_FTW24_1	[7:0]	HOPF_FTW24 [15:8]		跳频频率 FTW24。 Frequency-hopping frequency FTW24.	0x0	R/W
0x864	HOPF_FTW24_2	[7:0]	HOPF_FTW24 [23:16]		跳频频率 FTW24。 Frequency-hopping frequency FTW24.	0x0	R/W
0x865	HOPF_FTW24_3	[7:0]	HOPF_FTW24 [31:24]		跳频频率 FTW24。 Frequency-hopping frequency FTW24.	0x0	R/W
0x866	HOPF_FTW25_0	[7:0]	HOPF_FTW25 [7:0]		跳频频率 FTW25。 Frequency-hopping frequency FTW25.	0x0	R/W
0x867	HOPF_FTW25_1	[7:0]	HOPF_FTW25 [15:8]		跳频频率 FTW25。 Frequency-hopping frequency FTW25.	0x0	R/W
0x868	HOPF_FTW25_2	[7:0]	HOPF_FTW25 [23:16]		跳频频率 FTW25。 Frequency-hopping frequency FTW25.	0x0	R/W
0x869	HOPF_FTW25_3	[7:0]	HOPF_FTW25 [31:24]		跳频频率 FTW25。 Frequency-hopping frequency FTW25.	0x0	R/W
0x86A	HOPF_FTW26_0	[7:0]	HOPF_FTW26 [7:0]		跳频频率 FTW26。 Frequency-hopping frequency FTW26.	0x0	R/W
0x86B	HOPF_FTW26_1	[7:0]	HOPF_FTW26 [15:8]		跳频频率 FTW26。 Frequency-hopping frequency FTW26.	0x0	R/W
0x86C	HOPF_FTW26_2	[7:0]	HOPF_FTW26 [23:16]		跳频频率 FTW26。 Frequency-hopping frequency FTW26.	0x0	R/W
0x86D	HOPF_FTW26_3	[7:0]	HOPF_FTW26 [31:24]		跳频频率 FTW26。 Frequency-hopping frequency FTW26.	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x86E	HOPF_FTW27_0	[7:0]	HOPF_FTW27 [7:0]		跳频频率 FTW27。 Frequency-hopping frequency FTW27.	0x0	R/W
0x86F	HOPF_FTW27_1	[7:0]	HOPF_FTW27 [15:8]		跳频频率 FTW27。 Frequency-hopping frequency FTW27.	0x0	R/W
0x870	HOPF_FTW27_2	[7:0]	HOPF_FTW27 [23:16]		跳频频率 FTW27。 Frequency-hopping frequency FTW27.	0x0	R/W
0x871	HOPF_FTW27_3	[7:0]	HOPF_FTW27 [31:24]		跳频频率 FTW27。 Frequency-hopping frequency FTW27.	0x0	R/W
0x872	HOPF_FTW28_0	[7:0]	HOPF_FTW28 [7:0]		跳频频率 FTW28。 Frequency-hopping frequency FTW28.	0x0	R/W
0x873	HOPF_FTW28_1	[7:0]	HOPF_FTW28 [15:8]		跳频频率 FTW28。 Frequency-hopping frequency FTW28.	0x0	R/W
0x874	HOPF_FTW28_2	[7:0]	HOPF_FTW28 [23:16]		跳频频率 FTW28。 Frequency-hopping frequency FTW28.	0x0	R/W
0x875	HOPF_FTW28_3	[7:0]	HOPF_FTW28 [31:24]		跳频频率 FTW28。 Frequency-hopping frequency FTW28.	0x0	R/W
0x876	HOPF_FTW29_0	[7:0]	HOPF_FTW29 [7:0]		跳频频率 FTW29。 Frequency-hopping frequency FTW29.	0x0	R/W
0x877	HOPF_FTW29_1	[7:0]	HOPF_FTW29 [15:8]		跳频频率 FTW29。 Frequency-hopping frequency FTW29.	0x0	R/W
0x878	HOPF_FTW29_2	[7:0]	HOPF_FTW29 [23:16]		跳频频率 FTW29。 Frequency-hopping frequency FTW29.	0x0	R/W
0x879	HOPF_FTW29_3	[7:0]	HOPF_FTW29 [31:24]		跳频频率 FTW29。 Frequency-hopping frequency FTW29.	0x0	R/W
0x87A	HOPF_FTW30_0	[7:0]	HOPF_FTW30 [7:0]		跳频频率 FTW30。 Frequency-hopping frequency FTW30.	0x0	R/W
0x87B	HOPF_FTW30_1	[7:0]	HOPF_FTW30 [15:8]		跳频频率 FTW30。 Frequency-hopping frequency FTW30.	0x0	R/W
0x87C	HOPF_FTW30_2	[7:0]	HOPF_FTW30 [23:16]		跳频频率 FTW30。 Frequency-hopping frequency FTW30.	0x0	R/W

地址 / Address	寄存器名 / Register Name	Bits	位名称 / Bit Name	设置 / Setting	描述 / Description	复位值 / Reset	操作 / Access
0x87D	HOPF_FTW30_3	[7:0]	HOPF_FTW30 [31:24]		跳频频率 FTW30。 Frequency-hopping frequency FTW30.	0x0	R/W
0x87E	HOPF_FTW31_0	[7:0]	HOPF_FTW31 [7:0]		跳频频率 FTW31。 Frequency-hopping frequency FTW31.	0x0	R/W
0x87F	HOPF_FTW31_1	[7:0]	HOPF_FTW31 [15:8]		跳频频率 FTW31。 Frequency-hopping frequency FTW31.	0x0	R/W
0x880	HOPF_FTW31_2	[7:0]	HOPF_FTW31 [23:16]		跳频频率 FTW31。 Frequency-hopping frequency FTW31.	0x0	R/W
0x881	HOPF_FTW31_3	[7:0]	HOPF_FTW31 [31:24]		跳频频率 FTW31。 Frequency-hopping frequency FTW31.	0x0	R/W

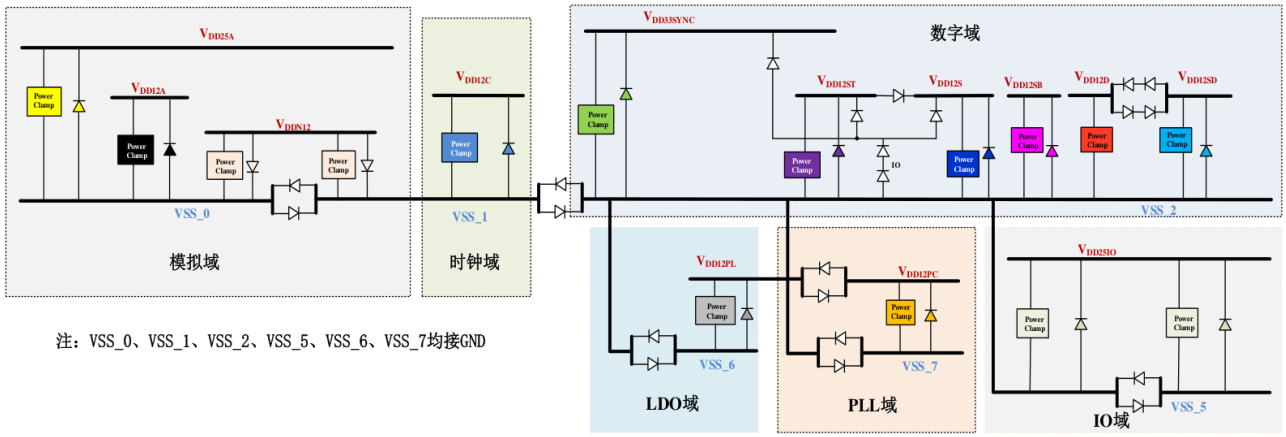


Figure 9: 内部电源间的 ESD 保护电路 / ESD protection circuit between internal supplies

电源地间保护 / ESD Protection Between Supplies

To improve the anti-static capability of the device, electrostatic protection loops exist between the supply pins inside the device as follows. The forward conduction voltage drop of each ESD protection device is about 0.6 V; during power-up and normal use, prolonged forward conduction of these ESD protection devices should be avoided.

为了提高器件的抗静电能力，器件内部的各电源引脚之间存在如下的静电保护回路，每个 ESD 保护管的正向导通压降约 0.6V，上电及正常使用中应避免这些 ESD 保护管长时间正向导通。

Note: VSS_0, VSS_1, VSS_2, VSS_5, VSS_6, VSS_7 are all connected to GND.

注：VSS_0、VSS_1、VSS_2、VSS_5、VSS_6、VSS_7均接GND。

注意事项 / Cautions

1、产品安装注意事项 / Product Mounting Cautions

1) Pay attention to the device orientation during soldering to avoid incorrect mounting.

1) 焊接时请注意器件方向，以免焊错。

2) Instruments and meters used for circuit debugging must share a good common ground. Keep the PCB ground solid and the power supplies decoupled in the PCB design.

2) 调试电路所用的仪器、仪表一定要有良好的统一接地。PCB 板设计请务必保持接地良好、电源去耦。

3) Take care not to reverse the power supply connections or short the input/output terminals to the power supply, as this can easily damage the circuit.

3) 应注意不要将电源接反及输入输出端与电源短路，易造成电路损坏。

2、产品使用注意事项 / Product Usage Cautions

1) Analog ground and digital ground should be kept isolated to prevent digital signals from flowing through the analog ground and causing analog noise. Analog ground and digital ground are not connected internally; for the device to operate, they must be connected externally. This connection must be made at a single point and as close to the device as possible.

1) 模拟地和数字地应该保持隔离, 以避免数字信号流经模拟地导致模拟噪声。模拟地和数字地在内部是不相连的, 为了使器件工作,它们必须在外部相连接。这个连接点仅是一点相连, 并且要尽可能靠近器件。

2) It is recommended to reset the circuit after power-up before use.

2) 推荐上电后首先对电路进行复位，再进行使用。

3) Pay attention to the ambient temperature in actual use and ensure adequate heat dissipation.

3) 建议实际使用时关注环境温度，并注意散热。

4) The maximum frequency of the clock (CLK±) must not exceed 6 GHz.

4) 时钟（CLK±）的最高频率不得超过 6GHz。

3、产品防护注意事项 / Product Protection Cautions

1) All pins of this device are designed with electrostatic protection structures; however, high-energy electrical pulses can still damage the circuit, so electrostatic protection should be observed during testing, handling and storage.

1) 该电路所有引出端均设计有静电保护结构，不过大能量电脉冲仍然可能损坏电路，因此在测试、搬运、储藏过程中，应注意静电防护。

2) Exceeding the absolute maximum ratings may cause permanent damage to the device. These are rating limits only and do not imply that the device can operate normally under these conditions or under any other conditions beyond those shown in this manual.

2) 超出绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本产品手册中所示的条件下，器件能够正常工作。

3) Provided that direct exposure to rain and snow is avoided, packing cases containing the product can be transported by safe means of transport. However, they must not be stacked together with acidic, alkaline or other corrosive materials. The packaging should be secure, and existing means of transport may be used.

3) 在避免雨、雪直接影响的条件下，装有产品的包装箱可以用安全的运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。包装应是安全的，可以采用现有的运输工具。

4) The storage environment for packaged products shall meet the Class I warehouse conditions specified in Section 8.1 of Q/W 657A (temperature: 15°C–25°C, humidity: 25%–65%), with no acids, alkalis or other corrosive gases nearby, good ventilation, and appropriate anti-static measures.

4) 包装好的产品贮存环境应满足 Q/W 657A 第 8.1 规定的 I 类库房条件要求（温度：15°C~25°C, 湿度：25%~65%），周围没有酸、碱或其它腐蚀性气体，通风良好，且具备相应防静电措施。

4、电装说明 / Assembly Instructions

1) This product has a moisture sensitivity level of MSL3. The allowable time of exposure to the ambient environment from removal from the moisture-proof bag, dry storage or baking until reflow soldering is: ≤30°C/60%RH, 168 h.

1) 本产品潮湿敏感等级为 MSL3，将产品从防潮袋中取出、进行干燥储存或烘干后到回流焊前所暴露在外部环境的允许时间为：≤30°C/60RH%，168h；

2) If the storage conditions of the device cannot be controlled or traced, strictly perform baking at 125°C for 8 h before assembly.

2) 若器件储存条件无法控制或追溯，请在电装前严格执行 125°C，8h 烘烤；

3) If the temperature and humidity of the assembly environment cannot be guaranteed at ≤30°C/60%RH, complete soldering within 12 h after baking.

3) 若电装环境温湿度无法保证≤30°C/60RH%，请在烘烤后 12h 内完成焊接；

4) After baking, the product is highly prone to static electricity; ESD protection must be observed throughout all handling.

4) 产品烘烤后，极易产生静电，所有操作过程需要注意 ESD 防护；

5) For board-level assembly using leaded reflow soldering (Sn63Pb37), the recommended peak temperature range is 210°C–235°C, with the maximum peak temperature not exceeding 235°C, dwell time within ±5°C of the peak temperature ≤20 s, time above liquidus 60–90 s, ramp-up rate 2–4°C/s, and ramp-down rate 2–6°C/s.

5) 板级组装采用有铅回流焊（Sn63Pb37）时，推荐峰值温度范围 210°C~235°C，最大峰值温度不建议超过 235°C，峰值温度±5°C以内停留时间≤20s，液相线以上停留时间 60~90s，升温速率 2~4°C/s，降温速率 2~6°C/s；

6) For board-level assembly using lead-free reflow soldering (SAC305), the recommended peak temperature range is 230°C–245°C, with the maximum peak temperature not exceeding 260°C, dwell time within ±5°C of the peak temperature ≤20 s, time above liquidus 60–90 s, ramp-up rate 2–4°C/s, and ramp-down rate 2–6°C/s.

6) 板级组装采用无铅回流焊（SAC305）时，推荐峰值温度范围 230°C~245°C，最大峰值温度不建议超过 260°C，峰值温度±5°C以内停留时间≤20s，液相线以上停留时间 60~90s，升温速率 2~4°C/s，降温速率 2~6°C；

7) If a mixed assembly process requires elevated temperatures, ensure the device body temperature does not exceed 260°C (the device body temperature measurement point is located on the top surface of the device during reflow).

7) 若混合电装工艺需要温度升高，应保证器件本体温度最高不超过 260°C（器件本体温度测量点位于回流焊时器件上表面）；

8) This product uses lead-free solder balls made of SAC305.

8) 本产品采用无铅焊球，材料为 SAC305。

5、热阻 / Thermal Resistance

表 14 封装热阻 / Table 14: Package Thermal Resistance

项目 / Item	实测值 / Measured Value	依据标准及方法 / Standard and Method
Rthja（结到环境的热阻）/ Rthja (junction-to-ambient thermal resistance)	24.44 K/W	JESD51-2 集成电路自然对流热测试环境要求及测试方法 / JESD51-2, natural convection thermal test environmental requirements and test method for integrated circuits
Rthjt（结到器件顶面的热阻）/ Rthjt (junction-to-case-top thermal resistance)	1.753 K/W	JESD51-14 一维传热路径双界面分离法 / JESD51-14, one-dimensional heat transfer path dual-interface separation method
Rthj-bottom（结到器件底面的热阻）/ Rthj-bottom (junction-to-case-bottom thermal resistance)	0.9358 K/W	JESD51-14 拐点理论器件内部结构分层得到 / JESD51-14, obtained by inflection-point theory stratification of the device internal structure
Rthj-board（结到 PCB 板背面的热阻）/ Rthj-board (junction-to-PCB-back thermal resistance)	3.927 K/W	JEDEC51-14 一维传热路径双界面分离法 / JEDEC51-14, one-dimensional heat transfer path dual-interface separation method

常见故障及处理办法 / Troubleshooting

1) No signal output: check whether the supply voltages, input signal and clock are loaded correctly.

1、 无信号输出：检查电源电压、输入信号、时钟是否正确加载。

2) Device not functioning properly: identify the device operating mode and confirm the configuration is correct.

2、 器件功能不正常：明确器件工作模式，确认配置是否正确。

3) Device operating unstably: check the power supplies and ensure the supply voltages are stable.

3、 器件工作不稳定：检查电源，保证电源电压稳定。

联系方式 / Contact Information

Felix (Flip) Lai, CEO

邮箱 / Email: felix@shenxinic.com

电话 / Tel: +852 51367095

官网 / Website: shenxinic.com

附加说明 / Additional Information

1) This manual was first published in July 2026.

1. 本说明书首次发布日期：2026 年 7 月。

2) Product status: ☑ In production (this model is currently in production and formal products can be supplied). ☐ Pre-release (this model has not yet entered formal production; samples can be supplied).

1. 本产品状态：☑生产 （该产品型号目前已在生产，可以提供正式产品） ☐预发布（该产品型号尚未投入正式生产，可以提供样品）

3) Model suffix difference description (for series products, describe model suffixes as in the following example; add this section when needed): None.

1. 型号后缀差异性说明（系列化产品需对型号后缀说明如下示例，需要时增加此部分） 无

4) Comparison against the overseas reference product:

1. 替代国外产品情况说明：

1）绝对最大额定值对比 / Absolute maximum ratings comparison

附表 1 绝对最大额定值对比 / Appendix Table 1: Absolute Maximum Ratings Comparison

参数 / Parameter	SXD019	国外产品器件手册 / Overseas Product Datasheet	比对结果 / Comparison
2.5V 模拟电源（VDD25A）/ 2.5 V analog supply (VDD25A)	−0.3 V～+2.625 V	−0.3 V～+2.625 V	一致 / Consistent
1.2V 模拟电源（VDD12A）/ 1.2 V analog supply (VDD12A)	−0.3 V～+1.326 V	−0.3 V～+1.326 V	一致 / Consistent

参数 / Parameter	SXD019	国外产品器件手册 / Overseas Product Datasheet	比对结果 / Comparison
1.2V 时钟电源（VDD12C）/ 1.2 V clock supply (VDD12C)	−0.3 V～+1.326 V	−0.3 V～+1.326 V	一致 / Consistent
1.2V 数字电源（VDD12D）/ 1.2 V digital supply (VDD12D)	−0.3 V～+1.326 V	−0.3 V～+1.326 V	一致 / Consistent
1.2V SERDES 电源（VDD12S）/ 1.2 V SERDES supply (VDD12S)	−0.3 V～+1.326 V	−0.3 V～+1.326 V	一致 / Consistent
1.2V SERDES 数字电源（VDD12SD）/ 1.2 V SERDES digital supply (VDD12SD)	−0.3 V～+1.326 V	−0.3 V～+1.326 V	一致 / Consistent
1.2V SERDES 终端电源（VDD12ST）/ 1.2 V SERDES termination supply (VDD12ST)	−0.3 V～+1.326 V	−0.3 V～+1.326 V	一致 / Consistent
1.2V SERDES PLL 时钟电源（VDD12PC）/ 1.2 V SERDES PLL clock supply (VDD12PC)	−0.3 V～+1.326 V	−0.3 V～+1.326 V	一致 / Consistent
1.2V SERDES PLL LDO 电源（VDD12PL）/ 1.2 V SERDES PLL LDO supply (VDD12PL)	−0.3 V～+1.326 V	−0.3 V～+1.326 V	一致 / Consistent
1.2V SERDES 偏置电源（VDD12SB）/ 1.2 V SERDES bias supply (VDD12SB)	−0.3 V～+1.326 V	−0.3 V～+1.326 V	一致 / Consistent
−1.2V 模拟电源（VDDN12）/ −1.2 V analog supply (VDDN12)	−1.26 V～+0.3 V	−1.26 V～+0.3 V	一致 / Consistent
3.3V 同步电源（VDD33SYNC）/ 3.3 V sync supply (VDD33SYNC)	−0.3 V～+3.465 V	−0.3 V～+3.465 V	一致 / Consistent
2.5V I/O 电源（VDD25IO）/ 2.5 V I/O supply (VDD25IO)	−0.3 V～+3.465 V	−0.3 V～+3.465 V	一致 / Consistent
结温（TJ）/ Junction temperature (TJ)	150°C	105°C	不一致 / Not consistent
引出端耐焊接温度（Th）（10 s）/ Lead soldering temperature (Th) (10 s)	230°C	未提供 / Not provided	无 / —
贮存温度（Tstg）/ Storage temperature (Tstg)	−65°C~150°C	−65°C~150°C	一致 / Consistent

2）推荐工作条件对比 / Recommended operating conditions comparison

附表 2 推荐工作条件对比 / Appendix Table 2: Recommended Operating Conditions Comparison

参数 / Parameter	SXD019	国外产品器件手册 / Overseas Product Datasheet	比对结果 / Comparison
2.5V 模拟电源（VDD25A）/ 2.5 V analog supply (VDD25A)	2.375 V～2.625 V	2.375 V～2.625 V	一致 / Consistent
1.2V 模拟电源（VDD12A）/ 1.2 V analog supply (VDD12A)	1.14 V～1.326 V	1.14 V～1.326 V	一致 / Consistent
1.2V 时钟电源（VDD12C）/ 1.2 V clock supply (VDD12C)	1.14 V～1.326 V	1.14 V～1.326 V	一致 / Consistent
1.2V 数字电源（VDD12D）/ 1.2 V digital supply (VDD12D)	1.14 V～1.326 V	1.14 V～1.326 V	一致 / Consistent
1.2V SERDES 电源（VDD12S）/ 1.2 V SERDES supply (VDD12S)	1.14 V～1.326 V	1.14 V～1.326 V	一致 / Consistent

参数 / Parameter	SXD019	国外产品器件手册 / Overseas Product Datasheet	比对结果 / Comparison
1.2V SERDES 数字电源（VDD12SD）/ 1.2 V SERDES digital supply (VDD12SD)	1.14 V～1.326 V	1.14 V～1.326 V	一致 / Consistent
1.2V SERDES 终端电源（VDD12ST）/ 1.2 V SERDES termination supply (VDD12ST)	1.14 V～1.326 V	1.14 V～1.326 V	一致 / Consistent
1.2V SERDES PLL 时钟电源（VDD12PC）/ 1.2 V SERDES PLL clock supply (VDD12PC)	1.14 V～1.326 V	1.14 V～1.326 V	一致 / Consistent
1.2V SERDES PLL LDO 电源（VDD12PL）/ 1.2 V SERDES PLL LDO supply (VDD12PL)	1.14 V～1.326 V	1.14 V～1.326 V	一致 / Consistent
1.2V SERDES 偏置电源（VDD12SB）/ 1.2 V SERDES bias supply (VDD12SB)	1.14 V～1.326 V	1.14 V～1.326 V	一致 / Consistent
−1.2V 模拟电源（VDDN12）/ −1.2 V analog supply (VDDN12)	−1.26 V～−1.14 V	−1.26 V～−1.14 V	一致 / Consistent
3.3V 同步电源（VDD33SYNC）/ 3.3 V sync supply (VDD33SYNC)	3.135 V～3.465 V	3.135 V～3.465 V	一致 / Consistent
2.5V I/O 电源（VDD25IO）/ 2.5 V I/O supply (VDD25IO)	1.71 V～3.465 V	1.71 V～3.465 V	一致 / Consistent
DAC 输入时钟差分功率（PINCLK）/ DAC input clock differential power (PINCLK)	−3～10 dBm	−20～10 dBm	略有差异 / Slight difference
工作温度（TA）/ Operating temperature (TA)	−40°C~85°C	−40°C~85°C	一致 / Consistent

3）性能指标对比 / Performance specifications comparison

附表 3 主要性能指标对比 / Appendix Table 3: Key Performance Specifications Comparison

参数 / Parameter	SXD019（实测）/ SXD019 (measured), TC=−40℃~85℃			国外产品（数据手册）/ Overseas product (datasheet), TA=−40℃~85℃			单位 / Unit	比对结果 / Comparison
	最小 / Min	典型值 / Typ	最大 / Max	最小 / Min	典型值 / Typ	最大 / Max		
分辨率 / Resolution	16	16	16	16	16	16	Bits	一致 / Consistent
内部基准电压 / Internal reference voltage	1.1	1.19	1.3	—	1.19	—	V	一致 / Consistent
功耗 / Power consumption	—	2.22	3	—	2.29	—	W	典型值有差异 / Typical value differs
SCLK 写入最高频率 / Maximum SCLK write frequency	100	100	—	100	100	—	MHz	一致 / Consistent
SCLK 写入高电平脉宽 / SCLK write high pulse width	3.5	3.5	—	3.5	3.5	—	ns	一致 / Consistent
SCLK 写入低电平脉宽 / SCLK write low pulse width	4	4	—	4	4	—	ns	一致 / Consistent
SDIO 写入建立时间 / SDIO write setup time	4	4	—	4	4	—	ns	一致 / Consistent
SDIO 写入保持时间 / SDIO write hold time	1	1	—	1	1	—	ns	一致 / Consistent
最大采样率 / Maximum sampling rate	12	12	—	12	12	—	GSPS	一致 / Consistent
输入高电平 / Input high level	1.8	1.8	—	0.7×IOVDD	1.75	—	V	典型值有差异 / Typical value differs
输入低电平 / Input low level	—	0.7	0.7	—	0.75	0.3×IOVDD	V	典型值有差异 / Typical value differs
输入高电平电流 / Input high current	—	0.1	100	—	0.1	75	uA	一致 / Consistent
输入低电平电流 / Input low current	−200	−0.1	—	−150	−0.1	—	uA	一致 / Consistent
输出高电平 / Output high level	2	2	—	0.8×IOVDD	2	—	V	一致 / Consistent
输出低电平 / Output low level	—	0.5	0.5	—	0.5	0.2×IOVDD	V	一致 / Consistent
输出高电平电流 / Output high current	2	2	—	—	4	—	mA	典型值有差异 / Typical value differs
输出低电平电流 / Output low current	2	2	—	—	4	—	mA	典型值有差异 / Typical value differs

参数 / Parameter	SXD019（实测）/ SXD019 (measured), TC=−40℃~85℃			国外产品（数据手册）/ Overseas product (datasheet), TA=−40℃~85℃			单位 / Unit	比对结果 / Comparison
无杂散动态范围 / Spurious-free dynamic range, fout=70MHz, fDAC=12GSPS	60	72	—	—	—	—	dBc	/
无杂散动态范围 / Spurious-free dynamic range, fout=1000MHz, fDAC=12GSPS	55	64	—	—	—	—	dBc	/
无杂散动态范围 / Spurious-free dynamic range, fout=2000MHz, fDAC=12GSPS	50	58	—	—	—	—	dBc	/
无杂散动态范围 / Spurious-free dynamic range, fout=1000MHz, fDAC=5GSPS	55	65	—	—	65	—	dBc	一致 / Consistent
双音互调失真 / Two-tone intermodulation distortion, fout=900MHz, fDAC=12GSPS	65	76	—	—	79	—	dBc	典型值有差异 / Typical value differs
双音互调失真 / Two-tone intermodulation distortion, fout=1800MHz, fDAC=12GSPS	60	72	—	—	70	—	dBc	典型值有差异 / Typical value differs

注：SXD019、国外产品典型值均为常温实测值，SXD019 极限值为规范要求，国外产品极限值为数据手册值。

Note: the typical values of both the SXD019 and the overseas product are room-temperature measured values; the limit values of the SXD019 are specification requirements, and the limit values of the overseas product are datasheet values.

5）寄存器对比 / Register comparison

与国外一致。/ Consistent with the overseas product.

6）其它指标对比 / Other specifications comparison

附表 4 其它指标对比 / Appendix Table 4: Other Specifications Comparison

参数 / Parameter	SXD019	国外产品 / Overseas Product	比对结果 / Comparison
封装形式 / Package	BGA169	BGA160	有差异 / Different
质量等级 / Quality grade	企标 / Enterprise standard	工业级 / Industrial grade	有差异 / Different
尺寸 / Dimensions	11mm11mm2mm	11mm11mm0.95mm	有差异 / Different

参数 / Parameter	SXD019	国外产品 / Overseas Product	比对结果 / Comparison
替代建议 / Alternative recommendation	☐直接替代 ☐Direct replacement ☑有效替代 ☑Effective alternative ☐功能替代 ☐Functional alternative		
备注 / Remarks	国外产品有两种封装形式（BGA165 和 BGA169），SXD019 只有 BGA169 封装。 The overseas product is available in two package options (BGA165 and BGA169); the SXD019 is only available in the BGA169 package.		

本文档由深信科技 / Shenzhen Shenxin Technology Co., Ltd. 发布。/ This document is published by Shenzhen Shenxin Technology Co., Ltd. (Shenxin Tech).