SXD020

Quad-Channel 16-Bit, 2.4 GSPS D/A Converter

四通道 16 位 2.4GSPS D/A 转换器

16-bit | 4 channels | 2.4 GSPS | QFN88 | JESD204B

16位 | 四通道 | 2.4GSPS | QFN88 | JESD204B

对标 / Cross Reference: AD9154 — pin-to-pin compatible alternative

Product Datasheet / 产品数据手册

Shenzhen Shenxin Technology Co., Ltd. · 深圳市深信科技有限公司

felix@shenxinic.com | +852 51367095 | shenxinic.com

SXD020 Quad-Channel 16-Bit 2.4GSPS D/A Converter — Product Manual (Bilingual)

SXD020 型四通道 16 位 2.4GSPS D/A 转换器产品说明书、使用手册（中英对照）

Shenzhen Shenxin Technology Co., Ltd. / 深信科技 **V1.20260721**

对标 / Cross Reference: AD9154 — pin-to-pin compatible alternative

目录 / Table of Contents

1. 产品用途及应用范围 / Applications and Scope
2. 标准 / Standards
3. 产品特点 / Features
4. 产品描述 / Product Description
5. 产品外形图和实物图片 / Package Outline and Product Photos
6. 引出端排列（俯视图）/ Pin Arrangement (Top View)
7. 引出端功能符号表 / Pin Function Table
8. 推荐工作条件 / Recommended Operating Conditions
9. 绝对最大额定值 / Absolute Maximum Ratings
10. 性能指标 / Performance Specifications
11. 主要特性曲线图（电特性测试图）/ Typical Characteristic Curves (Electrical Test Plots)
12. 典型应用线路图 / Typical Application Circuit
13. 单元模块及工作原理 / Functional Blocks and Operating Principles
    - 1、SPI 接口 / 1. SPI Interface
    - 2、器件设置指南 / 2. Device Configuration Guide
    - 3、JESD204B 接口 / 3. JESD204B Interface
    - 4、数字处理通路 / 4. Digital Datapath
    - 5、模拟输出 / 5. Analog Output
    - 6、DAC 时钟输入 / 6. DAC Clock Input
    - 7、温度传感器 / 7. Temperature Sensor
    - 8、中断请求操作 / 8. Interrupt Request (IRQ) Operation
    - 9、板级硬件考虑 / 9. Board-Level Hardware Considerations
    - 10、启动顺序示例 / 10. Startup Sequence Example
14. 寄存器 / Registers
15. 电源地间保护 / Power-to-Ground Protection
16. 注意事项 / Precautions
17. 常见故障及处理办法 / Common Faults and Troubleshooting
18. 联系方式 / Contact Information

19. 附加说明 / Additional Notes

版本修订记录 / Revision History

版本号 / Version	发布日期 / Release Date	更改章节 / Changed Section	更改说明 / Change Description	备注 / Remarks
V1.20260721	2026.07	/	首次发布 / Initial release	

产品用途及应用范围 / Applications and Scope

English: Broadband communications systems; automatic test equipment; base stations and handheld devices; radar and avionics equipment.

中文： 宽带通信系统；自动测试仪器；基站、手持设备；雷达、航空电子装备。

标准 / Standards

English: Detailed specification and approval number: Q/GC 0214-2026 — Detailed Specification for SXD020 Quad-Channel 16-Bit 2.4GSPS D/A Converter. Quality grade / quality assurance requirement: enterprise standard.

中文： 详细规范及确认号：Q/GC 0214-2026 《SXD020 型四通道 16 位 2.4GSPS D/A 转换器详细规范》；质量等级/质量保证要求：企业标准。

产品特点 / Features

English: - Analog supply voltage: 3.3V/1.2V - Digital supply voltage: 3.3V/1.8V/1.2V - Number of channels: 4 channels - Resolution: 16 bits - Sampling rate: 2.4 GSPS - Selectable 1×, 2×, 4×, 8× interpolation filters - Digital quadrature modulation using a numerically controlled oscillator (NCO) - Power consumption: ≤4W (typical 3.09W) - Full-scale output current, typical: 20mA - Circuit interface: JESD204B - ESD rating: Class 1C, HBM model, 1000V - Weight: 0.35g±0.05g - Moisture sensitivity level and package: MSL3, QFN88

中文： - 模拟电源电压：3.3V/1.2V - 数字电源电压：3.3V/1.8V/1.2V - 通道数：4 通道 - 分辨率：16 bits - 采样率：2.4 GSPS - 可选 1×、2×、4×、8×内插滤波器 - 使用数控振荡器(NCO)的数字正交调制 - 功耗：≤4W(典型值 3.09W) - 满度输出电流典型值：20mA - 电路接口：JESD204B - ESD 等级：1C 级，HBM 模型：1000V - 重量：0.35g±0.05g - 湿敏等级和封装形式：MSL3，QFN88

产品描述 / Product Description

English: The SXD020 is a quad-channel, 16-bit, high-dynamic-range digital-to-analog converter (DAC) fabricated in CMOS, providing a maximum sampling rate of 2.4 GSPS and allowing multicarrier generation in baseband mode up to the Nyquist frequency. The SXD020 includes sophisticated digital modulation, input-signal power detection, and gain, phase and DC-offset compensation, and is optimized for direct up-conversion transmit applications. The device uses an 8-lane JESD204B serial data interface, with a

maximum data rate of 10.96 Gbps per lane. After data reception, selectable 1×, 2×, 4×, 8× interpolation, NCO complex frequency modulation, inverse-Sinc filtering and other functions can be applied; the processed data are synchronized by a high-speed latch and sent to the DAC cores to complete digital-to-analog conversion. The device can operate in two modes: nonreturn-to-zero (NRZ) mode and mix-mode. NRZ mode supports output operation in the first Nyquist zone; mix-mode supports output operation in the second and third Nyquist zones.

The device is packaged in an 88-pin plastic chip-carrier package, code QFN88, with outline dimensions of 12.0 mm (L) × 12.0 mm (W) × 0.85 mm (H).

The functional block diagram of this product is shown in Figure 1.

中文： SXD020 是一款采用 CMOS 工艺制造的四通道、16 位、高动态范围的数模转换器(DAC)，提供 2.4 GSPS 的最大采样率，允许在基带模式下生成多载波，最高可达奈奎斯特频率。SXD020 包括复杂的数字调制、输入信号功率检测以及增益、相位和直流失调补偿等，为直接上变频发射应用进行了优化。电路采用 8 Lanes JESD204B 串行数据接口，其中单个 Lane 的数据率最高可达 10.96 Gbps。数据接收后，可选择 1×、2×、4×、8×内插，NCO 复频率调制，反 Sinc 滤波等功能，处理后的数据经高速锁存器同步后送入 DAC 核，完成数模转换。电路可工作在两种工作模式：非归零模式(Nonreturn-to-zero mode)和混频模式(Mix-mode)。非归零模式支持输出工作在第一奈奎斯特区，混频模式支持输出工作在第二和第三奈奎斯特区。

该电路采用 88 引脚的塑料片式载体封装，代号 QFN88，外形尺寸为长 12.0mm×宽 12.0mm×高 0.85mm。

该产品功能框图如图 1 所示。

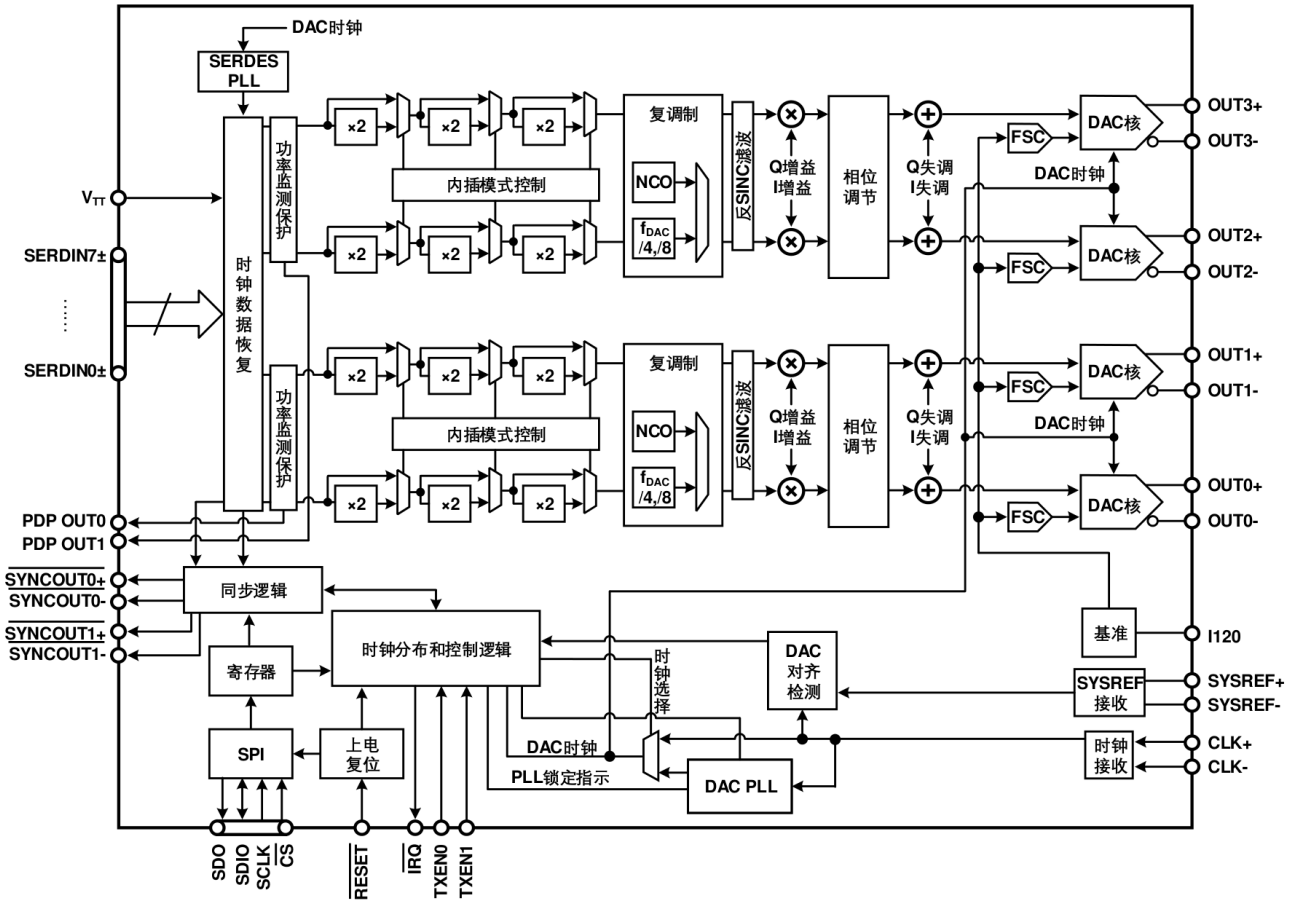


Figure 1: Functional block diagram

English: The SPI operating timing of this product is as follows:

中文： 该产品 SPI 工作时序如下：

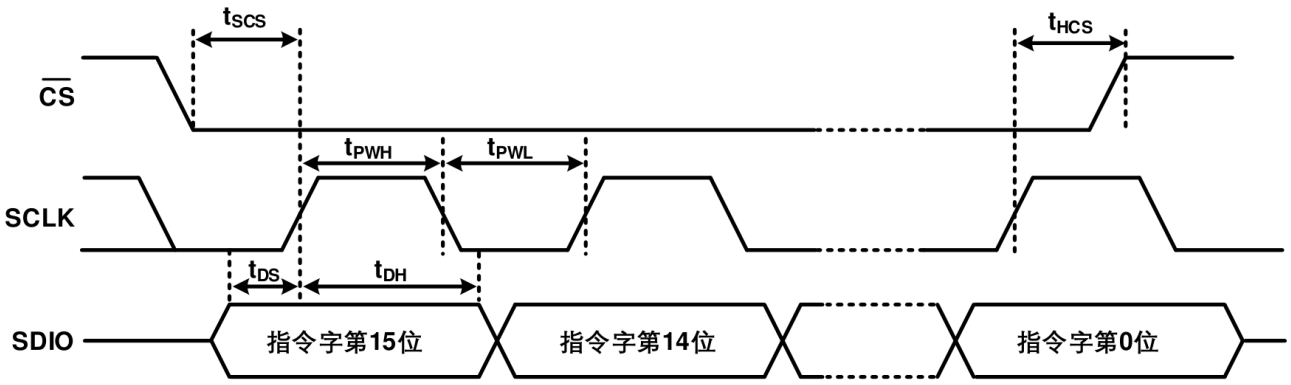
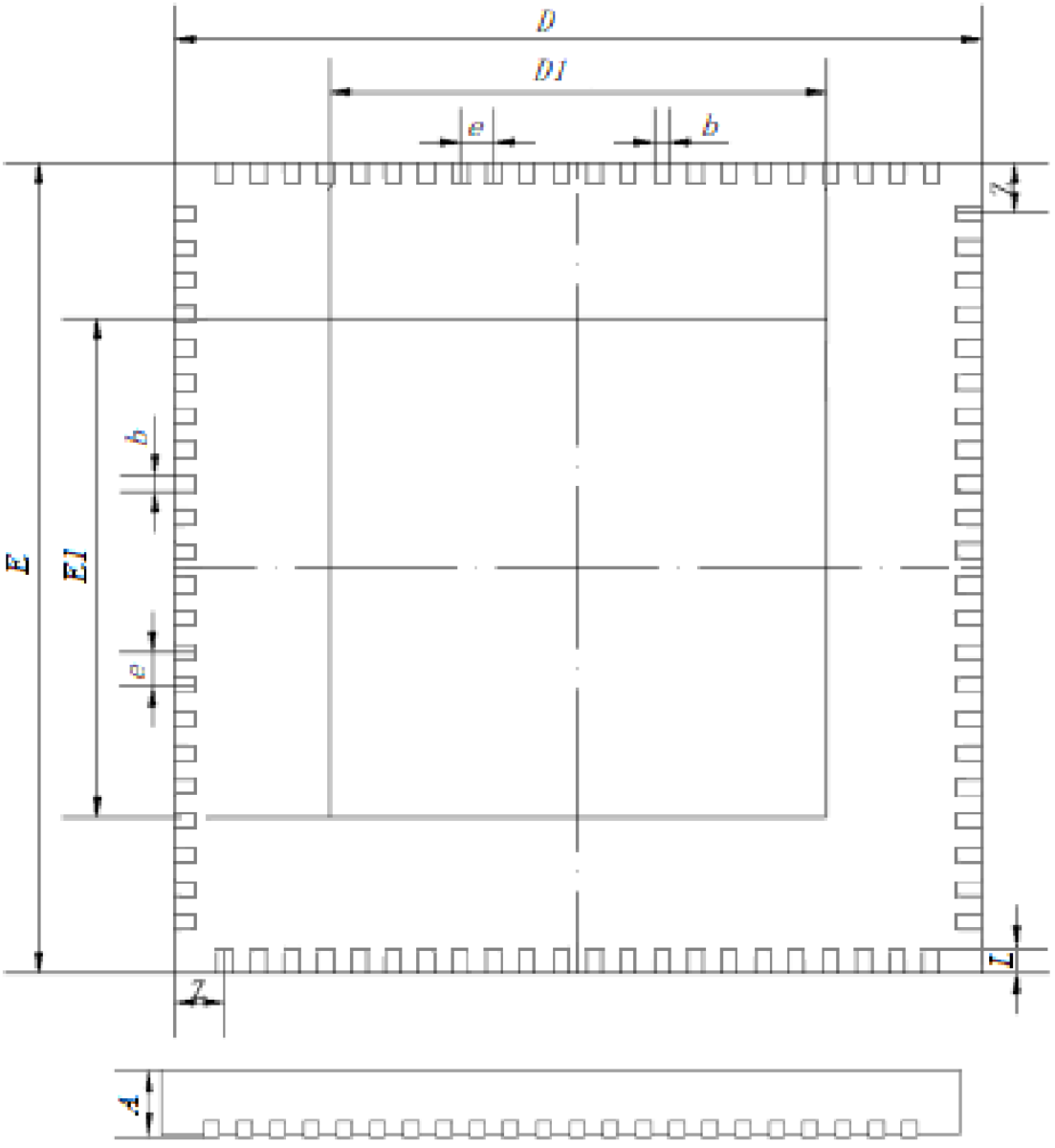


Figure 2: SPI operating timing

表1 SPI 时序特性 / Table 1. SPI Timing Characteristics

描述 / Description	参数 / Parameter	最小 / Min	典型 / Typ	最大 / Max	单位 / Unit
SPI 最大时钟速率 / SPI maximum clock rate	fSCLK	10	—	—	MHz
SCLK 最大高脉宽 / SCLK maximum high pulse width	tPWH	—	—	8	ns
SCLK 最大低脉宽 / SCLK maximum low pulse width	tPWL	—	—	12	ns
SDIO 到 SCLK 的建立时间 / SDIO-to-SCLK setup time	tDS	5	—	—	ns
SDIO 到 SCLK 的保持时间 / SDIO-to-SCLK hold time	tDH	2	—	—	ns
CS 到 SCLK 的建立时间 / CS-to-SCLK setup time	tSCS	5	—	—	ns
CS 到 SCLK 的保持时间 / CS-to-SCLK hold time	tHCS	2	—	—	ns

产品外形图和实物图片 / Package Outline and Product Photos


D
D1
e
b
E
E1
b
e

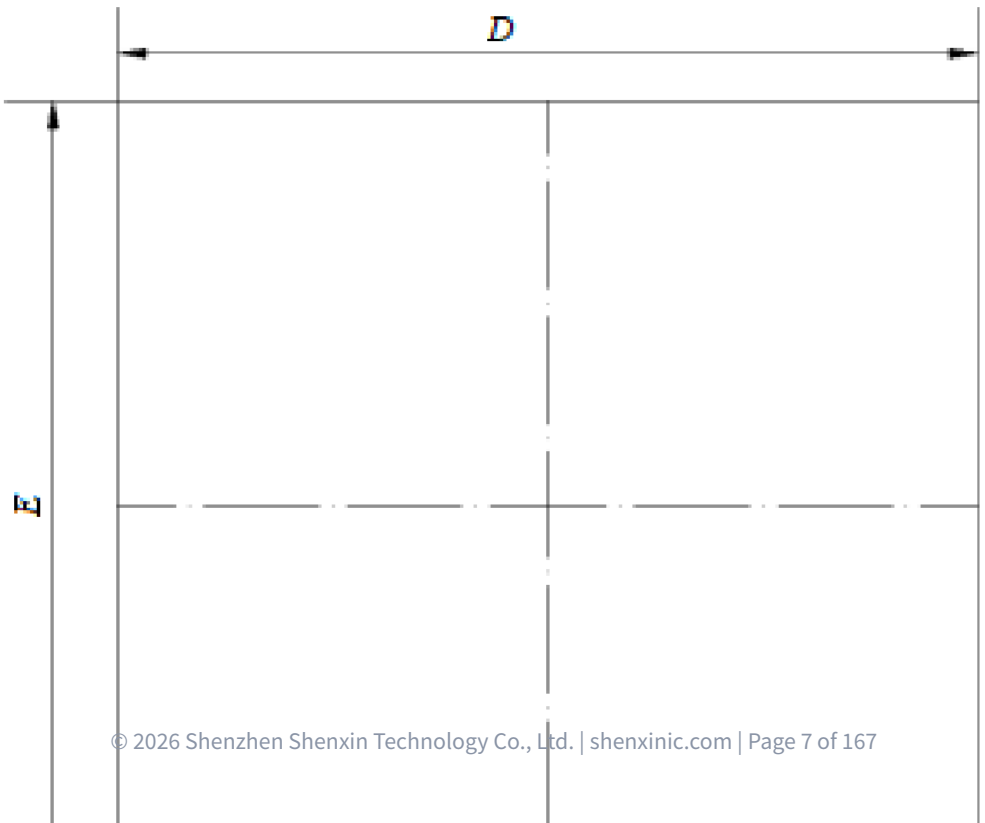

D
E1

Figure 3: Package outline dimensions

单位为毫米 / Units in mm

尺寸符号 / Dimension	最小 / Min	公称 / Nom	最大 / Max	尺寸符号 / Dimension	最小 / Min	公称 / Nom	最大 / Max
A	0.70	0.85[a]	1.00	L	0.30	0.40[a]	0.50
D	11.80	12.00[a]	12.20	Z	—	0.75[a]	2.50
D1	7.20	7.40[a]	7.60	b	0.18	0.23[a]	0.28
E	11.80	12.00[a]	12.20	e	—	0.50	—
E1	7.20	7.40[a]	7.60				

[a] 实际公称值，推荐用户参考该尺寸设计使用；/ Actual nominal values; users are advised to design with reference to these dimensions.

注：推荐焊盘设计详见电装说明。/ Note: see the assembly instructions for recommended pad layout.

引出端排列（俯视图）/ Pin Arrangement (Top View)

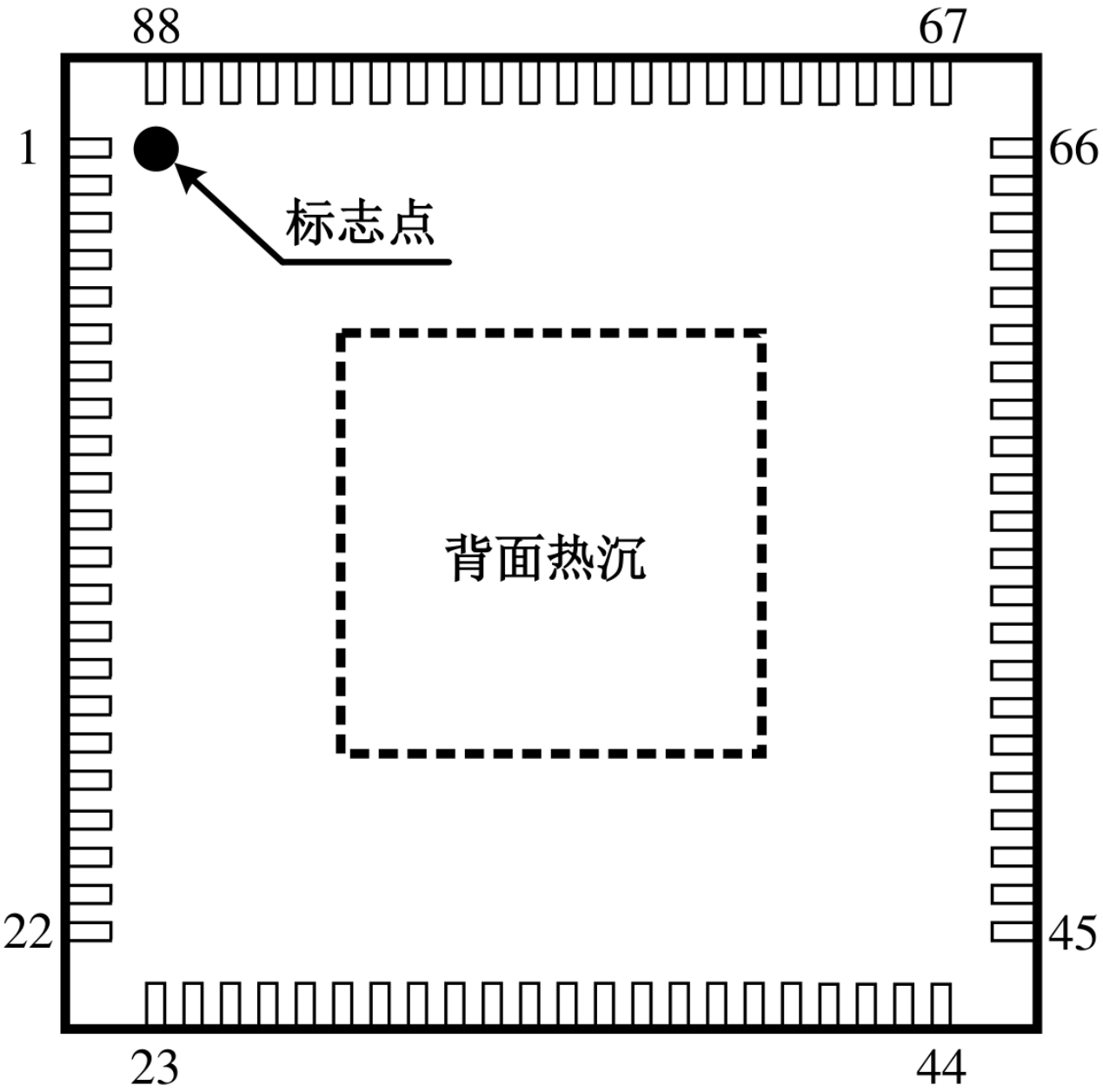


Figure 4: Pin arrangement (top view)

引出端功能符号表 / Pin Function Table

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
1	PVDD12	时钟电源 / Clock supply	/	45	SVDD12	SERDES 电源 / SERDES supply	/
2	CLK+	时钟正输入 / Clock positive input	I	46	VTT	SERDES 终端电源 / SERDES termination supply	/

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
3	CLK-	时钟负输入 / Clock negative input	I	47	SVDD12	SERDES 电源 / SERDES supply	/
4	PVDD12	时钟电源 / Clock supply	/	48	SERDIN6-	串行通道 6 负输入 / Serial lane 6 negative input	I
5	SYSREF+	系统时序参考正输入 / System timing reference positive input	I	49	SERDIN6+	串行通道 6 正输入 / Serial lane 6 positive input	I
6	SYSREF-	系统时序参考负输入 / System timing reference negative input	I	50	SVDD12	SERDES 电源 / SERDES supply	/
7	PVDD12	时钟电源 / Clock supply	/	51	SERDIN7-	串行通道 7 负输入 / Serial lane 7 negative input	I
8	PVDD12	时钟电源 / Clock supply	/	52	SERDIN7+	串行通道 7 正输入 / Serial lane 7 positive input	I
9	PVDD12	时钟电源 / Clock supply	/	53	DVDD12	数字电源 / Digital supply	/
10	PVDD12	时钟电源 / Clock supply	/	54	DNC[a]	未使用 / Do not connect	/
11	TXEN0	DAC0、DAC1 传输使能 / DAC0/DAC1 transmit enable	I	55	DNC[a]	未使用 / Do not connect	/
12	TXEN1	DAC2、DAC3 传输使能 / DAC2/DAC3 transmit enable	I	56	PVDD12	时钟电源 / Clock supply	/
13	DVDD12	数字电源 / Digital supply	/	57	PVDD12	时钟电源 / Clock supply	/
14	DVDD12	数字电源 / Digital supply	/	58	PDPOUT1	DAC3 和 DAC4 的功率监测和保护指示 / Power detection and protection indication for DAC3 and DAC4	O
15	SERDIN0+	串行通道 0 正输入 / Serial lane 0 positive input	I	59	PDPOUT0	DAC1 和 DAC2 的功率监测和保护指示 / Power detection and protection indication for DAC1 and DAC2	O
16	SERDIN0-	串行通道 0 负输入 / Serial lane 0 negative input	I	60	IRQ	中断请求 / Interrupt request	O
17	SVDD12	SERDES 电源 / SERDES supply	/	61	RESET	复位 / Reset	I
18	SERDIN1+	串行通道 1 正输入 / Serial lane 1 positive input	I	62	SDO	SPI 数据输出 / SPI data output	O
19	SERDIN1-	串行通道 1 负输入 / Serial lane 1 negative input	I	63	SDIO	SPI 数据输入/输出 / SPI data input/output	I/O
20	SVDD12	SERDES 电源 / SERDES supply	/	64	SCLK	SPI 时钟输入 / SPI clock input	I
21	VTT	SERDES 终端电源 / SERDES termination supply	/	65	CS	SPI 片选信号 / SPI chip select	I
22	SVDD12	SERDES 电源 / SERDES supply	/	66	IOVDD	CMOS 输入/输出和 SPI 电源 / CMOS I/O and SPI supply	/

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
23	SYNCOUT0+	链路 0 同步请求正输出 / Link 0 sync request positive output	O	67	AVDD33	模拟电源 / Analog supply	/
24	SYNCOUT0-	链路 0 同步请求负输出 / Link 0 sync request negative output	O	68	OUT3+	DAC3 正电流输出 / DAC3 positive current output	O
25	VTT	SERDES 终端电源 / SERDES termination supply	/	69	OUT3-	DAC3 负电流输出 / DAC3 negative current output	O
26	SERDIN2+	串行通道 2 正输入 / Serial lane 2 positive input	I	70	AVDD33	模拟电源 / Analog supply	/
27	SERDIN2-	串行通道 2 负输入 / Serial lane 2 negative input	I	71	CVDD12	DAC 核 1.2V 时钟电源 / DAC core 1.2V clock supply	/
28	SVDD12	1.2V SERDES 电源 / 1.2V SERDES supply	/	72	AVDD33	3.3V 模拟电源 / 3.3V analog supply	/
29	SERDIN3+	串行通道 3 正输入 / Serial lane 3 positive input	I	73	OUT2-	DAC2 负电流输出 / DAC2 negative current output	O
30	SERDIN3-	串行通道 3 负输入 / Serial lane 3 negative input	I	74	OUT2+	DAC2 正电流输出 / DAC2 positive current output	O
31	SVDD12	SERDES 电源 / SERDES supply	/	75	AVDD33	模拟电源 / Analog supply	/
32	SVDD12	SERDES 电源 / SERDES supply	/	76	CVDD12	DAC 核时钟电源 / DAC core clock supply	/
33	SVDD12	SERDES 电源 / SERDES supply	/	77	AVDD33	3.3V 模拟电源 / 3.3V analog supply	/
34	LDO_BYP1	SERDES LDO 旁路 / SERDES LDO bypass	O	78	OUT1+	DAC1 正电流输出 / DAC1 positive current output	O
35	SIOVDD33	SERDES 端口电源 / SERDES port supply	/	79	OUT1-	DAC1 负电流输出 / DAC1 negative current output	O
36	SVDD12	SERDES 电源 / SERDES supply	/	80	AVDD33	模拟电源 / Analog supply	/
37	SERDIN4-	串行通道 4 负输入 / Serial lane 4 negative input	I	81	CVDD12	DAC 核时钟电源 / DAC core clock supply	/
38	SERDIN4+	串行通道 4 正输入 / Serial lane 4 positive input	I	82	AVDD33	3.3V 模拟电源 / 3.3V analog supply	/
39	SVDD12	SERDES 电源 / SERDES supply	/	83	OUT0-	DAC0 负电流输出 / DAC0 negative current output	O
40	SERDIN5-	串行通道 5 负输入 / Serial lane 5 negative input	I	84	OUT0+	DAC0 正电流输出 / DAC0 positive current output	O
41	SERDIN5+	串行通道 5 正输入 / Serial lane 5 positive input	I	85	AVDD33	模拟电源 / Analog supply	/
42	VTT	SERDES 终端电源 / SERDES termination supply	/	86	I120	DAC 满幅度输出电流产生 / DAC full-scale output current generation	I/O
43	SYNCOUT1-		O	87	CVDD12	DAC 核时钟电源 / DAC core clock supply	/

引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O	引出端号 / Pin No.	符号 / Symbol	名称 / Name	I/O
		链路 1 同步请求负输出 / Link 1 sync request negative output					
44	SYNCOUT1+	链路 1 同步请求正输出 / Link 1 sync request positive output	O	88	LDO_BYP2	DAC PLL LDO 旁路 / DAC PLL LDO bypass	O
—	EPAD[b]	背面热沉裸露焊盘 / Exposed pad (back-side heat sink)	/				

[a] 使用时不要连接，保持引脚悬空；/ Do not connect in use; leave the pin floating. [b] 为热沉，接地电位。/ Heat sink; at ground potential.

推荐工作条件 / Recommended Operating Conditions

English: - AVDD33: 3.13V~3.47V - SIOVDD33: 3.13V~3.47V - IOVDD: 1.71V~3.47V - DVDD12: 1.14V~1.326V - CVDD12: 1.14V~1.326V - PVDD12: 1.14V~1.326V - SVDD12: 1.14V~1.326V - VTT: 1.10V~1.37V - Operating temperature range (TA): -40°C~85°C

Note: see the cross-reference notes in the Additional Notes for the comparison with the foreign product.

中文： - AVDD33：3.13V~3.47V - SIOVDD33：3.13V~3.47V - IOVDD：1.71V~3.47V - DVDD12：1.14V~1.326V - CVDD12：1.14V~1.326V - PVDD12：1.14V~1.326V - SVDD12：1.14V~1.326V - VTT：1.10V~1.37 V - 工作温度范围（TA）：-40°C~85°C

注：请查看附件说明中替代国外产品情况说明。

绝对最大额定值 / Absolute Maximum Ratings

English: - Pin I120 to GND voltage: -0.3V~AVDD33+0.3V - Pins SERDINx±, VTT, SYNCOUTx±, TXENx voltage: -0.3V~SIOVDD33+0.3V - Pins OUTx± voltage: -0.3V~AVDD33+0.3V - Pins SYSREF± voltage: GND-0.5V - Pins CLK± to GND voltage: -0.3V~PVDD12+0.3V - Pins RESET, IRQ, CS, SCLK, SDIO, SDO, PDPOUTx to GND voltage: -0.3V~IOVDD+0.3V - Pin LDO_BYP1 voltage: -0.3V~SVDD12+0.3V - Pin LDO_BYP2 voltage: -0.3V~PVDD12+0.3V - Junction temperature (TJ): 125°C - Lead soldering temperature (Th) (10s): 300°C - Storage temperature (Tstg): -65°C~+150°C

中文： - 引脚 I120 到 GND 电压：-0.3V~AVDD33+0.3V - 引脚 SERDINx±、VTT、SYNCOUTx±、TXENx 电压：-0.3V～SIOVDD33+0.3V - 引脚 OUTx±电压：-0.3V~AVDD33+0.3V - 引脚 SYSREF±电压：GND-0.5V - 引脚 CLK± 到 GND 电压：-0.3V~PVDD12+0.3V - 引脚 RESET、IRQ、CS、SCLK、SDIO、SDO、PDPOUTx 到 GND 电压：-0.3V~IOVDD+0.3V - 引脚 LDO_BYP1 电压：-0.3V~SVDD12+0.3V - 引脚 LDO_BYP2 电压：-0.3V~PVDD12+0.3V - 结温(TJ)：125°C - 引线耐焊接温度(Th)(10s)：300°C - 贮存温度(Tstg)：-65°C~+150°C

性能指标 / Performance Specifications

Conditions / 条件（除另有规定外 / unless otherwise specified）: AVDD33=SIOVDD33=3.3V, IOVDD=1.8V, DVDD12=CVDD12=PVDD12=SVDD12=VTT=1.3V, EPAD=GND=0V, IFSMAX=20mA, -40°C≤TA≤85°C.

特性 / Parameter	符号 / Symbol	条件 / Conditions	最小 / Min	典型[b] / Typ	最大 / Max	单位 / Unit
分辨率 / Resolution	RES			16		Bits
通道数 / Number of channels	M			4		CH
微分非线性误差 / Differential nonlinearity	EDL		-10.0	—	+10.0	LSB
积分非线性误差 / Integral nonlinearity	EL		-20.0	—	+20.0	LSB
增益误差[a] / Gain error	EG	采用内基准 / Using internal reference	-15.0	+4.0	+15.0	%FSR
I/Q 增益失配[a] / I/Q gain mismatch	EGMIS		-8.0	+2.9	+8.0	%FSR
输出电压顺从范围[a] / Output voltage compliance range	VOC		2.3	—	3.3	V
最大满度输出电流 / Maximum full-scale output current	IFSMAX	在引脚 I120 与地之间接 4kΩ 电阻 / 4kΩ resistor between pin I120 and ground	19.0	20.3	22.0	mA
最小满度输出电流[a] / Minimum full-scale output current	IFSMIN	在引脚 I120 与地之间接 4kΩ 电阻 / 4kΩ resistor between pin I120 and ground	3.0	4.0	5.0	mA
功耗 / Power consumption	PW	fOUT=146MHz, fDAC=2400MSPS, DAC PLL on, NCO on	—	3.09	4	W
CMOS 输入高电平[a] / CMOS input high	VIH				0.7×IOVDD	V
CMOS 输入低电平[a] / CMOS input low	VIL				0.3×IOVDD	V
CMOS 输出高电平[a] / CMOS output high	VOH				0.7×IOVDD	V
CMOS 输出低电平[a] / CMOS output low	VOL				0.3×IOVDD	V
最大 DAC 更新率 / Maximum DAC update rate	fDAC		2400	—	—	MSPS
JESD204B 数据接口[a] / JESD204B data interface	L			8		Lane
JESD204B 接口最大工作速率[a] / JESD204B interface maximum operating rate	fSDATA		12	—	—	Gbps
最大输入时钟速率[a] / Maximum input clock rate	fCLK		2400	—	—	MHz
SPI 最大时钟速率[a] / SPI maximum clock rate	fSCLK		10	—	—	MHz

特性 / Parameter	符号 / Symbol	条件 / Conditions	最小 / Min	典型[b] / Typ	最大 / Max	单位 / Unit
SCLK 最大高脉宽[a] / SCLK maximum high pulse width	tPWH		—	—	8	ns
SCLK 最大低脉宽[a] / SCLK maximum low pulse width	tPWL		—	—	12	ns
SDIO 到 SCLK 的建立时间[a] / SDIO-to-SCLK setup time	tDS		5	—	—	ns
SDIO 到 SCLK 的保持时间[a] / SDIO-to-SCLK hold time	tDH		2	—	—	ns
CS 到 SCLK 的建立时间[a] / CS-to-SCLK setup time	tSCS		5	—	—	ns
CS 到 SCLK 的保持时间[a] / CS-to-SCLK hold time	tHCS		2	—	—	ns
JESD204B 数据输入差分阻抗[a] / JESD204B data input differential impedance	R_VDIFF		70	100	130	Ω
无杂散动态范围 / SFDR	SFDR	fOUT=24MHz, fDAC=2400MSPS, -6dBFS 单音 / single tone, DAC PLL on, NCO off[a]	63	71	—	dBc
无杂散动态范围 / SFDR	SFDR	fOUT=146MHz, fDAC=2400MSPS, -6dBFS 单音 / single tone, DAC PLL on, NCO on[a]	58	66	—	dBc
无杂散动态范围 / SFDR	SFDR	fOUT=495MHz, fDAC=2400MSPS, -6dBFS 单音 / single tone, DAC PLL on, NCO on	55	68	—	dBc
互调失真[a] / Intermodulation distortion	IMD	fOUT=146MHz, fDAC=2400MSPS, -6dBFS 单音 / single tone, DAC PLL on, NCO on	65	—	—	dBc

[a] 未纳入考核，仅供用户参考使用。/ Not subject to acceptance testing; provided for user reference only. [b] 典型值为常温测试数据。/ Typical values are room-temperature test data.

注：SFDR 手册权威值为 71dB，与上表 fOUT=24MHz 典型值 71dBc 一致。/ Note: the handbook SFDR value of 71dB agrees with the 71dBc typical value at fOUT=24MHz above.

主要特性曲线图（电特性测试图）/ Typical Characteristic Curves (Electrical Test Plots)

English: 1. First-Nyquist-zone spectrum at fOUT=218MHz. 2. First-Nyquist-zone spectrum at fOUT=518MHz. 3. SFDR vs. output frequency in the first Nyquist zone. 4–6. SFDR vs. output frequency for all DAC channels at fDAC=983/1966/2400MSPS. 7. Intermodulation distortion at fOUT=180MHz. 8–15. Fundamental power envelopes in normal mode and mix-mode at fDAC=512MSPS and 1000MSPS, with inverse-Sinc filter off/on. 16–23. Single-tone output phase noise at fOUT=51/105/201/405MHz with DAC

PLL on/off. 24. Single-carrier WCDMA output spectrum. 25. Dual-carrier WCDMA output spectrum. 26. 6-carrier GSM output spectrum.

中文： 1、输出频率 218MHz 条件下第一奈奎斯特区频谱图。2、输出频率 518MHz 条件下第一奈奎斯特区频谱图。3、第一奈奎斯特区内 SFDR 随输出频率变化曲线。4、所有 DAC 通道第一奈奎斯特区内 SFDR 随输出频率变化曲线，fDAC=983MSPS，-6dBFS。5、所有 DAC 通道第一奈奎斯特区内 SFDR 随输出频率变化曲线，fDAC=1966MSPS，-6dBFS。6、所有 DAC 通道第一奈奎斯特区内 SFDR 随输出频率变化曲线，fDAC=2400MSPS，-6dBFS。6、输出频率 180MHz 条件下互调失真。7、正常模式基波功率包络（关闭反 Sinc 滤波器），fDAC=512MSPS。8、正常模式基波功率包络（开启反 Sinc 滤波器），fDAC=512MSPS。9、混频模式基波功率包络（关闭反 Sinc 滤波器），fDAC=512MSPS。10、混频模式基波功率包络（开启反 Sinc 滤波器），fDAC=512MSPS。11、正常模式基波功率包络（关闭反 Sinc 滤波器），fDAC=1000MSPS。12、正常模式基波功率包络（开启反 Sinc 滤波器），fDAC=1000MSPS。13、混频模式基波功率包络（关闭反 Sinc 滤波器），fDAC=1000MSPS。14、混频模式基波功率包络（开启反 Sinc 滤波器），fDAC=1000MSPS。15、输出频率 51MHz、开启 DACPLL 条件下单音输出相噪曲线。16、输出频率 105MHz、开启 DACPLL 条件下单音输出相噪曲线。17、输出频率 201MHz、开启 DACPLL 条件下单音输出相噪曲线。18、输出频率 405MHz、开启 DACPLL 条件下单音输出相噪曲线。19、输出频率 51MHz、关闭 DACPLL 条件下单音输出相噪曲线。20、输出频率 105MHz、关闭 DACPLL 条件下单音输出相噪曲线。21、输出频率 201MHz、关闭 DACPLL 条件下单音输出相噪曲线。22、输出频率 405MHz、关闭 DACPLL 条件下单音输出相噪曲线。23、单载波 WCDMA 信号输出频谱。24、双载波 WCDMA 信号输出频谱。25、6 载波 GSM 信号输出频谱。

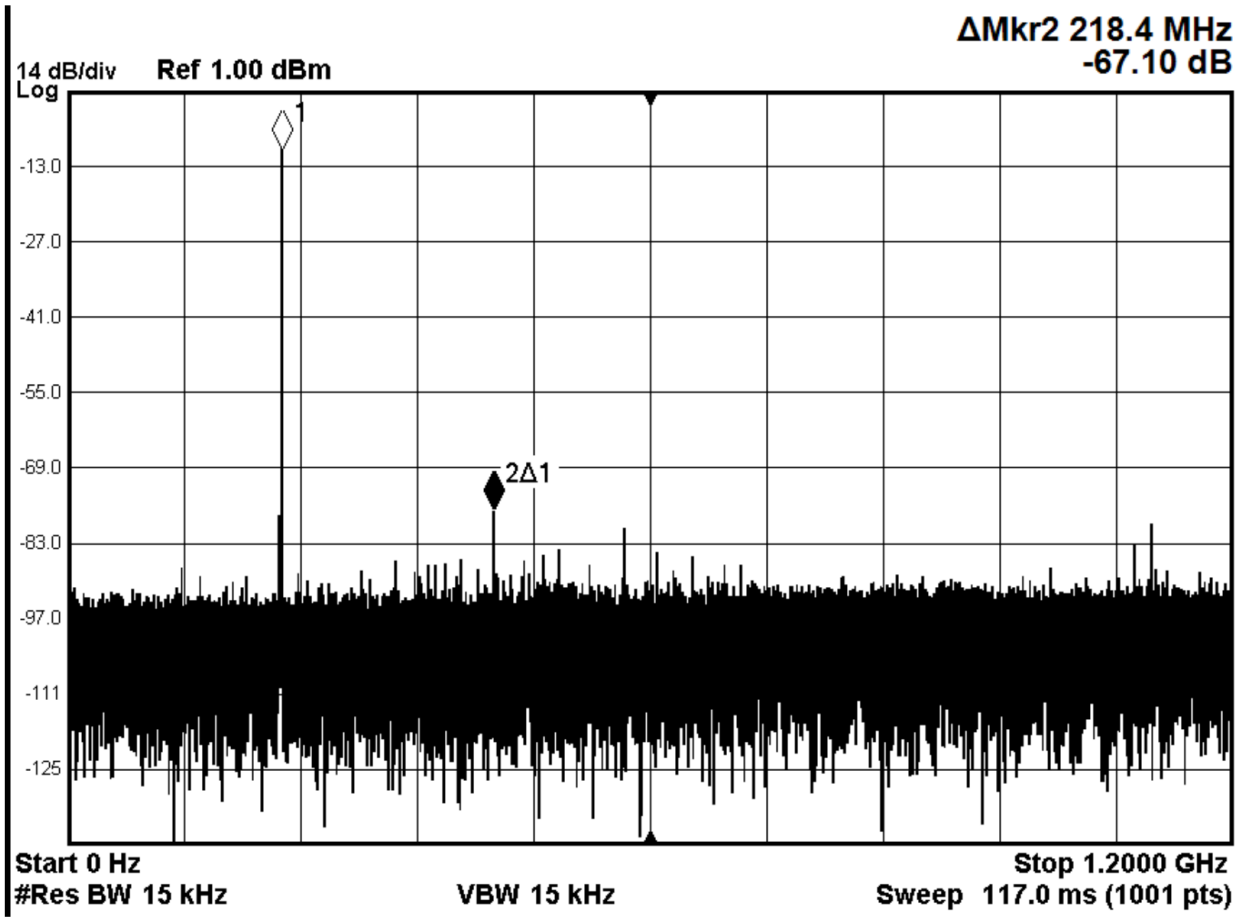


Figure 5: First-Nyquist-zone spectrum, fDAC=2400 MHz, fOUT=218 MHz, -6 dBFS, TA=25°C

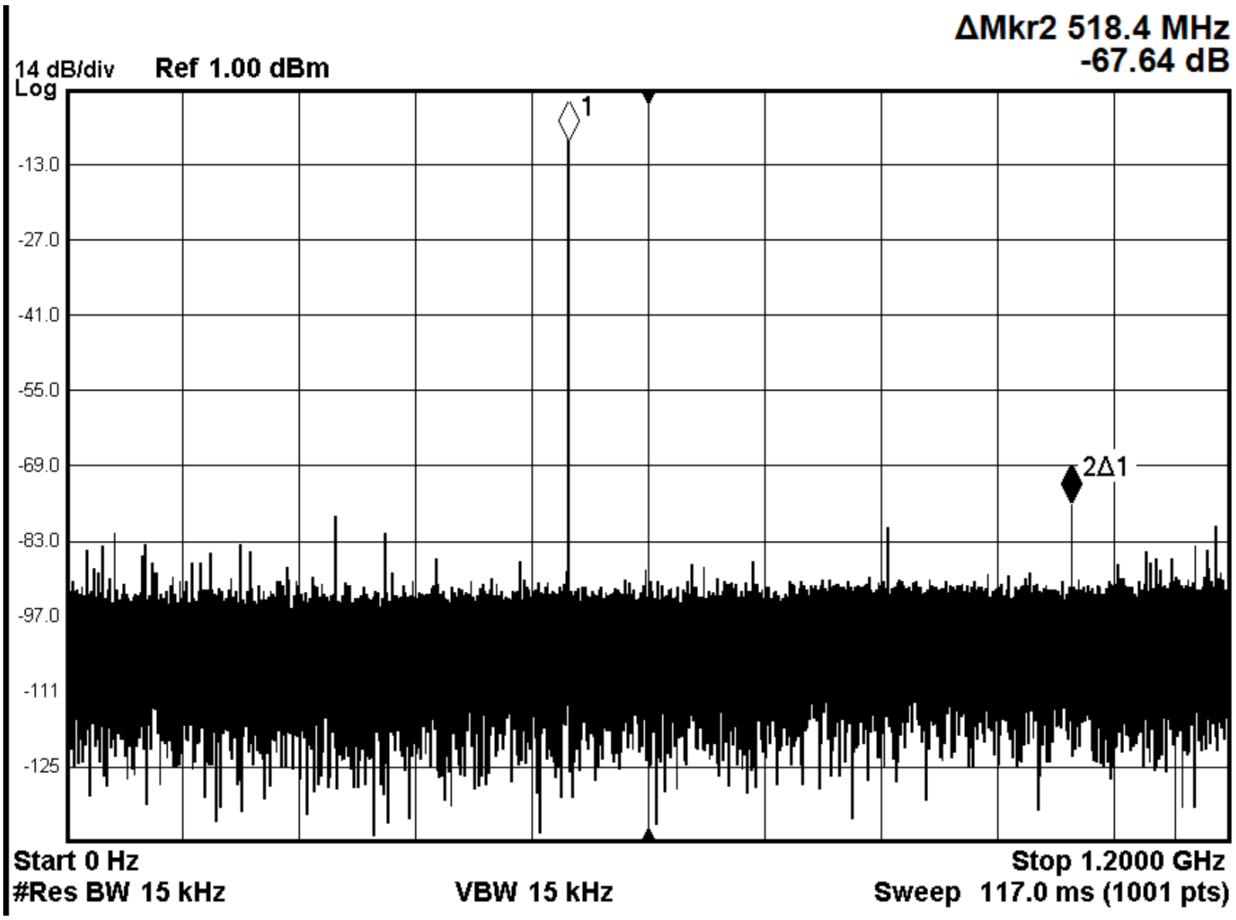


Figure 6: First-Nyquist-zone spectrum, fDAC=2400 MHz, fOUT=518 MHz, -6 dBFS, TA=25°C

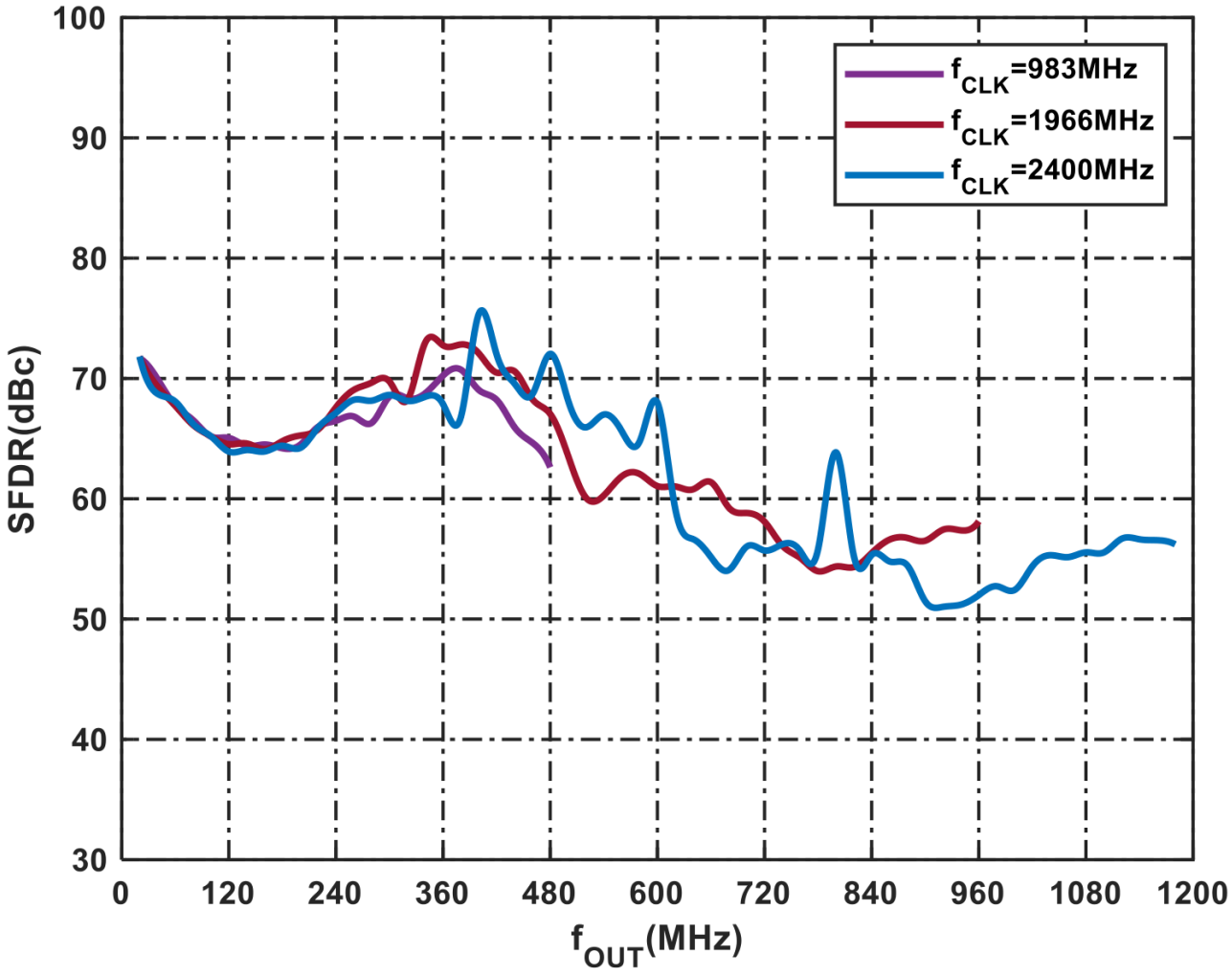


Figure 7: SFDR vs. fOUT in the first Nyquist zone, -6 dBFS, TA=25°C

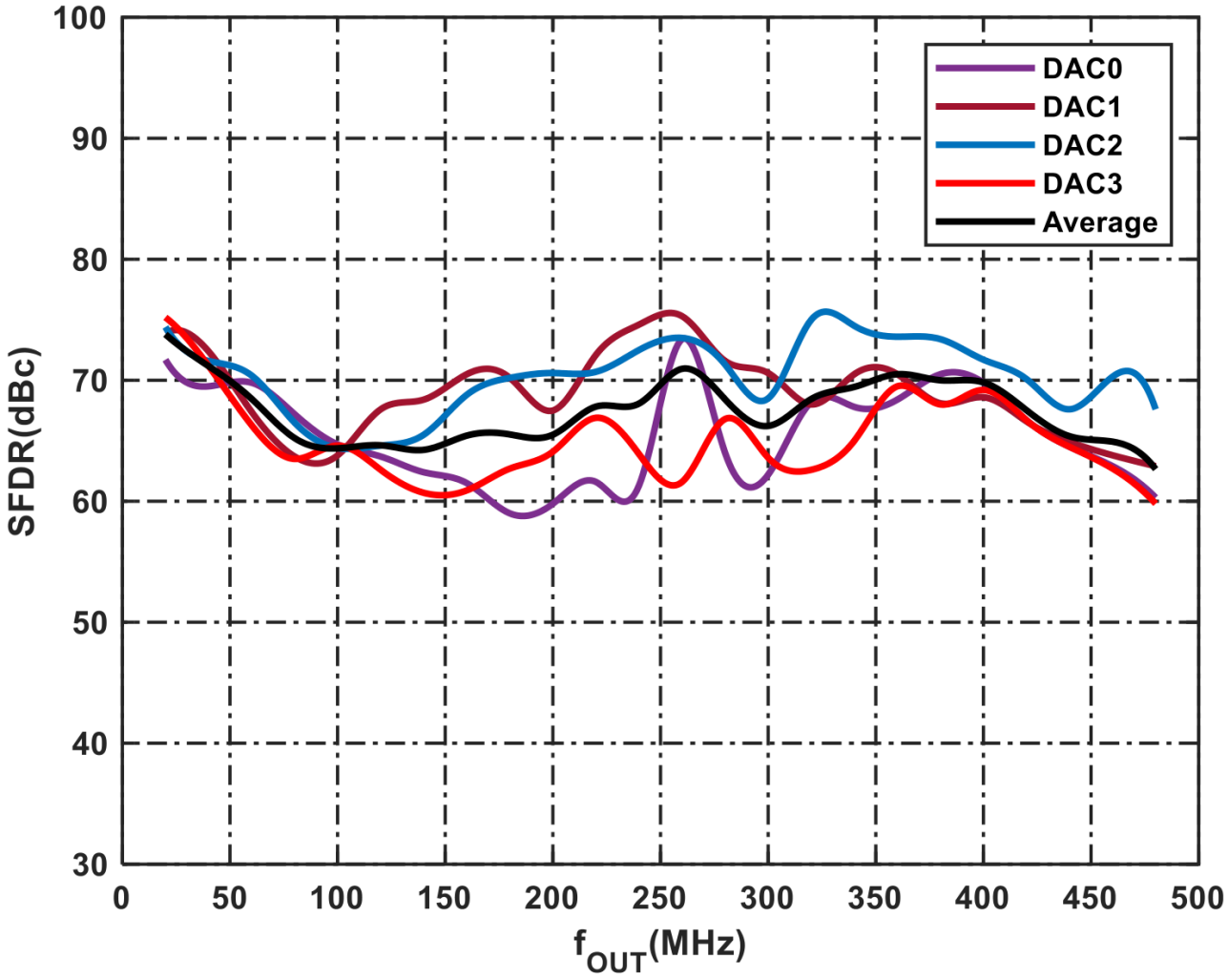


Figure 8: SFDR vs. fOUT in the first Nyquist zone, fDAC=983 MSPS, -6 dBFS, all DAC channels, TA=25°C

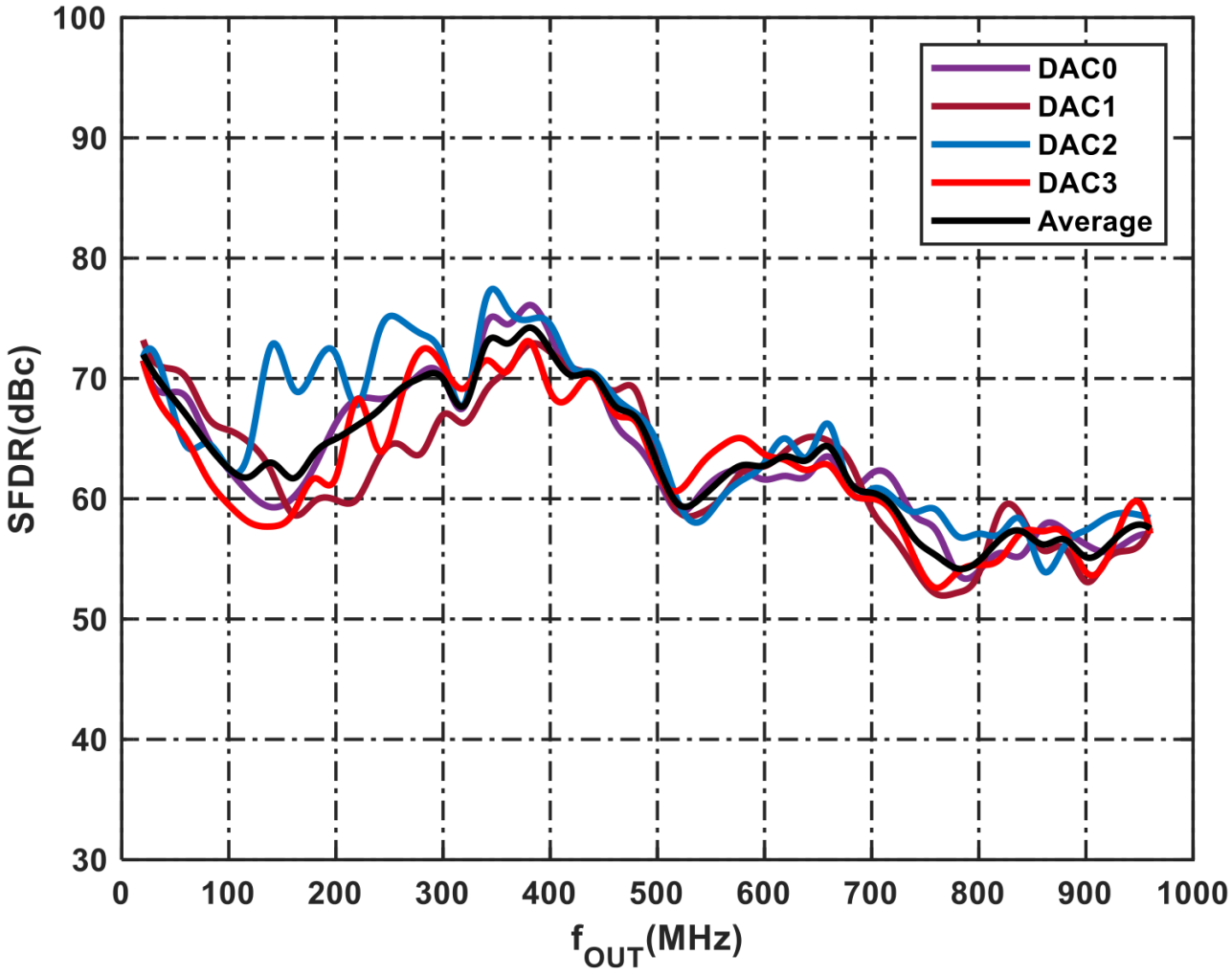


Figure 9: SFDR vs. fOUT in the first Nyquist zone, fDAC=1966 MSPS, -6 dBFS, all DAC channels, TA=25°C

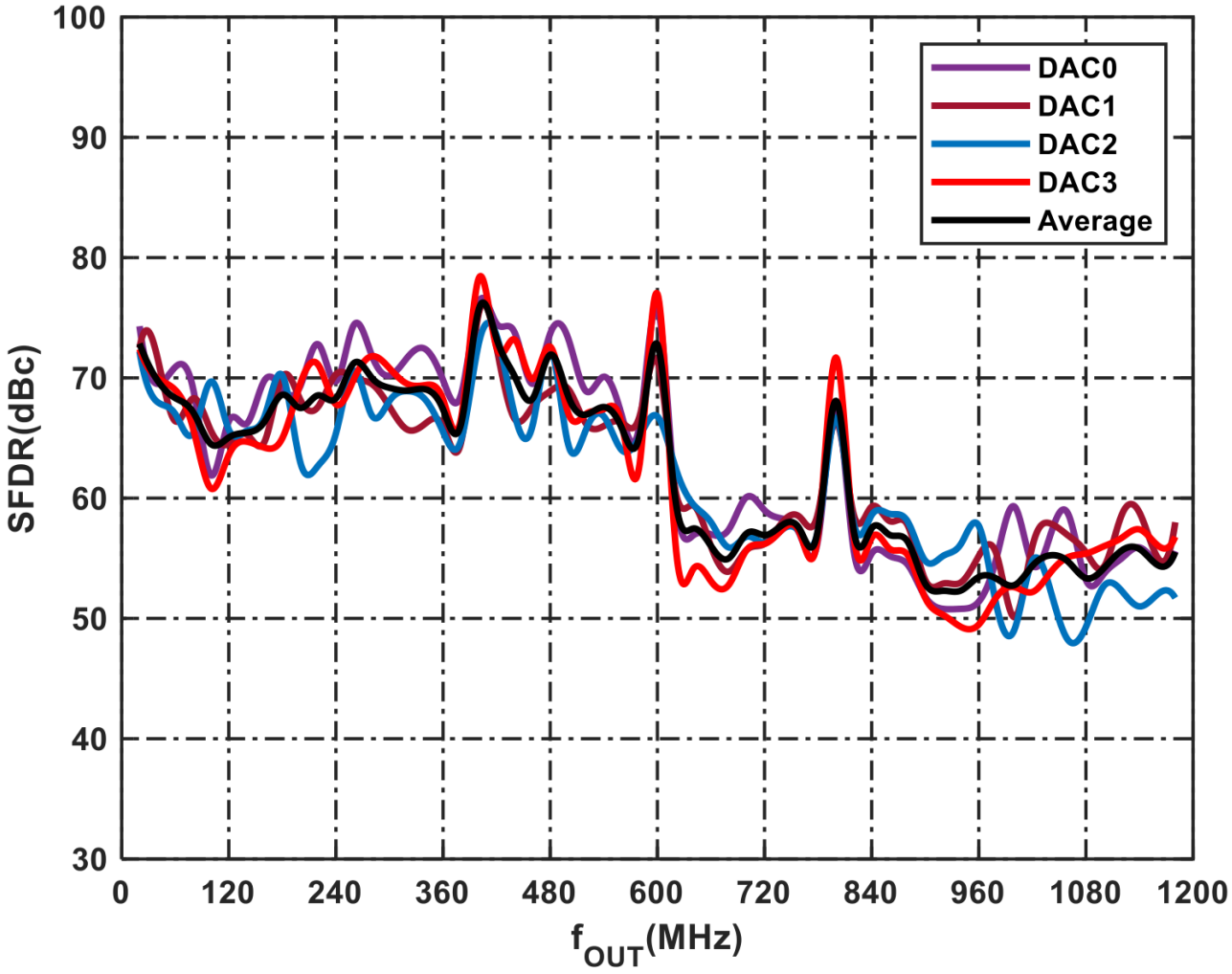
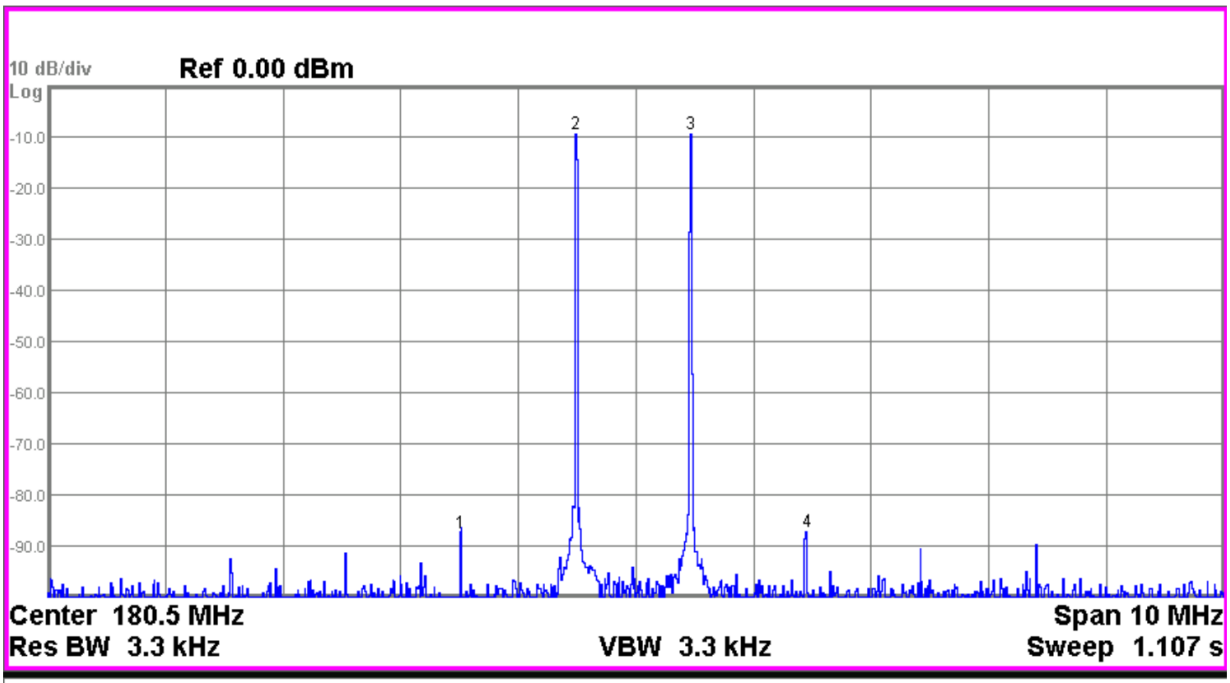


Figure 10: SFDR vs. fOUT in the first Nyquist zone, fDAC=2400 MSPS, -6 dBFS, all DAC channels, TA=25°C



	Frequency (MHz)	Amplitude (dBm)	Amplitude (dBc)	TOI (dBm)
Lower 3rd	179.0100	-87.36	-77.85	29.42
Lower Tone	179.9900	-9.506		
Upper Tone	180.9700	-9.511		
Upper 3rd	181.9500	-87.10	-77.59	29.29

TOI	29.29 dBm
Δ	-77.59 dBc

Figure 11: Intermodulation distortion, fDAC=1966.08 MHz, fOUT=180 MHz, TA=25°C

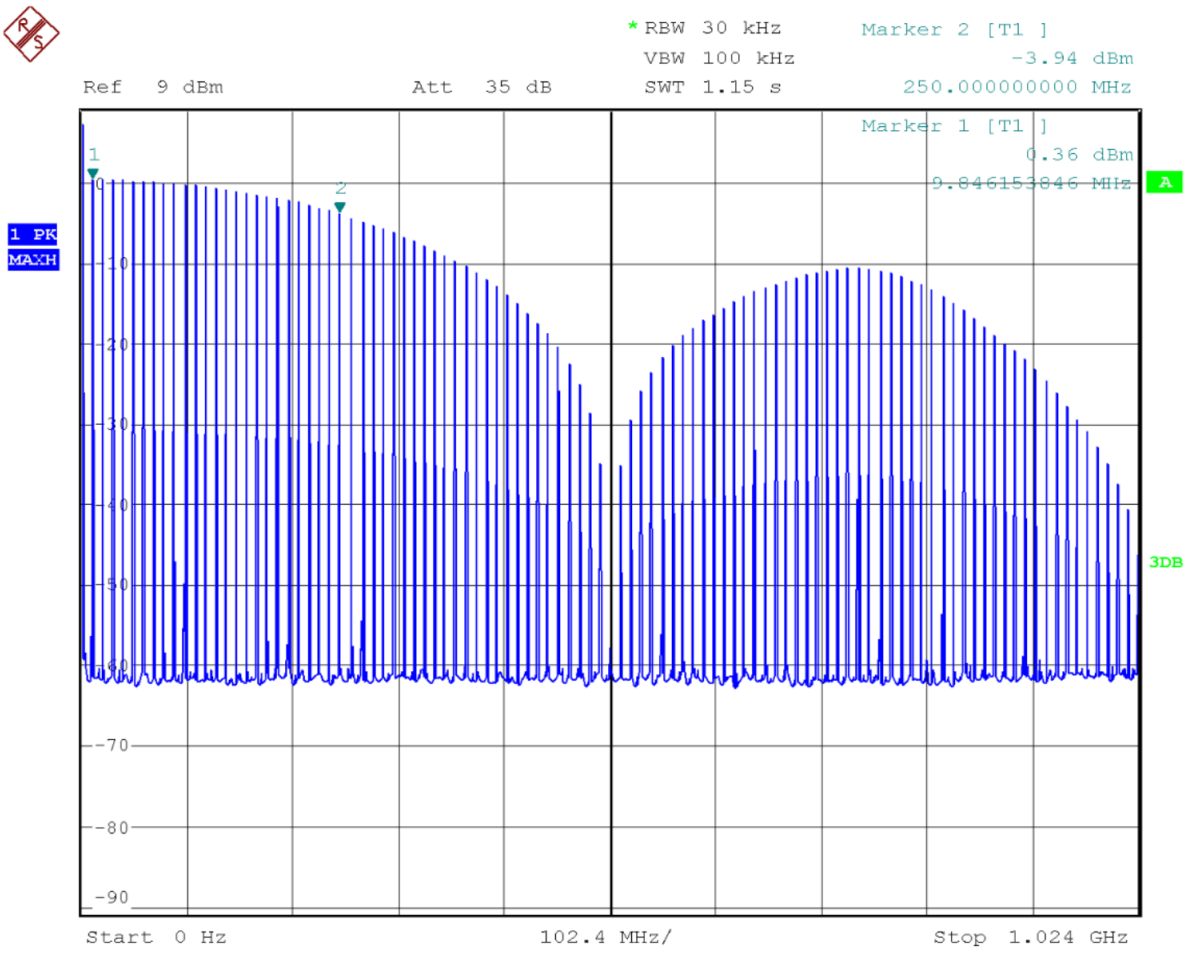


Figure 12: Normal-mode fundamental power envelope (inverse-Sinc filter off), fDAC=512 MSPS, 0 dBFS, TA=25°C

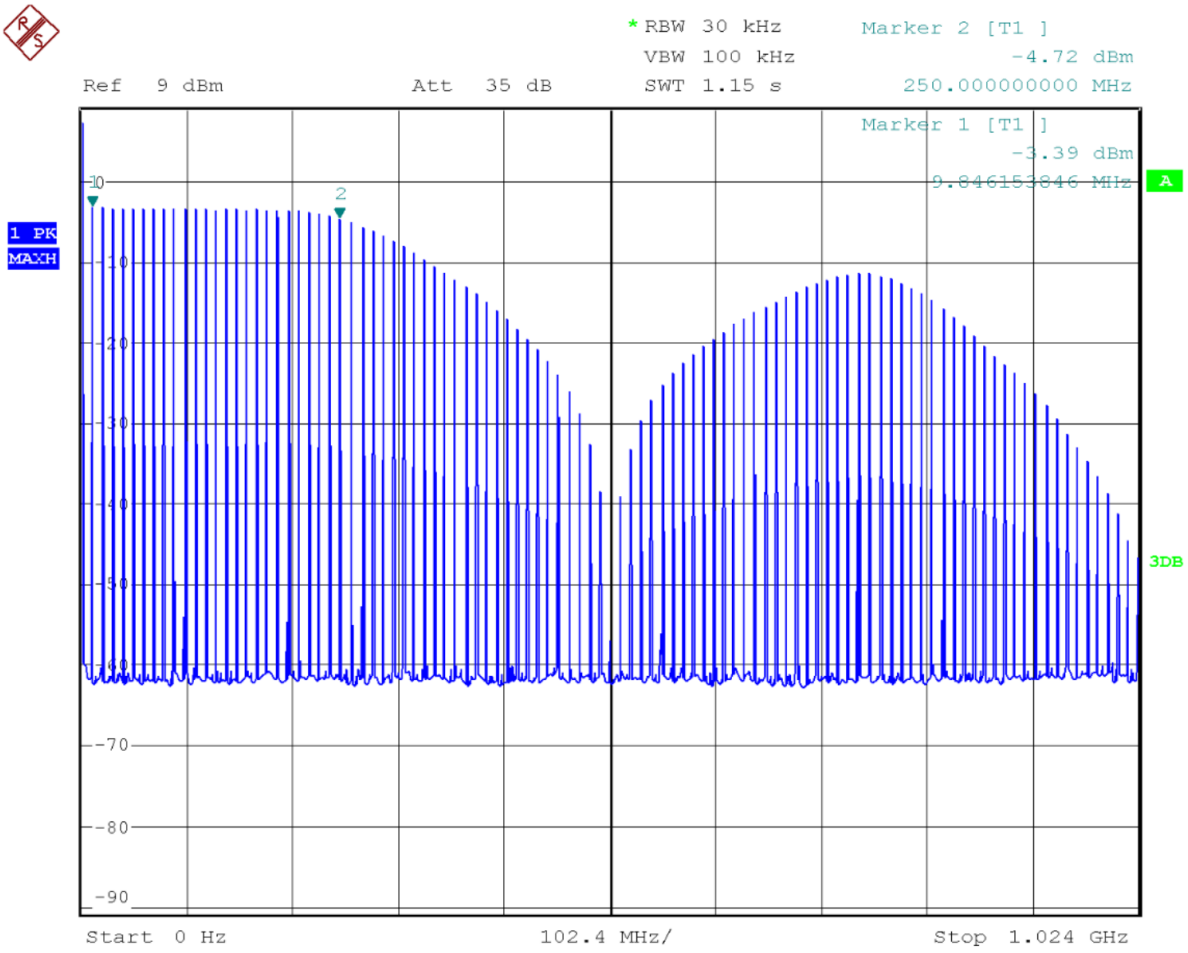


Figure 13: Normal-mode fundamental power envelope (inverse-Sinc filter on), fDAC=512 MSPS, 0 dBFS, TA=25°C

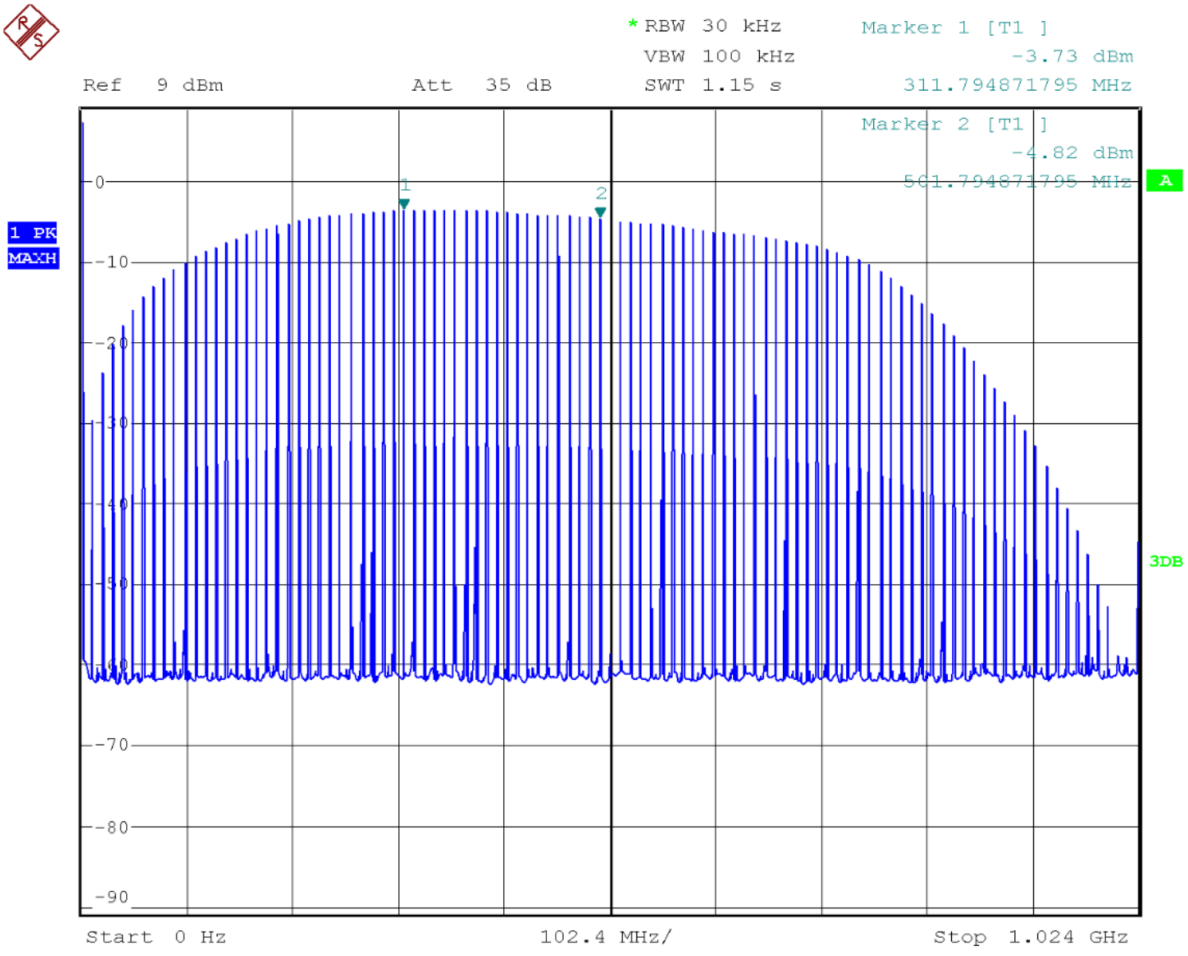


Figure 14: Mix-mode fundamental power envelope (inverse-Sinc filter off), fDAC=512 MSPS, 0 dBFS, TA=25°C

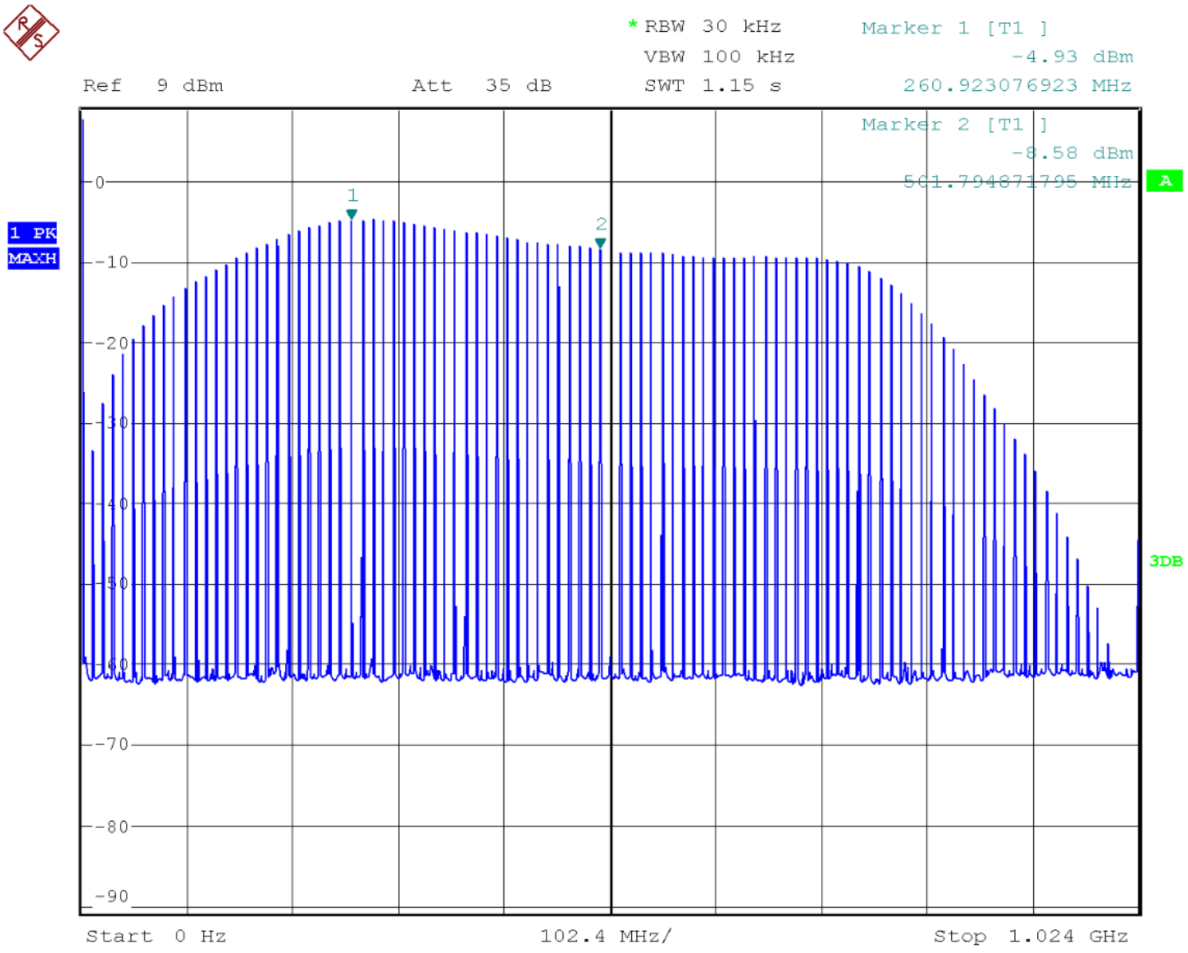


Figure 15: Mix-mode fundamental power envelope (inverse-Sinc filter on), fDAC=512 MSPS, 0 dBFS, TA=25°C

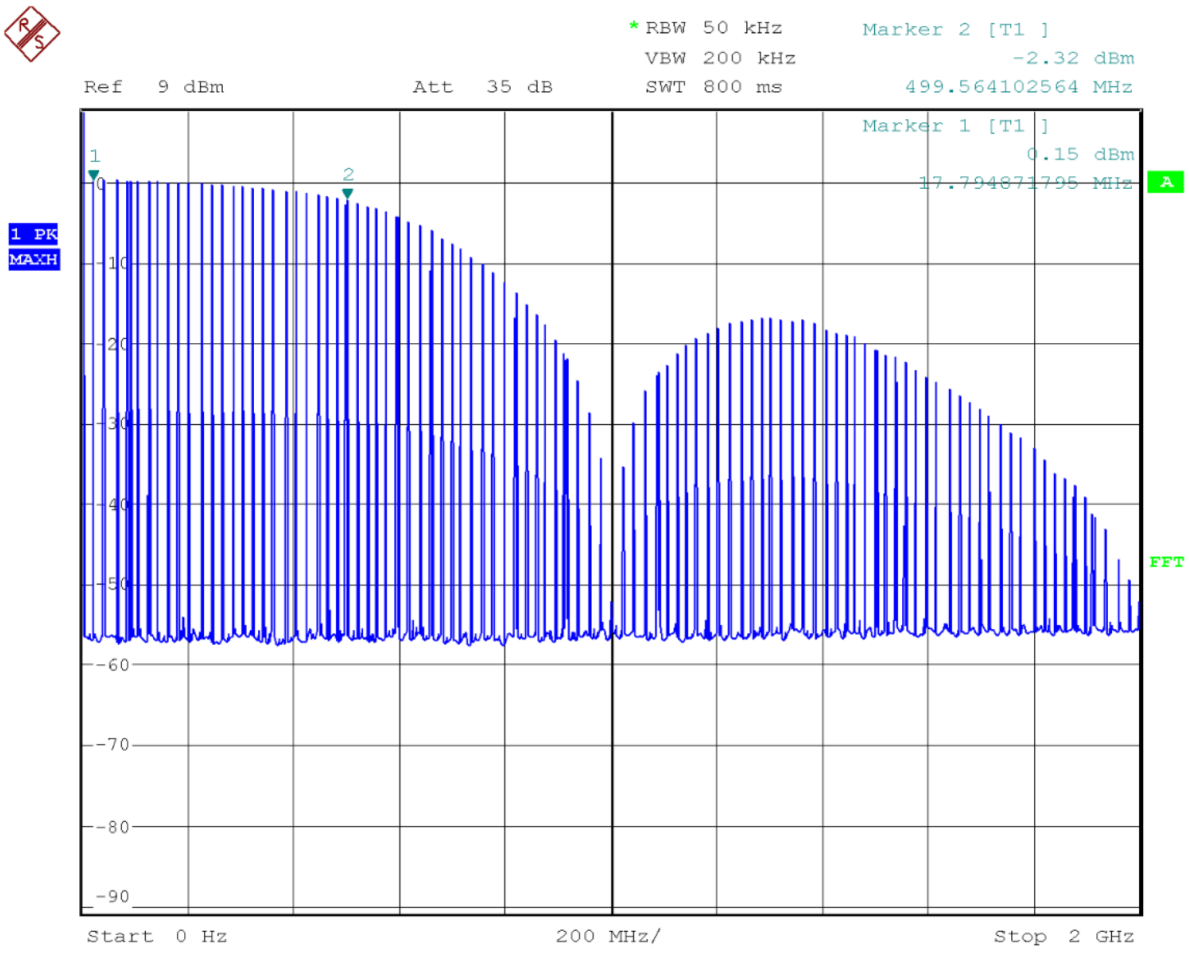


Figure 16: Normal-mode fundamental power envelope (inverse-Sinc filter off), fDAC=1000 MSPS, 0 dBFS, TA=25°C

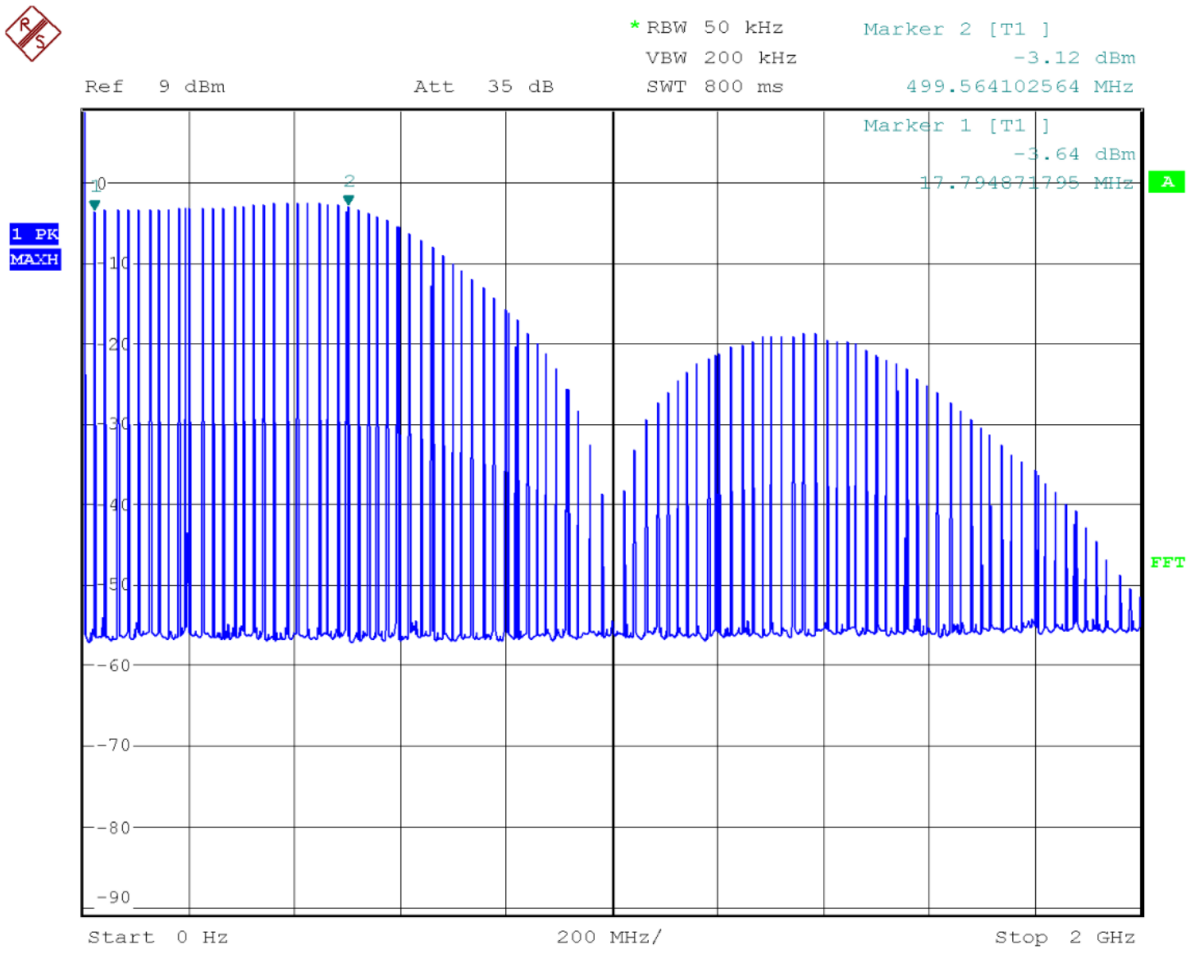


Figure 17: Normal-mode fundamental power envelope (inverse-Sinc filter on), fDAC=1000 MSPS, 0 dBFS, TA=25°C

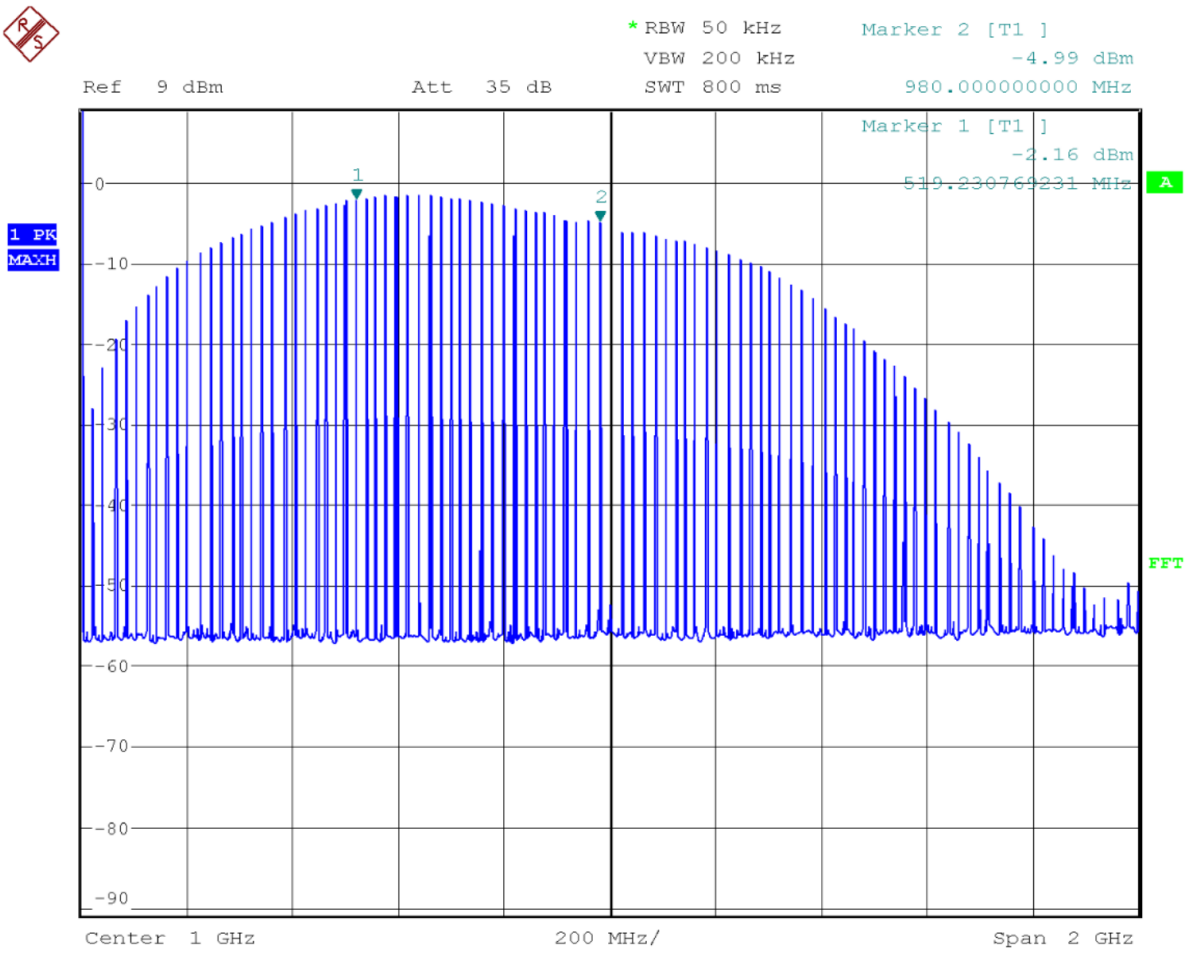


Figure 18: Mix-mode fundamental power envelope (inverse-Sinc filter off), fDAC=1000 MSPS, 0 dBFS, TA=25°C

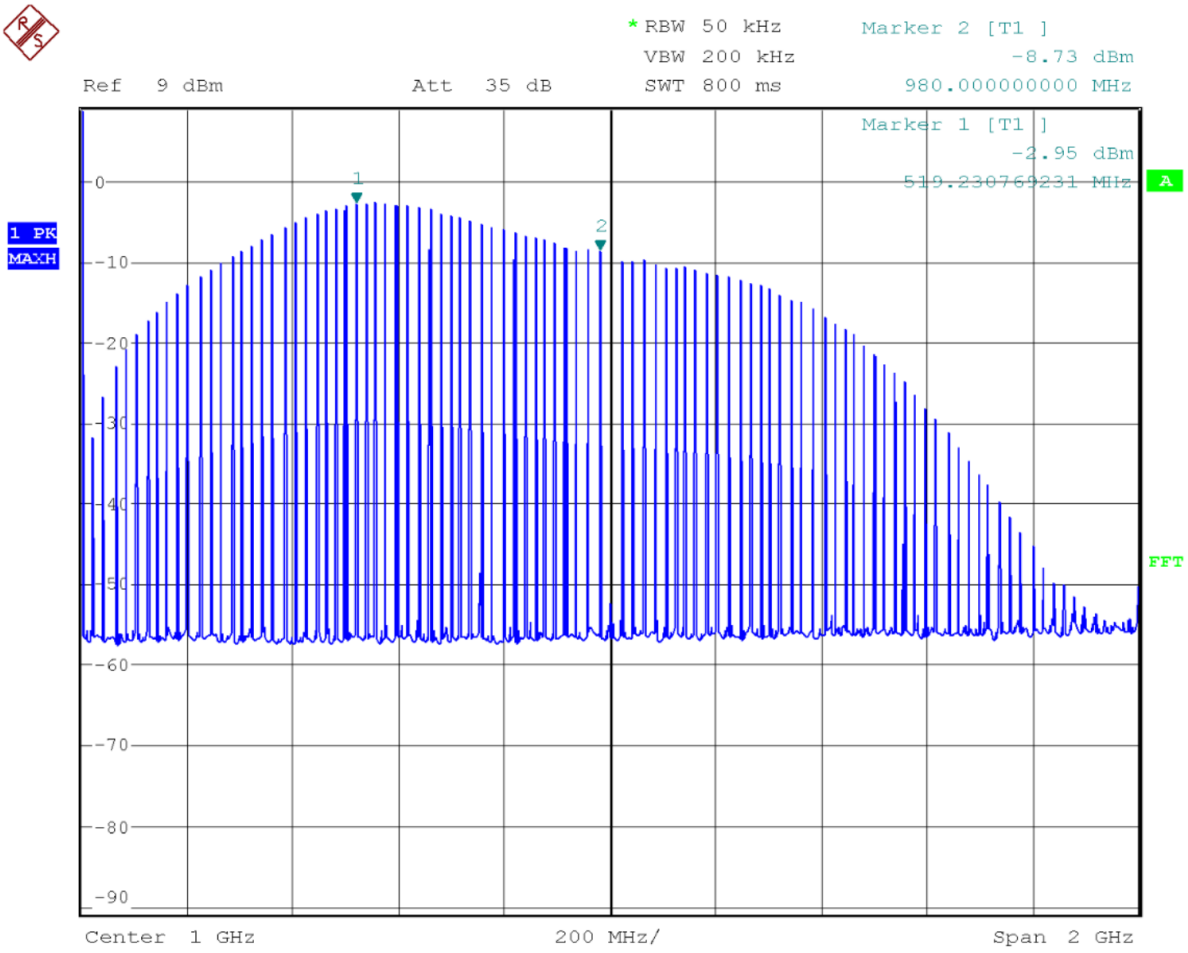


Figure 19: Mix-mode fundamental power envelope (inverse-Sinc filter on), fDAC=1000 MSPS, 0 dBFS, TA=25°C

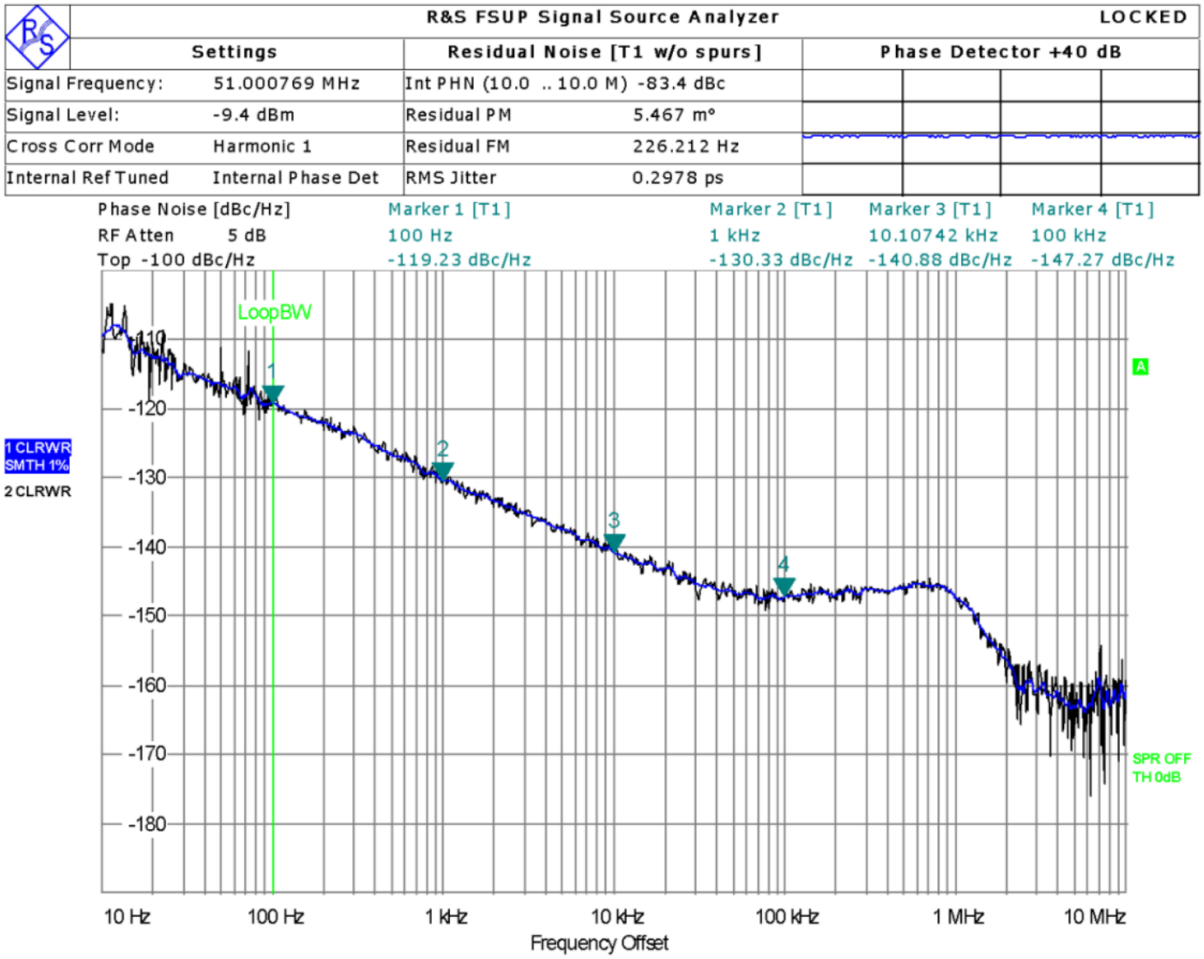


Figure 20: Single-tone output phase noise, fOUT=51 MHz, fCLK=125 MHz, fDAC=2.0 GHz, DAC PLL on, -6 dBFS, TA=25°C

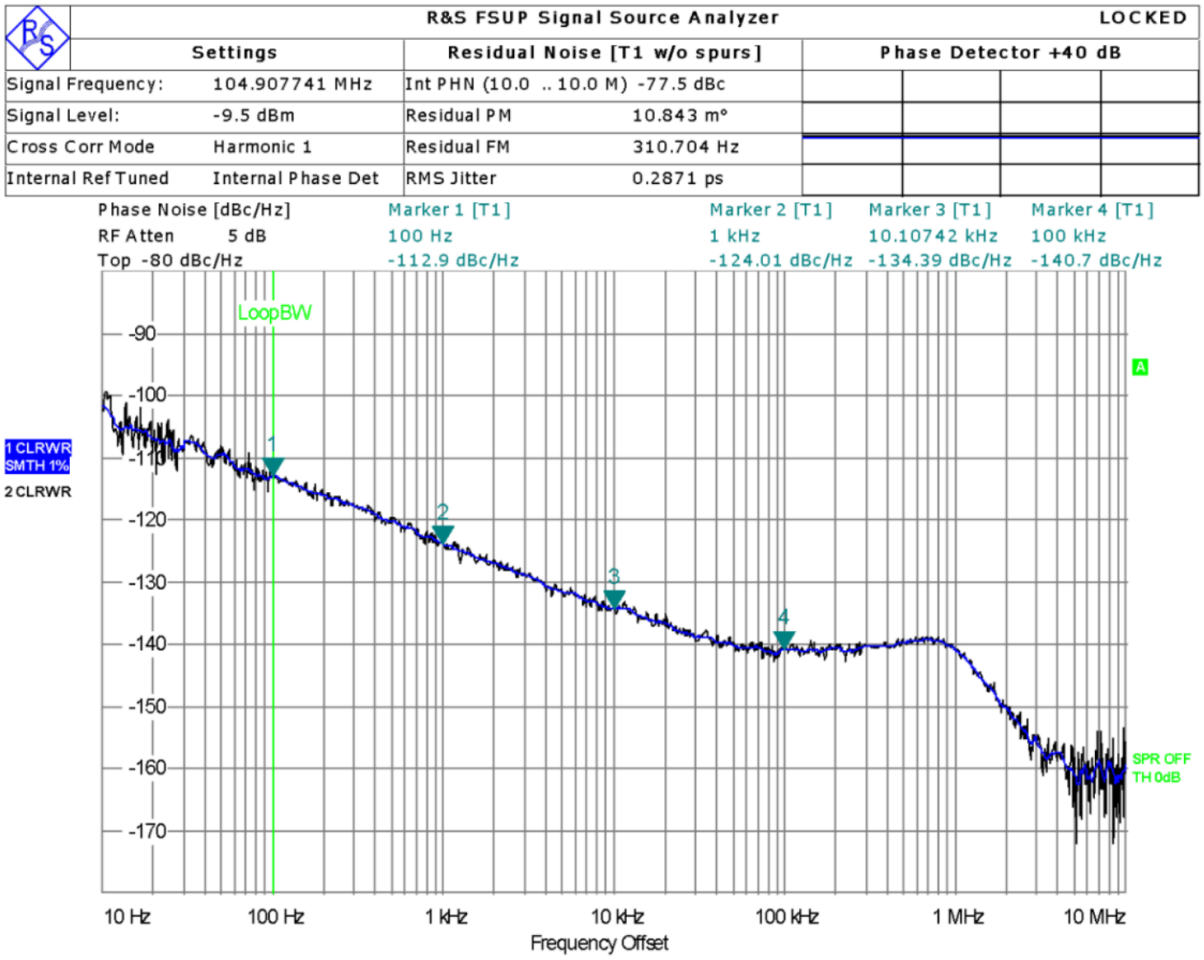


Figure 21: Single-tone output phase noise, fOUT=105 MHz, fCLK=125 MHz, fDAC=2.0 GHz, DAC PLL on, -6 dBFS, TA=25°C

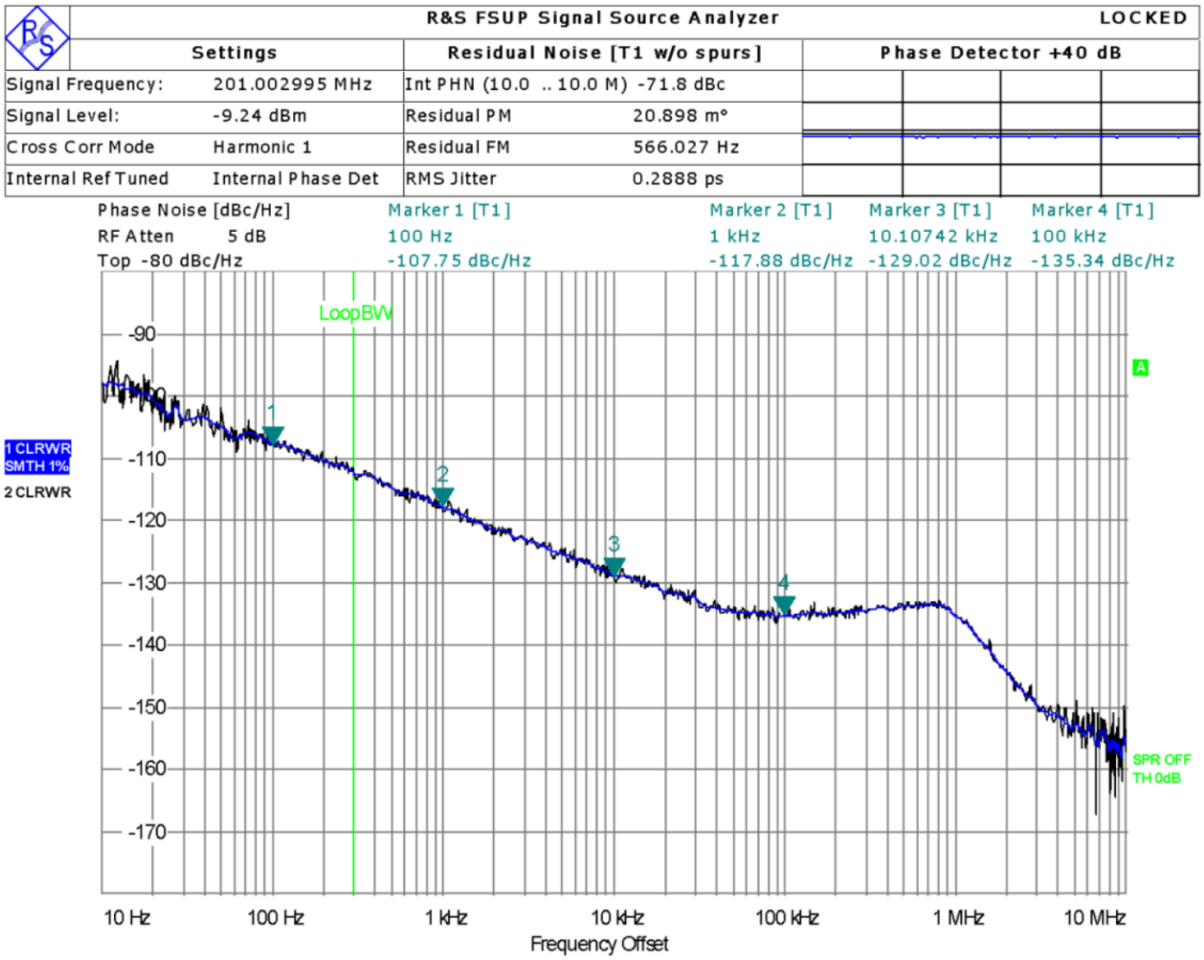


Figure 22: Single-tone output phase noise, fOUT=201 MHz, fCLK=125 MHz, fDAC=2.0 GHz, DAC PLL on, -6 dBFS, TA=25°C

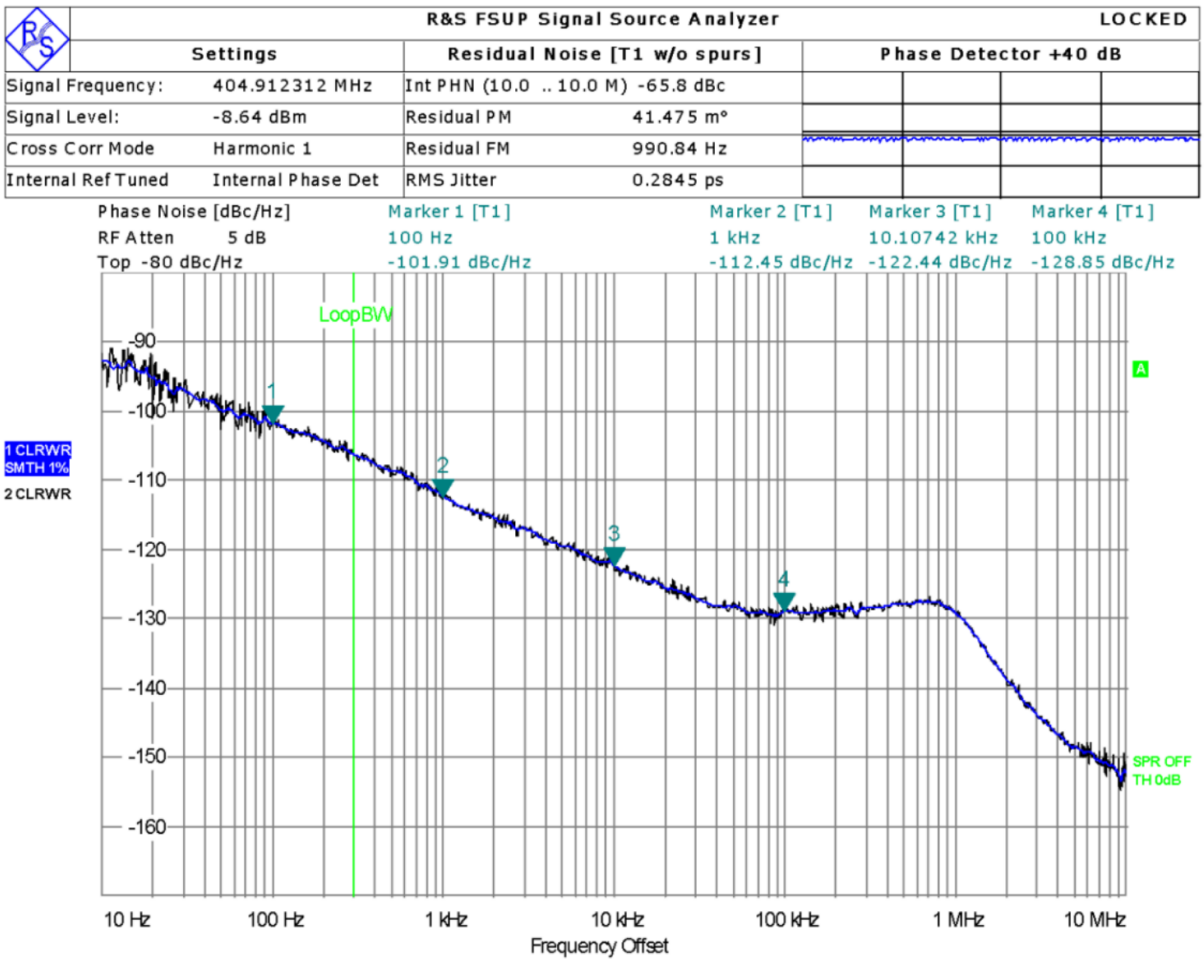


Figure 23: Single-tone output phase noise, fOUT=405 MHz, fCLK=125 MHz, fDAC=2.0 GHz, DAC PLL on, -6 dBFS, TA=25°C

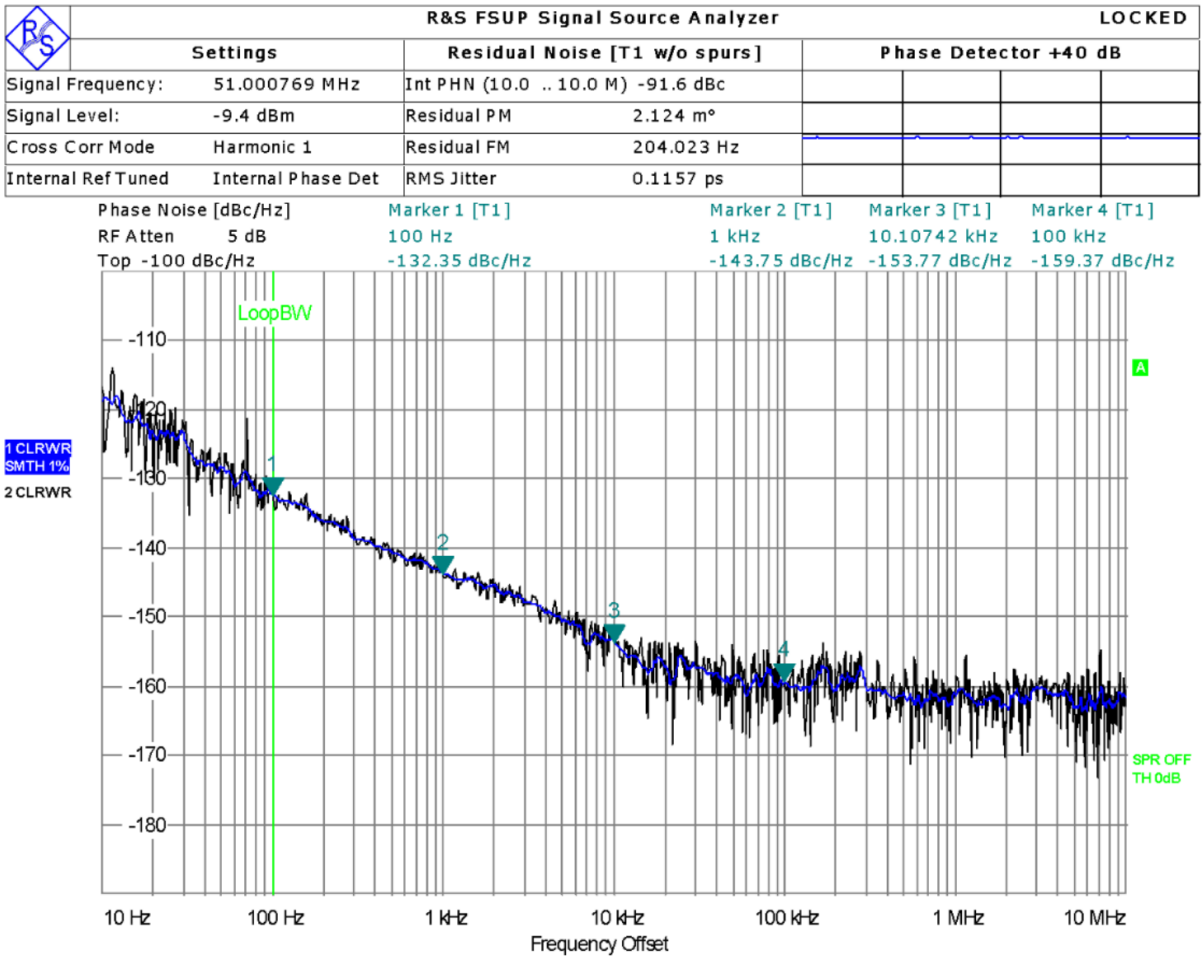


Figure 24: Single-tone output phase noise, fOUT=51 MHz, fCLK=125 MHz, fDAC=2.0 GHz, DAC PLL off, -6 dBFS, TA=25°C

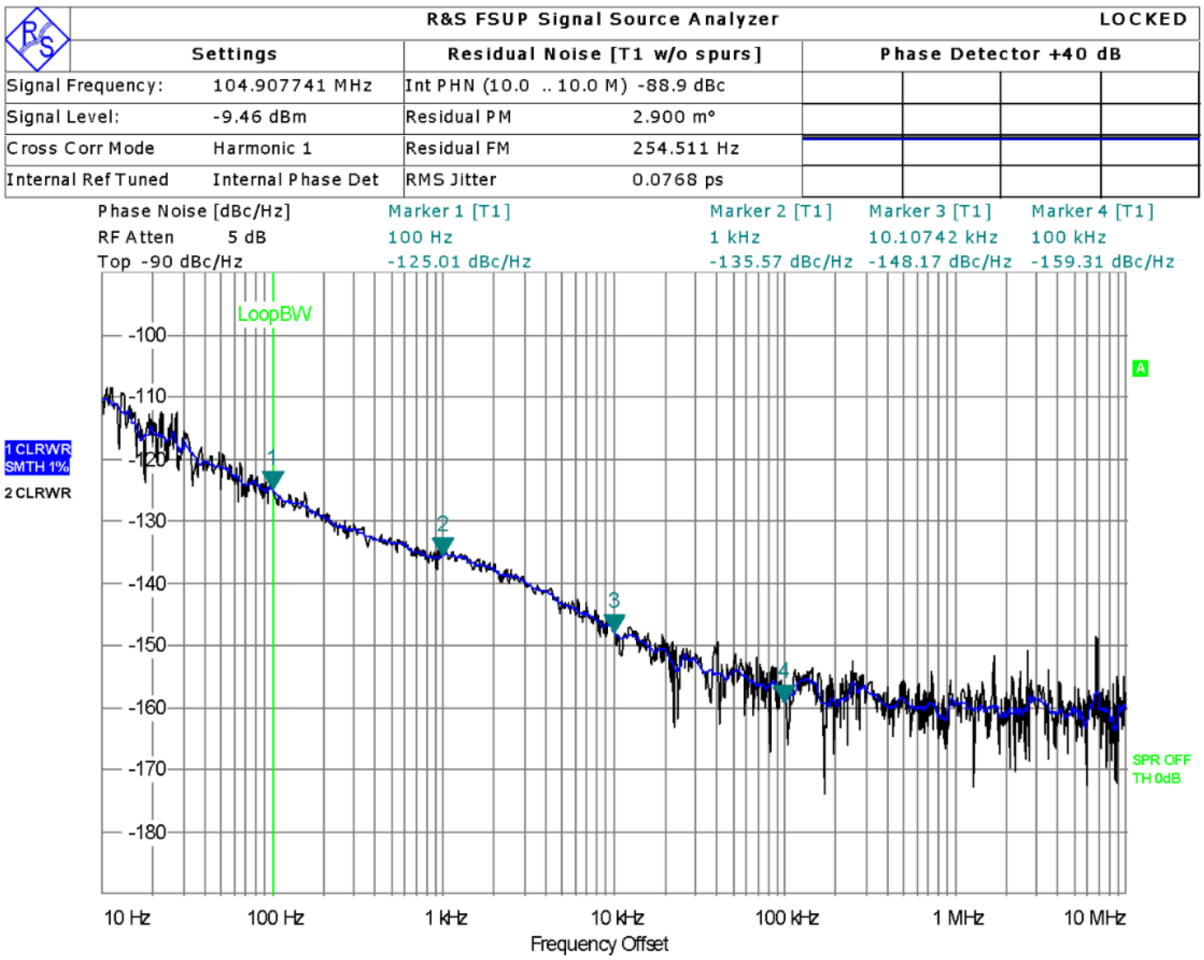


Figure 25: Single-tone output phase noise, fOUT=105 MHz, fCLK=125 MHz, fDAC=2.0 GHz, DAC PLL off, -6 dBFS, TA=25°C

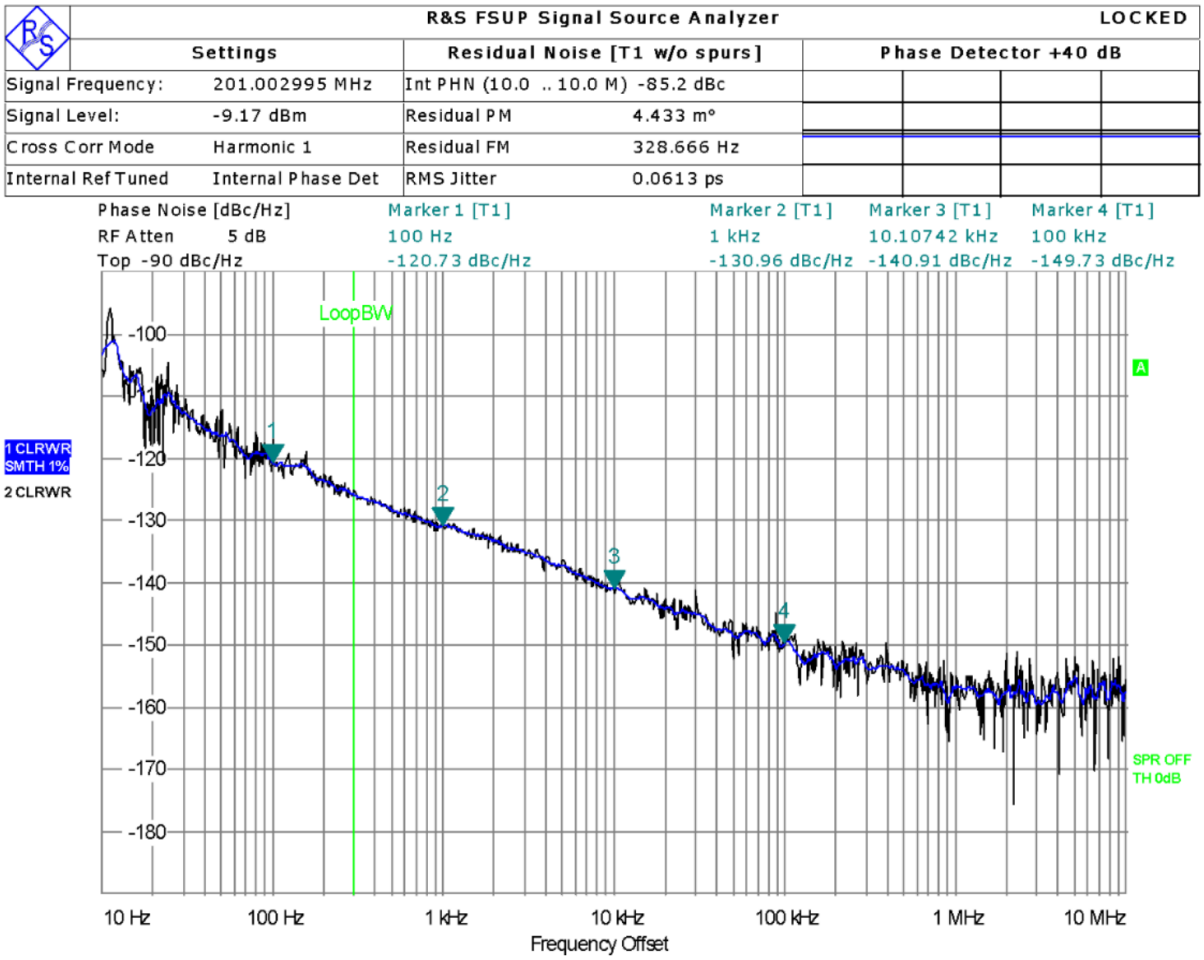


Figure 26: Single-tone output phase noise, fOUT=201 MHz, fCLK=125 MHz, fDAC=2.0 GHz, DAC PLL off, -6 dBFS, TA=25°C

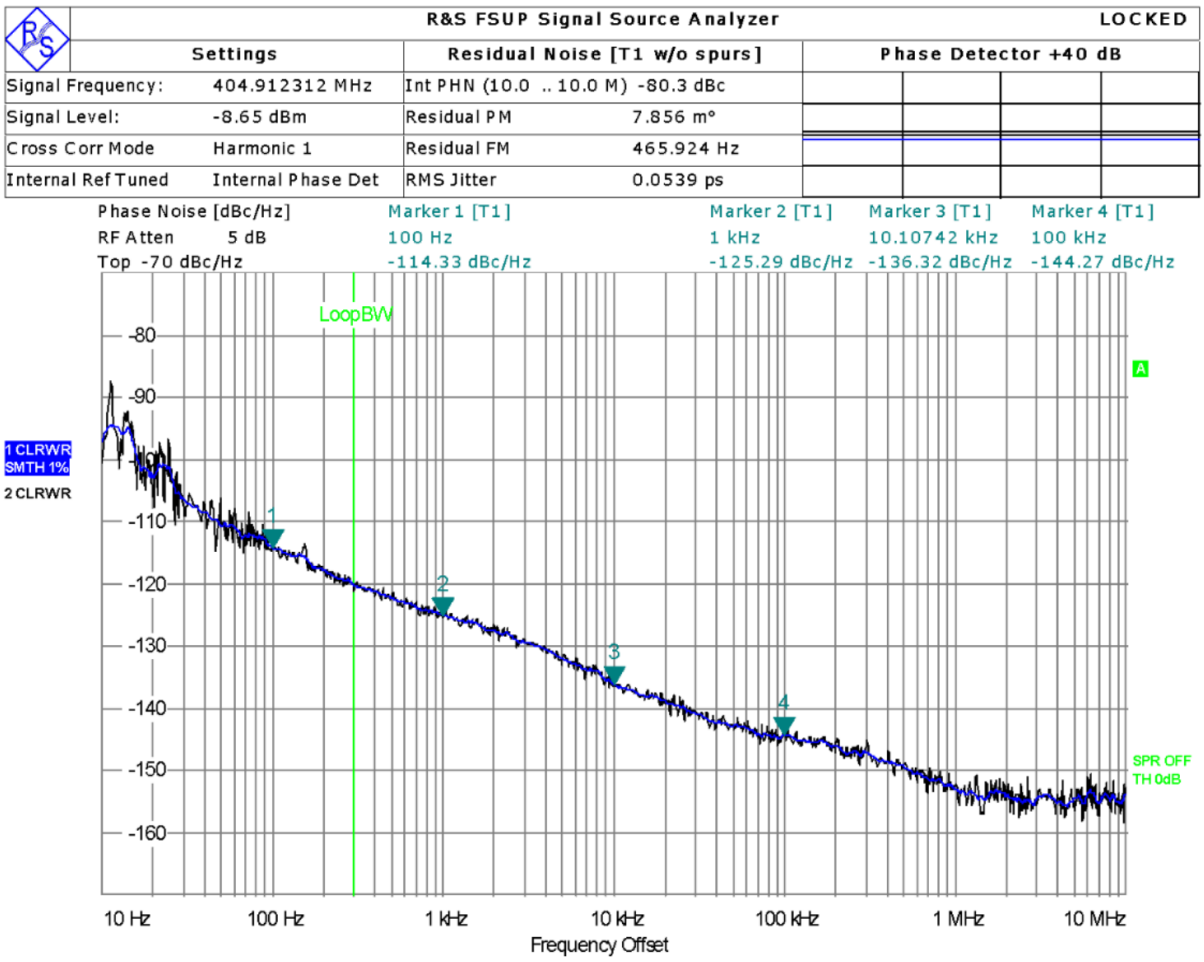


Figure 27: Single-tone output phase noise, fOUT=405 MHz, fCLK=125 MHz, fDAC=2.0 GHz, DAC PLL off, -6 dBFS, TA=25°C

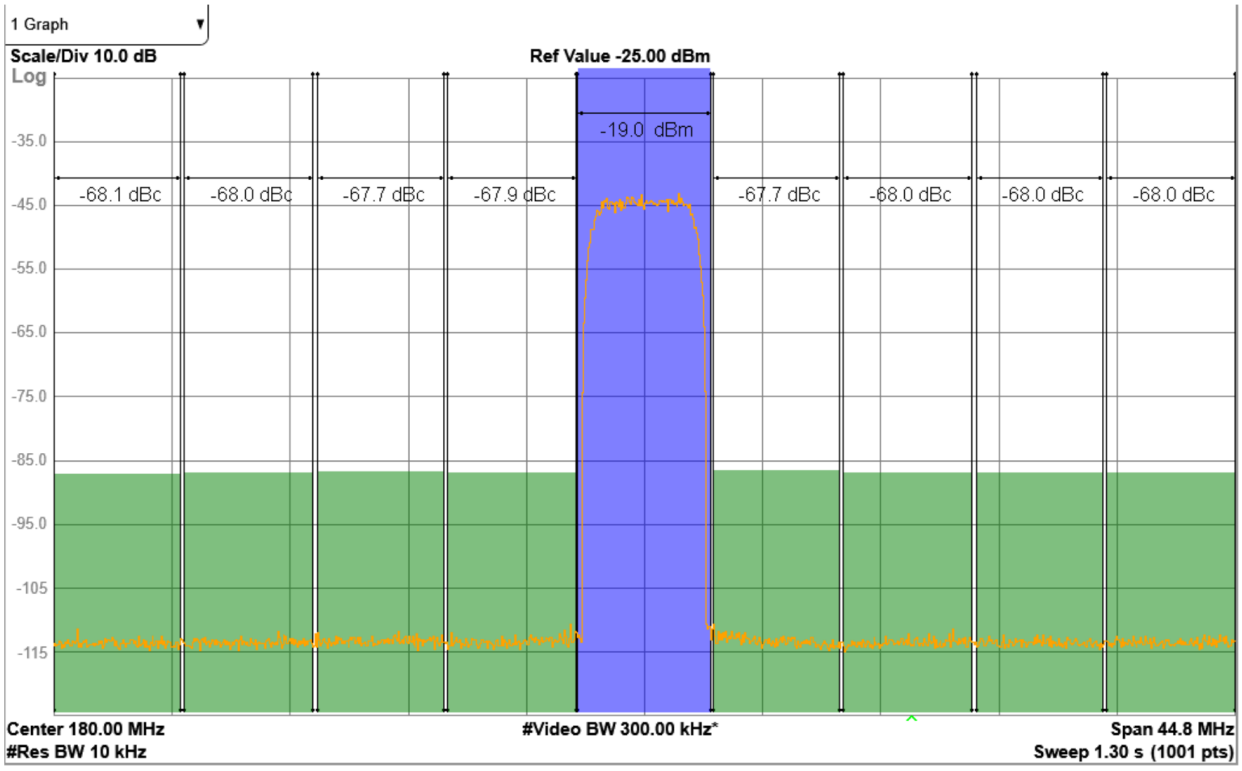


Figure 28: 1-carrier 5 MHz BW WCDMA ACLR, IF=180 MHz, fDAC=1966.08 MHz, -6 dBFS, TA=25°C

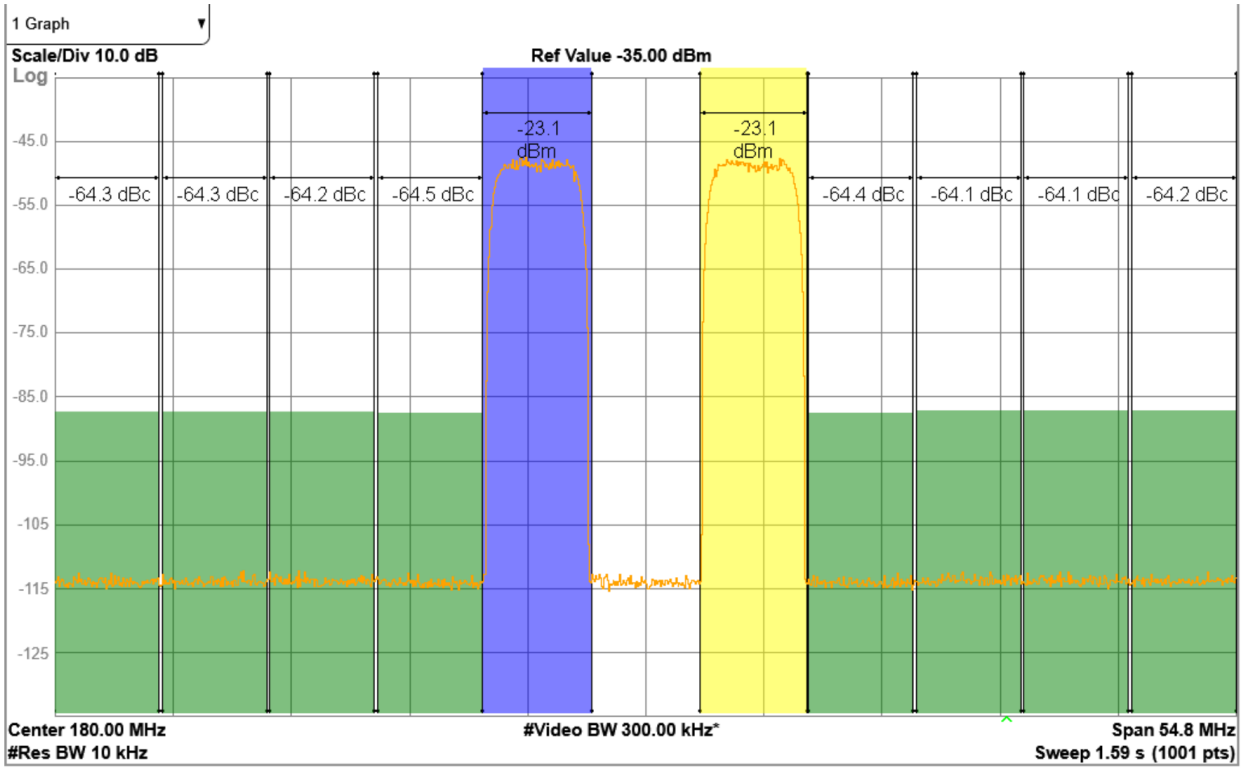


Figure 29: 2-carrier 5 MHz BW, 5 MHz gap WCDMA ACLR, IF=180 MHz, fDAC=1966.08 MHz, -6 dBFS, TA=25°C

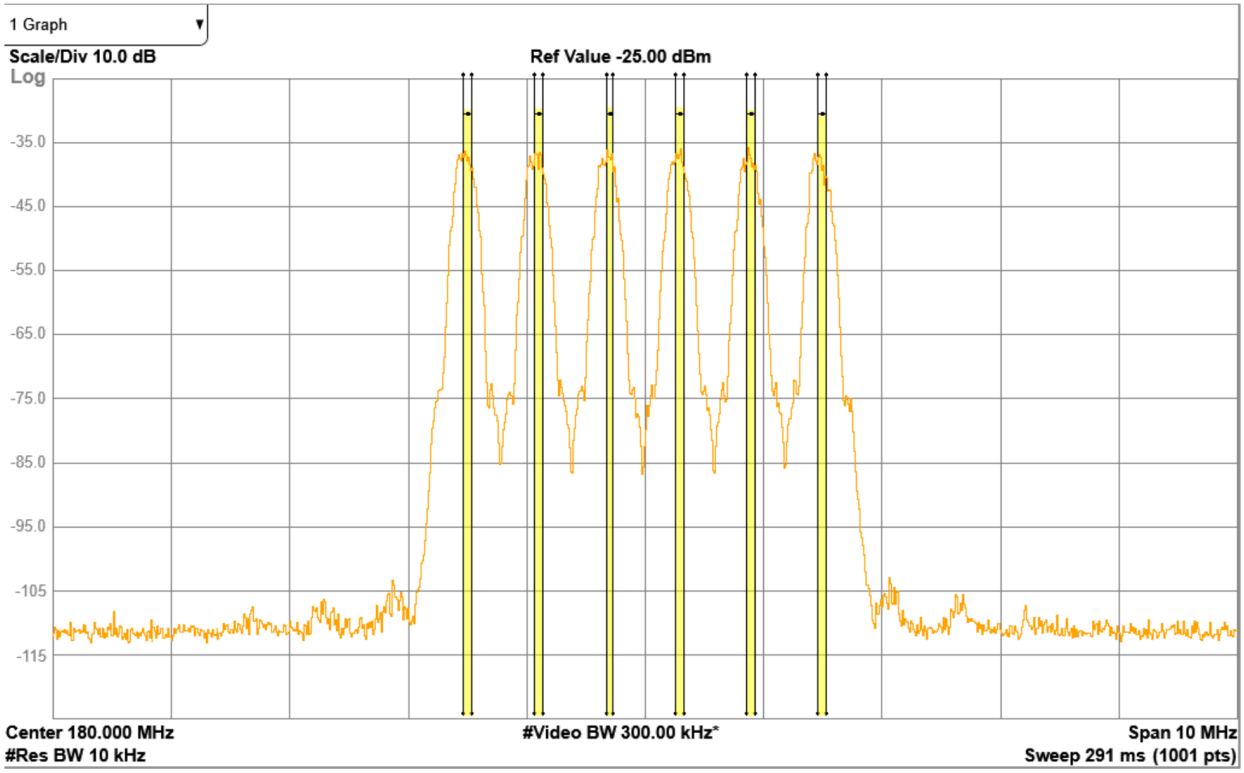


Figure 30: 6-carrier 600 kHz spacing GSM ACLR, IF=180 MHz, fDAC=1966.08 MHz, -6 dBFS, TA=25°C

典型应用线路图 / Typical Application Circuit

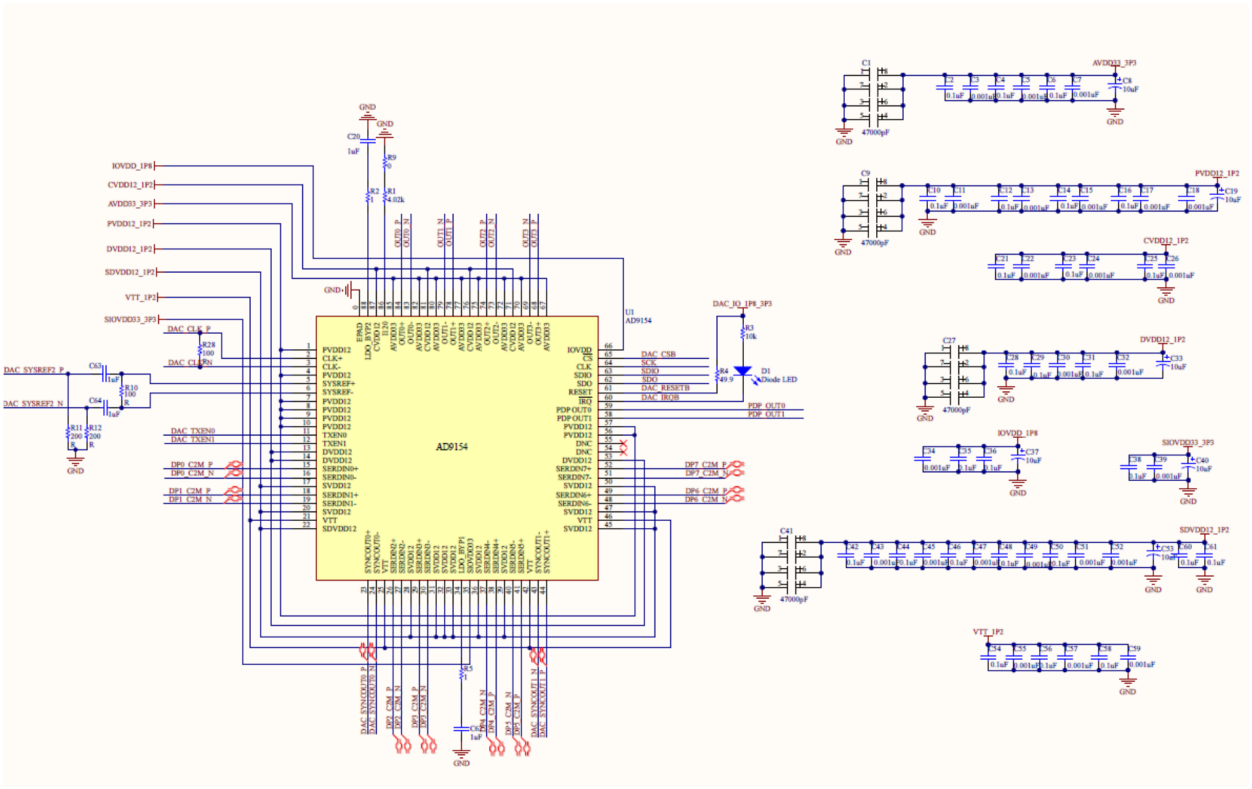


Figure 31: Typical peripheral circuit

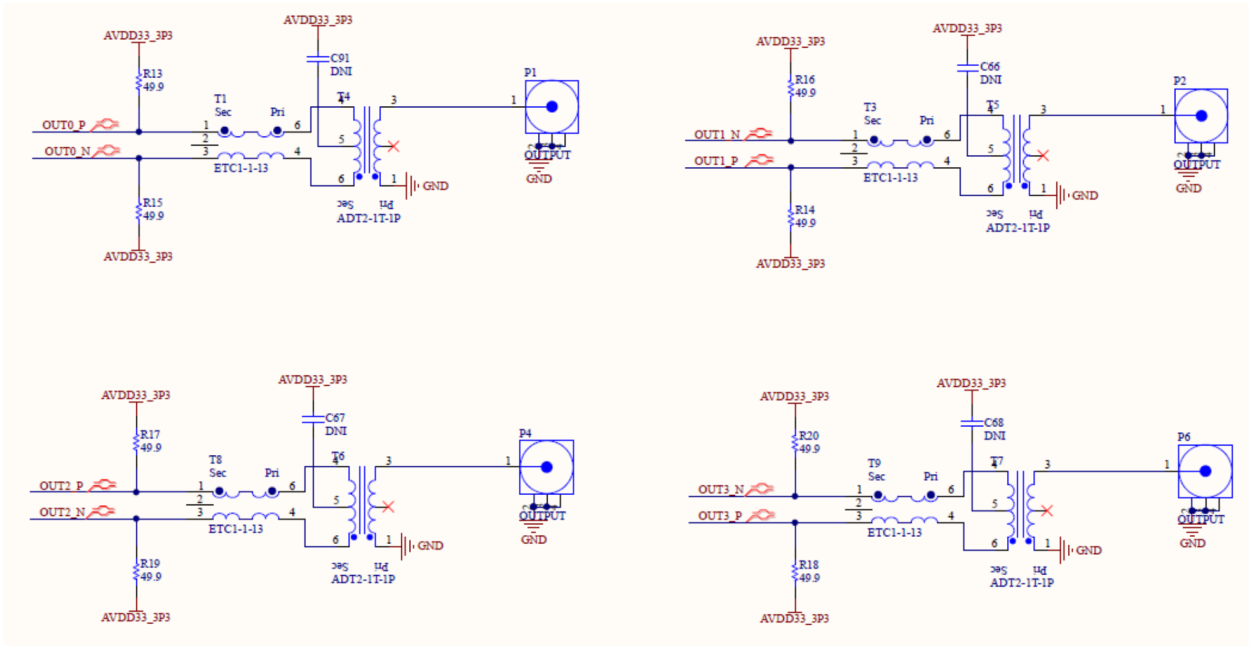


Figure 32: Analog output circuit (coupling transformer ADT2-1T-1P, bandwidth 8 MHz–600 MHz)

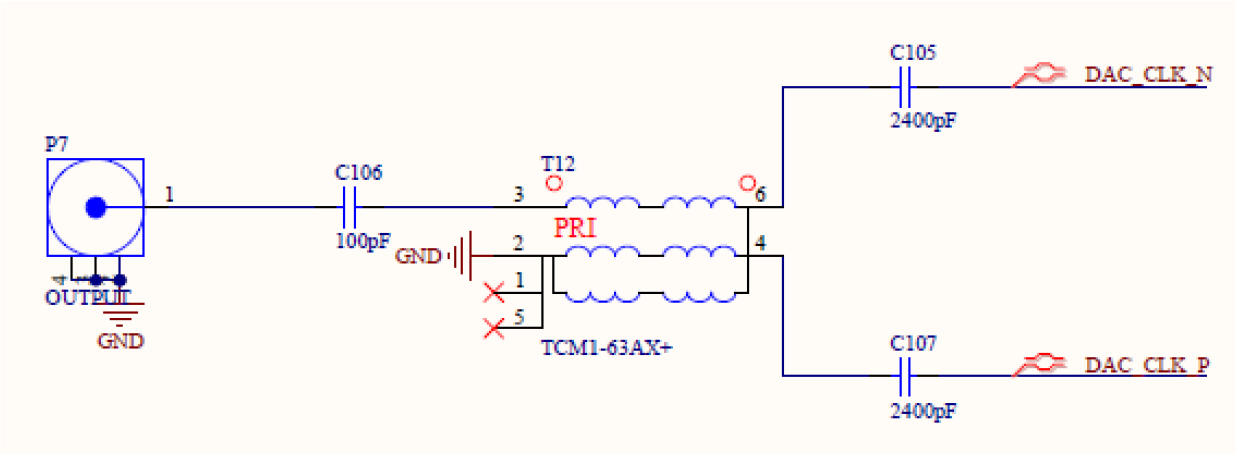


Figure 33: Clock front-end circuit

单元模块及工作原理 / Functional Blocks and Operating Principles

English: The SXD020 is a quad-channel 16-bit high-speed DAC with a SERDES interface. Figure 1 shows its detailed functional block diagram. Eight high-speed serial lanes bring data into the SXD020.

The input-data clock comes from the device clock (as required by the JESD204B specification). This device clock can be the reference clock of the on-chip phase-locked loop (PLL), used by the on-chip PLL to generate the DAC clock; or it can directly be the DAC sampling clock. Depending on the required input data rate, the device can be configured to operate in 1-, 2-, 4- or 8-lane mode. The four DACs can be configured for dual-link operation, with each JESD204B link providing data to one DAC pair, for increased application flexibility.

The SXD020 signal-processing datapath provides four interpolation modes (1×, 2×, 4× and 8×) through three half-band filters. An inverse-Sinc filter can compensate the Sinc-envelope roll-off of the DAC output. A digital quadrature modulator up-converts a pair of DAC input signals to an intermediate frequency within the first Nyquist zone of the DAC (programmable via the NCO). Gain, phase, DC-offset and group-delay adjustment can apply programmable pre-distortion to the DAC input signals to improve the LO feedthrough and unwanted-sideband suppression of the analog quadrature modulator following the SXD020 in the transmitter signal chain.

The SXD020 DAC cores provide differential current outputs with a nominal full-scale current of 20 mA. The differential current outputs are optimized for interfacing with wideband quadrature modulators. The SXD020 has multi-chip synchronization capability and a deterministic-latency (latency-locking) function. The latency of each DAC remains constant after link establishment. The SXD020 uses the JESD204B Subclass 1 SYSREF signal to achieve multi-chip synchronization.

The various functional blocks and data interfaces must be configured in a specific order to operate correctly. This manual describes each block of the SXD020 in detail and recommends a startup procedure in Section 10, Startup Sequence Example.

中文： SXD020 是一款具有 SERDES 接口的四通道 16 位高速 DAC。图 1 显示了其详细功能框图。8 个高速串行通道(Lane)将数据带入 SXD020。

输入数据的时钟来自器件时钟（JESD204B 规范所要求）。该器件时钟可以是片上锁相环(PLL)的参考时钟，由片上 PLL 用于生成 DAC 时钟；也可以直接成为 DAC 采样时钟。根据所需的输入数据速率，该器件可被配置为以 1、2、4 或 8 Lane 模式运行。四个 DAC 可以配置为双链路工作模式，每个 JESD204B 链路为每一个 DAC 对提供数据，以增加应用灵活性。

SXD020 的信号处理数据路径通过三个半带滤波器，提供四种插值模式（1×、2×、4×和 8×）。反 Sinc 滤波器可补偿 DAC 输出 Sinc 包络滚降。数字正交调制器将一对 DAC 输入信号上变频到 DAC 第一奈奎斯特区内的中频频率（可由 NCO 编程控制）。增益、相位、直流偏移和群延迟调节可对 DAC 输入信号进行可编程预失真，以改善发射机信号链中 SXD020 之后的模拟正交调制器的 LO 馈通和无用边带消除性能。

SXD020 DAC 核提供差分电流输出，标称满度电流为 20 mA。差分电流输出经过优化，可与宽频正交调制器接口。SXD020 具有多芯片同步功能，以及实现确定性延迟的功能（延迟锁定）。每个 DAC 的延迟在链路建立后保持不变。SXD020 利用 JESD204B 子类 1 SYSREF 信号来实现多芯片同步。

各种功能模块和数据接口必须按照特定顺序进行设置才能正常运行。本产品说明书详细描述了 SXD020 的各个模块，并在 10、启动顺序示例章节推荐了启动程序。

1、SPI 接口 / 1. SPI Interface

English: The serial port interface (SPI) is a flexible synchronous serial communications port that interfaces easily with many industry-standard microcontrollers and microprocessors. The interface provides read/write access to all registers of the SXD020. It also supports MSB-first or LSB-first transfer formats. The SPI can be configured as a 4-wire or 3-wire interface, where in the 3-wire interface the input and output share one I/O pin, SDIO.

A communication cycle with the SXD020 has two phases. Phase 1 is the instruction cycle (writing the instruction byte to the device), aligned with the first 16 rising edges of SCLK. The instruction word provides the serial-port controller with information about the data-transfer cycle, i.e. Phase 2 of the communication cycle. The Phase 1 instruction word defines whether the upcoming data transfer is a read or a write, and the starting register address of the data transfer.

Driving a logic high and then a logic low on the CS pin resets the serial port to the initial state of the instruction cycle. From this state, the next 16 SCLK rising edges represent the instruction bits of the current input/output (I/O) operation.

The remaining SCLK edges are used for Phase 2 of the communication cycle. Phase 2 is the actual data transfer between the device and the system controller, consisting of the transfer of one or more data bytes. During a transfer cycle, 8×N SCLK cycles are required to transfer N bytes. Registers change immediately when the last bit of each transfer byte is written, except for the frequency tuning word (FTW), which changes only when the FTW_UPDATE_REQ bit is set.

1.2 数据格式 / 1.2 Data Format

English: The instruction byte contains the information shown in Table 2.

中文： 指令字节包含表 2 所示的信息。

表2 指令字节数据格式 / Table 2. Instruction Byte Data Format

I15 (MSB)	I[14:0]
R/W	A[14:0]

English: R/W is bit 15 of the instruction word and determines whether a read or write operation follows the instruction word: logic 1 means read, logic 0 means write. A14 to A0 are bits 14 to 0 of the instruction word and determine the register accessed during the data-transfer phase of the communication cycle. For multi-byte transfers, A[14:0] is the starting address. The device generates the remaining register addresses according to the address-increment bit. If the address-increment bit is set to 1 (Register 0x000[5] and 0x000[2]), a multi-byte SPI write starts at A[14:0] and the address increments by 1 for every 8 bits sent/received. If the address-increment bit is set to 0, the address decrements by 1 for every 8 bits sent/received.

中文： R/W 是指令字的第 15 位，决定在指令字写入后是进行读操作还是写操作。逻辑 1 表示读操作，逻辑 0 表示写操作。A14 到 A0 是指令字的第 14 位到第 0 位，决定了在通信周期的数据传输周期访问的寄存器。对于多字节传输，A[14:0]是起始地址。器件根据地址增量位生成其余的寄存器地址。如果地址增量位被设置为 1（寄存器 0x000[5]和 0x000[2]），多字节 SPI 写从 A[14:0]开始，地址每发送/接收 8 位就递增 1。如果地址增量位被设置为 0，则地址每发送/收到 8 位就递减 1。

1.3 SPI 端口描述 / 1.3 SPI Port Description

English: - **1.3.1 SCLK — Serial clock:** The serial clock pin synchronizes data into the device and runs the internal state machine. The maximum SCLK frequency is 10 MHz. All data are written into registers on the rising edge of SCLK and driven out on the falling edge of SCLK. - **1.3.2 CS — Chip select:** A low on chip select starts input and defines a communication cycle. It allows multiple devices to use the same serial channel. When this pin is high, the SDO and SDIO pins go to a high-impedance state. Chip select should be held low for the entire communication cycle. - **1.3.3 SDIO — Serial data I/O port:** This pin is a bidirectional data port. In 4-wire mode, this pin is the data input and SDO is the data output. - **1.3.4 SDO — Serial data output:** Data are read out from this pin. When the device operates in 3-wire mode, this port cannot output data and is set to a high-impedance state.

中文： - 1.3.1 SCLK—串行时钟：串行时钟引脚将数据同步到电路，并运行内部状态机。SCLK 的最大频率为 10 MHz。所有的数据都在 SCLK 的上升沿写入寄存器，在 SCLK 的下降沿驱动输出。 - 1.3.2 CS—片选信号：片选信号为低时开始输入及定义一个通信周期。允许多个器件使用相同的串行通道。当该引脚输入为高时，引脚 SDO 和 SDIO 变为高阻态。在整个通信周期内片选信号应该保持为低。 - 1.3.3 SDIO—串行数据 I/O 端口：该引脚是双向数据端口。在 4 线模式下，该引脚作为数据输入，SDO 作为数据输出。 - 1.3.4 SDO—串行数据输出：数据从该引脚读出。当电路工作于 3 线模式时，该端口不能进行数据输出，并被设置成高阻态。

1.4 SPI 的配置 / 1.4 SPI Configuration

English: The serial port supports MSB-first and LSB-first data formats, controlled by the LSB-first bits (Register 0x000[6] and 0x000[1]). The default is MSB-first format (LSB-first bits = 0).

When the LSB-first bit is 0 (MSB first), instruction and data bits must be written from MSB to LSB: R/W followed by A[14:0] forms the instruction word and D[7:0] the data word, as shown in Figure 34. When the LSB-first bit is 1 (LSB first), instruction and data bits must be written from LSB to MSB: A[0:14] followed by R/W, then D[0:7], as shown in Figure 35.

中文： 串行端口支持 MSB 优先和 LSB 优先数据格式。该功能由 LSB 优先（寄存器 0x000[6]和 0x000[1]）控制。默认为 MSB 优先格式（LSB 优先位为 0）。当 LSB 优先位为 0（MSB 优先）时，指令和数据位必须从 MSB 写到 LSB。R/W 后面接 A[14:0]为指令字，D[7:0]为数据字，如图 34 所示。当 LSB 优先位为 1（LSB 优先）时，指令和数据位必须从 LSB 写到 MSB。A[0:14]后面是 R/W，随后是 D[0:7]，如图 35 所示。

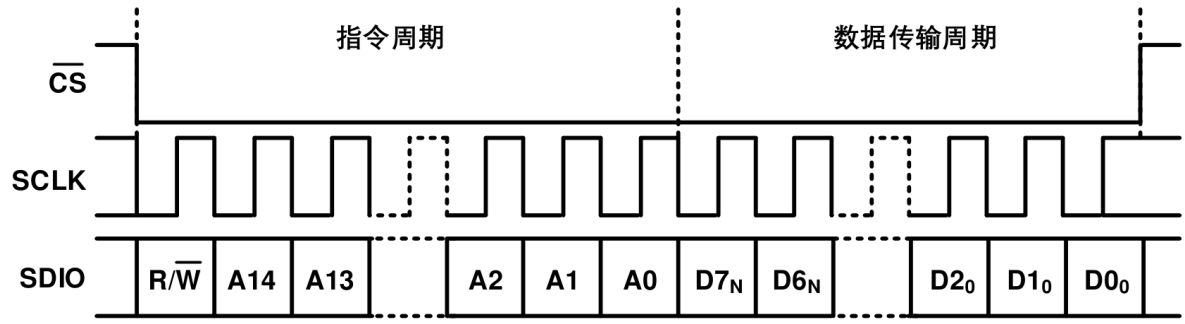


Figure 34: SPI read/write timing diagram, MSB first, address-increment bit = 0

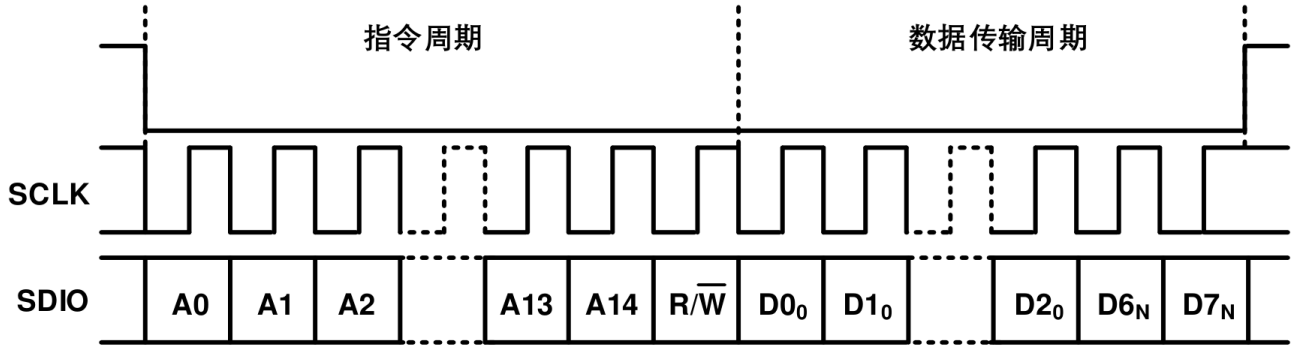


Figure 35: SPI read/write timing diagram, LSB first, address-increment bit = 1

English: The SPI supports 3-wire or 4-wire interfaces. When the SDO-active bit is 1 (Register 0x000[4] and 0x000[3]), the SPI is a 4-wire interface using the input pin (SDIO) and output pin (SDO). When the SDO-active bit is 0, the SDO pin is unused and the SDIO pin is used for both input and output.

The SPI also supports multi-byte data transfers. After the first data-transfer word following the instruction cycle, hold CS low and perform multiple data-transfer cycles (each 8 SCLK cycles is one transfer cycle). The first 8 SCLK cycles after the instruction cycle read from or write to the register provided by the instruction cycle. For each additional 8 SCLK cycles, the address increments or decrements and the read/write occurs at the new register. Use the address-increment bit (Register 0x000[5] and 0x000[2]) to set the address-change direction.

When the address-increment bit is 1, addresses increment over multiple cycles; when it is 0, addresses decrement. A new write cycle can be started by driving CS high and then low again.

During a write to Register 0x0000, the chip tests the first nibble after the address bits and ignores the second nibble. This is done independently of the LSB-first bit and ensures extra clock cycles after the soft-reset bit (Register 0x000[0] and 0x000[7]).

中文： SPI 支持 3 线制或 4 线制接口。当 SDO 有效位为 1（寄存器 0x000[4]和 0x000[3]）时，SPI 为使用输入引脚(SDIO)和输出引脚(SDO)的 4 线接口。当 SDO 有效位为 0 时，SDO 引脚未被使用，SDIO 引脚用于输入和输出。

SPI 也可以进行多字节的数据传输。在指令周期后的第一个数据传输字之后，将 CS 引脚保持在低电平，进行多个数据传输周期（每 8 个 SCLK 周期为一个传输周期）。指令周期后的前 8 个 SCLK 从指令周期提供的寄存器中读取或写入。每一个额外的 8 个 SCLK 周期，地址递增或递减，读/写发生在新的寄存器上。使用地址增量位（寄存器 0x000[5]和 0x000[2]）设置地址变化方向。

当地址增量位为 1 时，多周期地址递增。当地址增量位为 0 时，地址递减。一个新的写入周期可以通过将 CS 拉高，然后再拉低来启动。

在写到寄存器 0x0000 的过程中，芯片测试地址位后的第一个半字节，忽略第二个半字节。这是独立于 LSB 优先位完成的，并确保在软复位位（寄存器 0x000[0]和 0x000[7]）之后有额外的时钟周期。

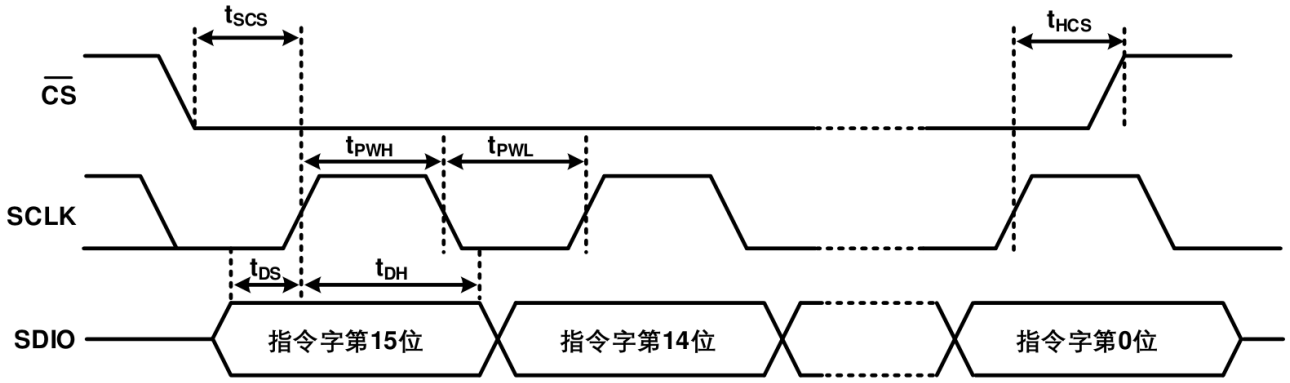


Figure 36: SPI read/write timing diagram

2、器件设置指南 / 2. Device Configuration Guide

English: Configure the SXD020 correctly by the following steps: 1. Set up the SPI interface, power the necessary circuit blocks, perform the necessary configuration-register writes, and set the DAC clock (see 2.1, Step 1: DAC Startup). 2. Set the digital features of the SXD020 (see 2.2, Step 2: Digital Datapath). 3. Set up the JESD204B link (see 2.3, Step 3: Transport Layer). 4. Set up the physical layer of the SERDES interface (see 2.4, Step 4: Physical Layer). 5. Set up the data-link layer of the SERDES interface (see 2.5, Step 5: Data-Link Layer). 6. Check for errors (see 2.6, Step 6: Error Monitoring). 7. Enable any required additional datapath functions described in Table 7.

A practical startup example is given in Section 10, Startup Sequence Example. The register writes listed in Tables 3 to 10 are the writes necessary to configure the SXD020. Users may print this configuration guide and fill in the appropriate variable values in the Value column for the required application conditions.

The value symbol 0x with no specified number denotes a register setting that must be filled in by the user. Choose the correct setting for each variable listed in the Variable column of Tables 3 to 10. The Description column explains how to set the variable or provides a link to the relevant section describing it. Register settings with specified values are fixed settings to be used in all cases.

A variable consists of multiple register bits concatenated. For example, PdDACs is a variable corresponding to the value of Register 0x011[6:3].

中文： 按照以下步骤正确设置 SXD020。1. 设置 SPI 接口，为必要的电路模块供电，对配置寄存器进行必要的写入，并设置 DAC 时钟（参见 2.1 第 1 步：启动 DAC）。2. 设置 SXD020 的数字特性（参见 2.2 第 2 步：数字处理通路）。3. 设置 JESD204B 链路（参见 2.3 第 3 步：传输层）。4. 设置 SERDES 接口的物理层（参见 2.4 第 4

步：物理层）。5. 设置 SERDES 接口的数据链路层（参见 2.5 第 5 步：数据链路层）。6. 检查错误（参见 2.6 第 6 步：错误监测）。7. 使能表 7 中描述的任何需要的附加数据通路功能。

在 10、启动顺序示例中给出了一个实际的启动案例。表 3 至表 10 中所列的寄存器写入是设置 SXD020 的必要写入。可以考虑打印出本设置指南，并根据所需应用的条件，在值栏中填写适当的变量值。

没有指定数值设置的数值符号 0x 表示必须由用户填写的寄存器设置。为表 3 至表 10 的变量栏中所列的每个变量选择正确的设置。描述栏说明了如何设置变量，或提供了一个到描述此变量的相关章节的链接。带有指定值的寄存器设置是在所有情况下都要使用的固定设置。

一个变量是由多个寄存器位连接起来的。例如，PdDACs 是一个变量，对应于寄存器 0x011[6:3]的值。

2.1 第 1 步：启动 DAC / Step 1: DAC Startup

English: This section describes how to set up the SPI, power the necessary circuit blocks, perform the necessary configuration-register writes, and set the DAC clock.

中文： 本节描述了如何设置 SPI、给必要的电路模块供电、对配置寄存器进行必要的写入和如何设置 DAC 的时钟。

表3 上电和 DAC 初始化设置 / Table 3. Power-Up and DAC Initialization Settings

地址 / Address	位 / Bits	值[1] / Value	变量 / Variable	描述 / Description
0x000		0xBD		软复位 / Soft reset
0x000		0x3C		去掉复位，设置 4 线 SPI / Remove reset; set 4-wire SPI
0x011	7	0		带隙基准上电 / Bandgap reference power-up
0x011	[6:3]	0x	PdDACs	如果使用所有 4 个 DAC，PdDACs=0；否则参见 2.9.2 DAC 断电设置 / If all 4 DACs are used, PdDACs=0; otherwise see 2.9.2
0x080	[7:6]	0x	PdClocks	如果使用所有 4 个 DAC，PdClocks=0；否则参见 2.9.2 / If all 4 DACs are used, PdClocks=0; otherwise see 2.9.2
0x080	2	0x1	DUTY_EN	总是设置 DUTY_EN=1 / Always set DUTY_EN=1
0x081		0x	PdSysref	子类 1 的 PdSysref=0x00；子类 0 的 PdSysref=0x10；详见 2.11.1 / Subclass 1: 0x00; Subclass 0: 0x10; see 2.11.1

1. 0x 表示用户必须填写的寄存器值。有关选择适当的寄存器值的信息，请参见变量和描述栏。/ 0x denotes a register value the user must fill in; see the Variable and Description columns for selecting the appropriate value.

English: The registers in Table 4 must be written to change their default values for the device to operate correctly. These registers must be written after any soft reset, hard reset, or power-up.

中文： 必须写入表 4 中的寄存器，改变其默认值，这样器件才能正确工作。这些寄存器必须在任何软复位、硬复位或上电后被写入。

表4 所需的器件配置 / Table 4. Required Device Configuration

地址 / Address	位 / Bits	值 / Value	变量 / Variable	描述 / Description
0x12D		0x8B		数字处理通路配置 / Digital datapath configuration

地址 / Address	位 / Bits	值 / Value	变量 / Variable	描述 / Description
0x146		0x01		数字处理通路配置 / Digital datapath configuration
0x333		0x01		JESD204B 接口配置 / JESD204B interface configuration

English: If the optional DAC PLL is used, also set the registers in Table 5.

中文： 如果使用可选的 DAC PLL，还要设置表 5 中的寄存器。

表5 可选的 DAC PLL 配置程序 / Table 5. Optional DAC PLL Configuration Procedure

地址 / Address	位 / Bits	值[1] / Value	变量 / Variable	描述 / Description
0x087		0x62		最佳 DAC PLL 环路滤波器设置 / Optimum DAC PLL loop-filter setting
0x088		0xC9		最佳 DAC PLL 环路滤波器设置 / Optimum DAC PLL loop-filter setting
0x089		0x0E		最佳 DAC PLL 环路滤波器设置 / Optimum DAC PLL loop-filter setting
0x08A		0x12		最佳 DAC PLL 电荷泵设置 / Optimum DAC PLL charge-pump setting
0x08D		0x7B		最佳 DAC PLL LDO 设置 / Optimum DAC PLL LDO setting
0x1B0		0x00		电源机禁用时，使能 DAC PLL / Enable DAC PLL when the power sequencer is disabled
0x1B5		0xC9		最佳 DAC PLL VCO 设置 / Optimum DAC PLL VCO setting
0x1B9		0x24		最佳 DAC PLL 校正选项设置 / Optimum DAC PLL calibration option setting
0x1BC		0x0D		最佳 DAC PLL 控制设置 / Optimum DAC PLL control setting
0x1BE		0x02		最佳 DAC PLL VCO 功率控制设置 / Optimum DAC PLL VCO power control setting
0x1BF		0x8E		最佳 DAC PLL VCO 校正设置 / Optimum DAC PLL VCO calibration setting
0x1C0		0x2A		最佳 DAC PLL 锁定计数器长度设置 / Optimum DAC PLL lock-counter length setting
0x1C1		0x2A		最佳 DAC PLL 电荷泵设置 / Optimum DAC PLL charge-pump setting
0x1C4		0x7E		最佳 DAC PLL 变容器设置 / Optimum DAC PLL varactor setting
0x1C5		0x06		最佳 DAC PLL VCO 设置 / Optimum DAC PLL VCO setting
0x08B		0x	LODivMode	参见 2.7 DAC PLL 设置 / See 2.7 DAC PLL settings
0x08C		0x	RefDivMode	参见 2.7 DAC PLL 设置 / See 2.7 DAC PLL settings
0x085		0x	BCount	参见 2.7 DAC PLL 设置 / See 2.7 DAC PLL settings
Various		0x	LookUpVals	参见 2.7 DAC PLL 设置 / See 2.7 DAC PLL settings
0x083		0x10		启动 DAC PLL[2] / Start the DAC PLL[2]
0x1BD		0x08		DAC PLL 辅助启动 / DAC PLL assisted startup
0x1BD		0x00		DAC PLL 辅助启动 / DAC PLL assisted startup

1. 0x 表示用户必须填写的寄存器值。/ 0x denotes a value the user must fill in.
2. 寄存器 0x084[1] 在 DAC PLL 启动后读回为 1，则表示 DAC PLL 已经锁定。/ If Register 0x084[1] reads back 1 after DAC PLL startup, the DAC PLL is locked.

2.2 第 2 步：数字处理通路 / Step 2: Digital Datapath

English: Select the interpolation mode and data format for the digital datapath per Table 6. Other digital-datapath functions are listed in Table 7.

中文： 按照表 6 为数字处理通路选择内插模式和数据格式。其他数字处理通路的功能见表 7。

表6 数字处理通路设置 / Table 6. Digital Datapath Settings

地址 / Address	位 / Bits	值[1] / Value	变量 / Variable	描述 / Description
0x112		0x	InterpMode	选择内插模式；参见 2.8 内插 / Select interpolation mode; see 2.8
0x110	7	0x	DataFmt	DataFmt=0 对应 2 的补码；DataFmt=1 对应无符号二进制数 / 0 = two's complement; 1 = unsigned binary

1. 0x 表示用户必须填写的寄存器值。/ 0x denotes a value the user must fill in.

English: Beyond the interpolation mode, additional signal-processing functions can be enabled as needed.

中文： 在内插模式之外还有一些信号处理功能可以根据需要来使能。

表7 数字处理通路信号处理功能 / Table 7. Digital Datapath Signal-Processing Functions

功能 / Function	默认状态 / Default	描述 / Description
数字调制 / Digital modulation	关 / Off	用所需的中频载波对数据进行调制。参见 4、数字处理通路 / Modulate the data with the desired IF carrier; see Section 4
反 Sinc 滤波器 / Inverse-Sinc filter	开 / On	改善通带平整度。参见 4 / Improve passband flatness; see Section 4
数字增益 / Digital gain	0 dB	将数据乘以一个系数，以补偿反 Sinc 滤波器的使用或平衡 I/Q 的振幅。参见 4 / Scale the data to compensate inverse-Sinc use or balance I/Q amplitude; see Section 4
相位调节 / Phase adjustment	关 / Off	平衡 I/Q 相位。参见 4 / Balance I/Q phase; see Section 4
直流失调调节 / DC-offset adjustment	关 / Off	消除 LO 泄漏。参见 4 / Remove LO leakage; see Section 4
群延迟粗调节 / Coarse group-delay adjustment	0	控制整体延迟。参见 4 / Control overall latency; see Section 4
下游保护 / Downstream protection	关 / Off	保护下游元器件。参见 4 / Protect downstream components; see Section 4

2.3 第 3 步：传输层 / Step 3: Transport Layer

English: This section describes how to set up the JESD204B link. These parameters are determined by the required JESD204B operating mode; see 2.9 JESD204B Settings for more information.

中文： 本节介绍如何设置 JESD204B 链路。这些参数由所需的 JESD204B 工作模式决定。更多信息参见 2.9 JESD204B 设置。

表8 传输层设置 / Table 8. Transport-Layer Settings

地址 / Address	位 / Bits	值[1] / Value	变量 / Variable	描述 / Description
0x200		0x00		接口上电 / Interface power-up
0x201		0x	UnusedLanes	参见 2.9 / See 2.9
0x300	6	0x	ChecksumMode	参见 2.9 / See 2.9
0x300	3	0x	DualLink	参见 2.9 / See 2.9
0x300	2	0x	CurrentLink	参见 2.9 / See 2.9
0x450		0x	DID	设置 DID 以匹配发送端的器件 ID / Set DID to match the transmitter device ID
0x451		0x	BID	设置 BID 以匹配发送端的 bank ID / Set BID to match the transmitter bank ID
0x452		0x	LID	设置 LID 以匹配发送端的 lane ID / Set LID to match the transmitter lane ID
0x453	7	0x	Scrambling	参见 2.9 / See 2.9
0x453	[4:0]	0x	L-1[2]	参见 2.9 / See 2.9
0x454		0x	F-1[2]	参见 2.9 / See 2.9
0x455		0x	K-1[2]	参见 2.9 / See 2.9
0x456		0x	M-1[2]	参见 2.9 / See 2.9
0x457		0x	N-1[2]	N=16
0x458	5	0x	Subclass	参见 2.9 / See 2.9
0x458	[4:0]	0x	Np-1[2]	Np=16
0x459	[7:5]	0x	JESDVer	JESDVer=1 用于 JESD204B，JESDVer=0 用于 JESD204A / 1 = JESD204B, 0 = JESD204A
0x459	[4:0]	0x	S-1[2]	参见 2.9 / See 2.9
0x45A	7	0x	HD	参见 2.9 / See 2.9
0x45A	[4:0]	0x	CF	CF=0
0x45D		0x	Lane0CheckSum	参见 2.9 / See 2.9
0x46C		0x	Lanes	Lane 纠偏 / Lane deskew
0x476		0x	F	参见 2.9 / See 2.9
0x47D		0x	Lanes	参见 2.9 / See 2.9

1. 0x 表示用户必须填写的寄存器值。有关选择适当的寄存器值的信息，请参见变量和描述栏。/ 0x denotes a value the user must fill in.
2. JESD204B 链路参数以 n-1 编程。例如 L=8 时将 L-1=7 编入寄存器 0x453[4:0]。/ Link parameters are programmed as n-1; e.g. for L=8, program L-1=7 into Register 0x453[4:0].

English: If dual-link is used, perform the writes from Register 0x300 to Register 0x47D with CurrentLink=0, then repeat the same writes with CurrentLink=1. Write Registers 0x200 and 0x201 only once.

中文： 如果使用双链路，在 CurrentLink=0 时执行从寄存器 0x300 到寄存器 0x47D 的写入，然后在 CurrentLink=1 时对相同的寄存器重复写入。对寄存器 0x200 和寄存器 0x201 只写一次。

2.4 第 4 步：物理层 / Step 4: Physical Layer

English: This section describes how to set up the physical layer of the SERDES interface, including input termination, CDR and the SERDES PLL.

中文： 本节介绍如何设置 SERDES 接口的物理层，包括输入终端、CDR 和 SERDES PLL。

表9 器件配置和物理层设置 / Table 9. Device Configuration and Physical-Layer Settings

地址 / Address	位 / Bits	值[1] / Value	变量 / Variable	描述 / Description
0x2A7		0x01		终端阻抗自动校正 / Automatic termination-impedance calibration
0x2AE		0x01		终端阻抗自动校正 / Automatic termination-impedance calibration
0x314		0x01		SERDES SPI 配置 / SERDES SPI configuration
0x230	5	0x	Halfrate	设置 CDR；参见 2.9.3 / Set CDR; see 2.9.3
0x230	[4:2]	0x2		
0x230	1	0x	OvSmp	设置 CDR；参见 2.9.3 / Set CDR; see 2.9.3
0x206		0x00		重置 CDR / Reset CDR
0x206		0x01		释放 CDR 复位 / Release CDR reset
0x289	2	1		SERDES PLL 配置 / SERDES PLL configuration
0x289	[1:0]	0x	PLLDiv	根据 CDR 工作模式设置 PLL 输入参考时钟分频比；参见 2.9.3 / Set PLL input reference divider per CDR mode; see 2.9.3
0x284		0x62		最佳 SERDES PLL 环路滤波器设置 / Optimum SERDES PLL loop-filter setting
0x285		0xC9		最佳 SERDES PLL 环路滤波器设置 / Optimum SERDES PLL loop-filter setting
0x286		0x0E		最佳 SERDES PLL 环路滤波器设置 / Optimum SERDES PLL loop-filter setting
0x287		0x12		最佳 SERDES PLL 电荷泵设置 / Optimum SERDES PLL charge-pump setting
0x28A		0x7B		最佳 SERDES PLL VCO LDO 设置 / Optimum SERDES PLL VCO LDO setting
0x28B		0x00		最佳 SERDES PLL 鉴相器设置 / Optimum SERDES PLL phase-detector setting
0x290		0x89		最佳 SERDES PLL VCO 设置 / Optimum SERDES PLL VCO setting
0x291		0x4C		最佳 SERDES PLL VCO 设置 / Optimum SERDES PLL VCO setting
0x294		0x24		最佳 SERDES PLL 电荷泵设置 / Optimum SERDES PLL charge-pump setting
0x296		0x1B		最佳 SERDES PLL VCO 设置 / Optimum SERDES PLL VCO setting
0x297		0x0D		最佳 SERDES PLL VCO 设置 / Optimum SERDES PLL VCO setting
0x299		0x02		最佳 SERDES PLL 鉴相器设置 / Optimum SERDES PLL phase-detector setting
0x29A		0x8E		最佳 SERDES PLL VCO / Optimum SERDES PLL VCO
0x29C		0x2A		最佳 SERDES PLL 电荷泵设置 / Optimum SERDES PLL charge-pump setting
0x29F		0x7E		最佳 SERDES PLL VCO 设置 / Optimum SERDES PLL VCO setting
0x2A0		0x06		配置 SERDES PLL VCO / Configure SERDES PLL VCO
0x280		0x01		启动 SERDES PLL[2] / Start SERDES PLL[2]
0x298		0x08		SERDES PLL 辅助启动 / SERDES PLL assisted startup
0x298		0x00		SERDES PLL 辅助启动 / SERDES PLL assisted startup

地址 / Address	位 / Bits	值[1] / Value	变量 / Variable	描述 / Description
0x268	[7:6]	0x	EqMode	参见 2.10 均衡模式设置 / See 2.10 equalizer mode settings
0x268	[5:0]	0x22		要求的值（默认）/ Required value (default)

1. 0x 表示用户必须填写的寄存器值。/ 0x denotes a value the user must fill in.
2. 确认在启动 SERDES PLL 后，寄存器 0x281 的第 0 位读回为 1，表示 SERDES PLL 已经锁定。/ After starting the SERDES PLL, confirm Register 0x281 bit 0 reads back 1, indicating the SERDES PLL is locked.

2.5 第 5 步：数据链路层 / Step 5: Data-Link Layer

English: This section describes how to set up the data-link layer of the SERDES interface, covering SYSREF handling, deterministic latency, and link establishment.

中文： 本节介绍如何设置 SERDES 接口的数据链路层。本节涉及 SYSREF 处理、确定性延迟以及链路建立。

表10 数据链路层设置 / Table 10. Data-Link Layer Settings

地址 / Address	位 / Bits	值[1] / Value	变量 / Variable	描述 / Description
0x301		0x	Subclass	参见 2.9 / See 2.9
0x304		0x	LMFCDel	参见 2.11.2 链路延迟设置 / See 2.11.2
0x305		0x	LMFCDel	参见 2.11.2 / See 2.11.2
0x306		0x	LMFCVar	参见 2.11.2 / See 2.11.2
0x307		0x	LMFCVar	参见 2.11.2 / See 2.11.2
0x03A		0x01		设置同步模式为 one-shot 同步；其他同步模式参见 3.3.8 / Set sync mode to one-shot; see 3.3.8 for other modes
0x03A		0x81		使能同步状态机 / Enable the sync state machine
0x03A		0xC1		启动同步状态机 / Start the sync state machine
SYSREF±				如果设置为子类 1，确保至少发送一个 SYSREF± 边沿到器件上[2] / If Subclass 1, ensure at least one SYSREF± edge is sent to the device[2]
0x308~0x30B		0x	XBarVals	如果重新映射 lane，设置交叉映射；参见 2.12 / If lanes are remapped, set the crossbar; see 2.12
0x334		0x	InvLanes	反转所需逻辑 lane 极性；对要反转的逻辑 lane x，InvLanes 第 x 位为 1 / Invert the required logical lanes; bit x = 1 inverts logical lane x
0x300		0x		链路使能 / Link enable
0x300	6		CheckSumMode	参见 2.9 / See 2.9
0x300	3		DualLink	参见 2.9 / See 2.9
0x300	[1:0]		EnLinks	DualLink=1 时 EnLinks=3（使能链路 0 和链路 1）；DualLink=0 时 EnLinks=1（仅使能链路 0）/ DualLink=1: EnLinks=3 (links 0 and 1); DualLink=0: EnLinks=1 (link 0 only)

1. 0x 表示用户必须填写的寄存器值。/ 0x denotes a value the user must fill in.

2. 确认寄存器 0x03B Bit3 在向器件发送至少一个 SYSREF±边沿后读回为 1，表明 LMFC 同步机已正确锁定。/ Confirm Register 0x03B bit 3 reads back 1 after at least one SYSREF± edge, indicating the LMFC synchronizer has locked correctly.

2.6 第 6 步：错误监测 / Step 6: Error Monitoring

English: For JESD204B error monitoring, see 3.6 JESD204B Error Monitoring. For other error checks, see Section 8, Interrupt Request Operation.

中文： 关于 JESD204B 的错误监测，参见 3.6 JESD204B 错误监测。关于其他错误检查，参见 8、中断请求操作。

2.7 DAC PLL 设置 / 2.7 DAC PLL Settings

English: This section explains how to select the appropriate LODivMode, RefDivMode and BCount in Step 1 (2.1). These parameters depend on the required DAC clock frequency (fDACCLK) and DAC reference clock frequency (fREF). When the DAC PLL is used, the reference clock signal is applied to the CLK± differential pins (pins 2 and 3).

中文： 本节解释如何在 2.1 第 1 步：启动 DAC 部分选择合适的 LODivMode、RefDivMode 和 BCount。这些参数取决于所需的 DAC 时钟频率(fDACCLK)和 DAC 参考时钟频率(fREF)。当使用 DAC PLL 时，参考时钟信号被施加到 CLK±差分引脚（引脚 2 和引脚 3）。

表11 DAC PLL LODivMode 设置 / Table 11. DAC PLL LODivMode Settings

DAC 采样频率范围 / DAC Sampling Frequency Range (MHz)	分频比 / Division Ratio	LODivMode（寄存器 0x08B[1:0]）/ LODivMode (Register 0x08B[1:0])
1500~2400	4	1
750~1500	8	2
420~750	16	3

表12 DAC PLL RefDivMode 设置 / Table 12. DAC PLL RefDivMode Settings

DAC PLL 参考时钟频率 / DAC PLL Reference Frequency fREF (MHz)	分频比 / RefDivFactor	RefDivMode（寄存器 0x08C[2:0]）/ RefDivMode (Register 0x08C[2:0])
35~80	1	0
80~160	2	1
160~320	4	2
320~640	8	3
640~1000	16	4

English: The relationship between the VCO frequency (fVCO) and the DAC clock frequency is: fVCO = fDACCLK × 2^(LODivMode+1), where 6 GHz ⩽ fVCO ⩽ 12 GHz. BCount must be between 6 and 127 and is calculated from fDACCLK and fREF as: BCount = floor(fDACCLK / (2 × fREF/RefDivFactor)), where RefDivFactor = 2^RefDivMode (see Table 12). Finally, configure the VCO control registers per Table 68 according to fVCO. For more information on the DAC PLL, see Section 6, DAC Clock Input.

中文： VCO 频率(fVCO)与 DAC 时钟频率的关系是按照以下公式计算的。fVCO = fDACCLK × 2LODivMode + 1，其中 6 GHz ⩽ fVCO ⩽ 12 GHz。BCount 必须在 6 和 127 之间，根据 fDACCLK 和 fREF 计算如下：BCount = floor((fDACCLK)/(2× fREF/RefDivFactor))，其中 RefDivFactor = 2RefDivMode（参见表 12）。最后，根据 VCO 频率(fVCO)，按照表 68 中的描述配置 VCO 控制寄存器。关于 DAC PLL 的更多信息，请参见 6、DAC 时钟输入部分。

2.8 内插模式设置 / 2.8 Interpolation Mode Settings

English: The transmit path can use 0 to 3 cascaded interpolation filters, each providing a 2× output data rate and low-pass functionality. Table 13 shows the different interpolation modes and their respective usable bandwidths (expressed at the fDATA rate).

中文： 发送路径可以使用 0 到 3 个级联内插滤波器，每个滤波器都提供 2 倍的输出数据速率和低通功能。表 13 显示了不同的内插模式和各自的可用带宽（以 fDATA 速率表示）。

表13 内插模式和可用带宽 / Table 13. Interpolation Modes and Usable Bandwidth

内插模式 / Interpolation Mode	InterpMode	可用带宽 / Usable Bandwidth
1×（旁路）/ 1× (bypass)	0x00	0.5 × fDATA
2×	0x01	0.4 × fDATA
4×	0x03	0.4 × fDATA
8×	0x04	0.4 × fDATA

English: For the 1×, 2×, 4× and 8× modes, usable bandwidth is defined as the band over which the filter passband ripple is less than ±0.001 dB and the image rejection is greater than 85 dB. For more information, see 4.3 Interpolation Modes.

中文： 对于 1×、2×、4×和 8×模式，可用带宽被定义为滤波器的通带纹波小于±0.001 dB 和镜像抑制比大于 85 dB 的频带。关于内插模式的更多信息，请参见 4.3 内插模式部分。

2.9 JESD204B 设置 / 2.9 JESD204B Settings

English: This section explains how to select the JESD204B operating mode for the required application, defining the appropriate values of the variables required in Step 3 (2.3): CheckSumMode, UnusedLanes, DualLink, CurrentLink, Scrambling, L, F, K, M, N, Np, Subclass, S, HD, Lane0Checksum and Lanes. Note that DualLink, Scrambling, L, F, K, M, N, Np, S, HD and Subclass must have identical settings on the transmitting device side. For the operating principles of the JESD204B system and the meaning of each parameter, see Section 3, JESD204B Interface.

中文： 本节解释了如何为所需的应用选择 JESD204B 工作模式。定义了 2.3 第 3 步：传输层需要的 CheckSumMode、UnusedLanes、DualLink、CurrentLink、Scrambling、L、F、K、M、N、Np、Subclass、S、HD、Lane0Checksum 和 Lanes 等变量的适当值。注意 DualLink、Scrambling、L、F、K、M、N、Np、S、HD 和 Subclass 在发送器件侧必须有相同的设置。关于 JESD204B 系统的工作原理和每个参数的含义，请参阅 3、JESD204B 接口部分。

表14 JESD204B 工作模式（只支持单链路模式）/ Table 14. JESD204B Operating Modes (Single-Link Only)

参数 / Parameter	Mode 0	Mode 1	Mode 2	Mode 3
M（转换器个数）/ M (converters)	4	4	4	4
L（Lane 数）/ L (lanes)	8	8	4	2
S（每帧每转换器中的样本数）/ S (samples per frame per converter)	1	2	1	1
F（每 Lane 每帧的字节数）/ F (octets per frame per lane)	1	2	2	4

表15 JESD204B 工作模式（支持单链路模式和双链路模式）/ Table 15. JESD204B Operating Modes (Single-Link and Dual-Link)

参数 / Parameter	Mode 4	Mode 5	Mode 6	Mode 7	Mode 9	Mode 10
M（转换器个数）/ M	2	2	2	2	1	1
L（Lane 数）/ L	4	4	2	1	2	1
S（每帧每转换器中的样本数）/ S	1	2	1	1	1	1
F（每 Lane 每帧的字节数）/ F	1	2	2	4	1	2

English: For a specific application, the number of converters (M) and the data rate fDATA (DataRate) are definite. The lane rate (LaneRate) and number of lanes (L) are calculated as: DataRate = DACRate / InterpolationFactor; LaneRate = (20 × DataRate × M) / L. The number of octets per frame per lane (F) and the number of samples per frame per converter (S) define how the data are packed. If F is 1, high density (HD) must also be set to 1; otherwise HD should be set to 0. Converter resolution (N) and bits per sample (Np) must both be set to 16. In Modes 0, 4 and 9, the number of frames per multiframe (K) must be 32; in other modes K can be 16 or 32.

2.9.1.1 DualLink: DualLink sets up two independent JESD204B links; each link can be reset independently. Set DualLink to 1 if dual-link is required, or 0 for single-link. Note that link 0 and link 1 must have the same link parameters. Available dual-link operating modes are shown in Table 15; the modes in Table 14 can also be used in single-link mode.

2.9.1.2 Scrambling: Scrambling makes the link-data spectrum data-independent. It avoids spectral peaks and provides some protection against data-dependent errors caused by frequency-selective effects in the electrical interface. Set Scrambling to 1 if scrambling is used, otherwise 0.

2.9.1.3 Subclass: Subclass determines whether the device has deterministic-latency capability, i.e. whether it requires an external synchronization signal. See 2.11.1.

2.9.1.4 CurrentLink: To configure link 0 or link 1, set CurrentLink to 0 or 1 respectively.

2.9.1.5 Lanes: Lanes enables and deskews specific lanes in two thermometer-coded registers: Lanes = 2^L − 1.

2.9.1.6 UnusedLanes: UnusedLanes powers down unused physical lanes to save power. Each unused physical lane (SERDINx±) must be powered down by writing 1 to the corresponding bit of Register 0x201. For example, if Mode 6 is used in dual-link mode with data sent on SERDIN0±, SERDIN1±, SERDIN4± and SERDIN5±, set UnusedLanes = 0xCC to power down physical lanes 2, 3, 6 and 7.

2.9.1.7 CheckSumMode: CheckSumMode must match the checksum mode used on the transmit side. If CheckSumMode is 0, the checksum used is the sum of the fields in the link-configuration table. If CheckSumMode is 1, the registers containing the link-configuration fields are summed. See 2.9.1.8.

2.9.1.8 Lane0Checksum: Lane0Checksum is used for error checking to ensure the transmitter settings are as expected. If CheckSumMode is 0, the checksum is the low 8 bits of the sum of DID, BID, LID, L−1, F−1, K−1, M−1, N−1, SUBCLASSV, NP−1, JESDV, S−1 and HD. If CheckSumMode is 1, the checksum is the low 8 bits of the sum of Registers 0x400 to 0x40C. Whether fields or registers are summed should match the setting on the transmitter.

中文： 对于一个特定的应用，转换器个数(M)和数据率 fDATA(DataRate)是明确的。Lane 速率 LaneRate 和 Lane 数(L)按照以下关系计算：DataRate = (DACRate)/(InterpolationFactor)；LaneRate = (20 × DataRate × M)/L。每 Lane 每帧的字节数(F)和每帧每转换器中的样本数(S)定义了如何打包数据。如果 F 为 1，高密度(HD)也必须设为 1，否则应将 HD 设为 0。转换器分辨率(N)和每样本中的位数(Np)都必须设为 16。在 Mode 0、Mode 4 和 Mode 9 时，多帧中的帧数(K)必须设为 32，其他工作模式 K 可以设为 16 或 32。

2.9.1.1 DualLink：DualLink 设置了两个独立的 JESD204B 链路；每个链路可以独立复位。如果需要 DualLink，将其设为 1；如果需要单链路，将 DualLink 设为 0。请注意，链路 0 和链路 1 必须有相同的链路参数。使用双链路模式时可用的操作模式如表 15 所示。除了这些工作模式外，表 14 中的模式在使用单链路模式时也可以使用。

2.9.1.2 Scrambling：加扰是一种使链路数据频谱独立的功能。它避免了频谱峰值，并提供了一些保护，防止由电气接口中的频率选择效应引起的数据相关错误。如果使用加扰，则将 Scrambling 设为 1，如果不使用则设为 0。

2.9.1.3 Subclass：Subclass 决定了器件是否具有确定性延迟功能，这意味着它是否需要一个外部同步信号。更多信息请参见 2.11.1 子类设置。

2.9.1.4 CurrentLink：要配置链路 0 或链路 1，将 CurrentLink 分别设置为 0 或 1。

2.9.1.5 Lanes：Lanes 在两个温度计编码的寄存器中使能并纠偏特定的 Lane。Lanes = 2L − 1。

2.9.1.6 UnusedLanes：UnusedLanes 关闭不使用的物理 Lane 以节省功耗。每个不使用的物理 Lane(SERDINx±)必须通过向寄存器 0x201 的相应位写 1 来关闭。例如，如果在双链路模式下使用 Mode 6，并在 SERDIN0±、SERDIN1±、SERDIN4±和 SERDIN5±上发送数据，则设置 UnusedLanes = 0xCC 以关闭物理 Lane 2、物理 Lane 3、物理 Lane 6 和物理 Lane 7。

2.9.1.7 CheckSumMode：CheckSumMode 必须与发送侧使用的校验模式相匹配。如果 CheckSumMode 为 0，则使用的校验和是链路配置表中的字段之和。如果 CheckSumMode 为 1，则对包含链路配置字段的寄存器进行求和。关于如何计算这两种校验模式的更多信息，请参阅 2.9.1.8 Lane0Checksum。

2.9.1.8 Lane0Checksum：Lane0Checksum 用于错误检查，以确保发射器的设置符合预期。如果 CheckSumMode 为 0，校验和是 DID、BID、LID、L−1、F−1、K−1、M−1、N−1、SUBCLASSV、NP−1、JESDV、S−1 和 HD 之和的低 8 位。如果 CheckSumMode 为 1，校验和是寄存器 0x400 到寄存器 0x40C 之和的低 8 位。选择按字段还是按寄存器求和，应该与发射器上的设置相匹配。

2.9.2 DAC 断电设置 / 2.9.2 DAC Power-Down Settings

English: As described in Step 1 (2.1), if all 4 converters are used, PdDACs must be set to 0. If fewer than 4 converters are used, unused converters can be powered down. Refer to Table 16, according to the number

of converters per link (M) and whether the device is in dual-link mode, to determine which DACs should be powered down.

中文： 如 2.1 第 1 步：启动 DAC 所述，如果使用所有 4 个转换器，PdDACs 必须设置为 0。如果使用的转换器少于 4 个，可以关闭未使用的转换器。根据每个链路的转换器数量(M)和器件是否处于双链路模式，参考表 16 以确定应该关闭哪些 DAC。

表16 DAC 下电配置设置 / Table 16. DAC Power-Down Configuration Settings（0=上电 / powered up，1=关闭 / powered down）

每链路转换器个数 / Converters per Link (M)	DualLink	DAC0	DAC1	DAC2	DAC3	PdDACs
1	0	0	1	1	1	0b0111
1	1	0	1	1	0	0b0110
2	0	0	0	1	1	0b0011
2	1	0	0	0	0	0b0000
4	0	0	0	0	0	0b0000

English: When M=1 is used in dual-link mode, the I_TO_Q bit should be set high to ensure that data entering DAC Dual B is routed to DAC 3.

2.9.2.1 PdClocks: If both DACs in DAC Dual B (DAC2 and DAC3) are powered down, the DAC Dual B clock can also be powered down. In this case Register 0x080[7:6] is 0x1; otherwise Register 0x080[7:6] is 0x0.

中文： 当在双链路模式下使用 M=1 时，应当将 I_TO_Q 位设为高电平，以确保进入 DAC Dual B 的数据被送到 DAC 3。2.9.2.1 PdClocks：如果 DAC Dual B 中的两个 DAC（DAC2 和 DAC3）都断电，DAC Dual B 的时钟也可以断电。在这种情况下，寄存器 0x080[7:6]为 0x1；否则，寄存器 0x080[7:6]为 0x0。

2.9.3 SERDES 时钟设置 / 2.9.3 SERDES Clock Settings

English: This section describes how to select the appropriate Halfrate, OvSmp and PLLDiv settings in Step 4 (2.4). These parameters depend entirely on the lane rate.

中文： 本节介绍如何在 2.4 第 4 步：物理层部分选择适当的 Halfrate、OvSmp 和 PLLDiv 设置。这些参数完全取决于 Lane 速率。

表17 SERDES Lane 速率配置 / Table 17. SERDES Lane-Rate Configuration

CDR 工作模式 / CDR Operating Mode	Halfrate	OvSmp	PLLDiv
过采样模式 / Oversampling mode	0	1	2
全速模式 / Full-rate mode	0	0	1
半速模式 / Half-rate mode	1	0	0

English: Halfrate and OvSmp set the sampling method of the clock-and-data-recovery (CDR) circuit. Section 3.2.4 describes the operation of this block and the role of PLLDiv in it.

中文： Halfrate 和 OvSmp 设置了时钟检测和恢复电路(CDR)电路的采样方式。3.2.4 SERDES PLL 部分描述了该单元电路的工作原理和 PLLDiv 在其中的作用。

2.10 均衡模式设置 / 2.10 Equalizer Mode Settings

English: If the PCB insertion loss is less than 12 dB, EqMode can be set to 1 to enter low-power mode. For insertion loss greater than 12 dB but less than 17.5 dB, EqMode should be set to 0. For more information, see 3.2.6 Equalizer.

中文： 如果 PCB 的插入损耗小于 12 dB，可以设置 EqMode 为 1 进入低功耗模式。对于插入损耗大于 12 dB 但小于 17.5 dB，EqMode 应该设为 0。更多信息请参见 3.2.6 均衡器部分。

2.11 链路延迟设置 / 2.11 Link Latency Settings

English: This section describes the steps required to guarantee multi-chip deterministic latency in Subclass 1 and in-device link synchronization in Subclass 0. Use this section to determine the values of LMFCDel, LMFCVar and Subclass in Step 5 (2.5). For more information, see 3.3.8 Synchronizing the LMFC Signals.

2.11.1 子类设置 / Subclass settings: The SXD020 supports JESD204B Subclass 0 and Subclass 1. **Subclass 1** supports deterministic latency and requires an external SYSREF± signal precisely phase-aligned with the DAC clock. **Subclass 0** requires no signal on the SYSREF± pins; when operating in Subclass 0 these pins can be left disconnected. Subclass 0 still requires all lane data to arrive within the same LMFC period, and the DAC pairs must be mutually synchronized (in Subclass 0 mode they are synchronized to the internal clock rather than the SYSREF± signal).

2.11.2 链路延迟设置 / Link latency settings: LMFCVar and LMFCDel delay the LMFC signal so that data on all lanes of the system arrive within the same LMFC period. The unit used for internal delay is the period of the internal processing clock (PClock), which runs at 1/40 of the lane rate. Delays not expressed in PClock periods must be converted before use. Internal relationships: PClockPeriod = 40/LaneRate (converts time units to PClock periods when needed); PClockFactor = 4/F (the number of frames in one PClock period, converting PClock periods to frame-clock periods, needed when setting LMFCDel in Subclass 1); PClocksPerMF = K/PClockFactor (the number of PClock periods in one multiframe period). PClockFactor and PClocksPerMF values by JESD204B mode are given in Tables 18 and 19.

中文： 本节介绍了在子类 1 中保证多芯片确定性延迟和在子类 0 中保证器件内链路同步的必要步骤。使用本节来确定 2.5 第 5 步：数据链路层部分中的 LMFCDel、LMFCVar 和 Subclass 的值。更多信息请参见 3.3.8 同步 LMFC 信号部分。2.11.1 子类设置：SXD020 支持 JESD204B 子类 0 和子类 1。子类 1 支持确定性延迟，它需要一个与 DAC 时钟相位精确对齐的外部 SYSREF±信号。子类 0 不需要 SYSREF±引脚上的任何信号。采用子类 0 工作时，可以让这些引脚断开连接。子类 0 仍然要求所有 Lane 的数据在同一 LMFC 周期内到达，并且 DAC 对必须相互同步（在子类 0 模式下，它们与内部时钟而不是 SYSREF±信号同步）。2.11.2 链路延迟设置：LMFCVar 和 LMFCDel 对 LMFC 信号进行延迟，使系统中的所有 Lane 的数据在同一 LMFC 周期内到达。用于内部延迟的单位是内部处理时钟(PClock)的周期，速率为 Lane 速率的 1/40。不使用 PClock 周期作为单位的延迟必须在使用前进行转换。PClockPeriod = 40/LaneRate；PClockFactor = 4/F；PClocksPerMF = K/PClockFactor。PClockFactor 和 PClockPerMF 的值在表 18 和表 19 中按 JESD204B 工作模式给出。

表18 PClockFactor 和 PClocksPerMF 值 / Table 18. PClockFactor and PClocksPerMF Values

JESD204B Mode	0	1	2	3
PClockFactor	4	2	2	1
PClocksPerMF (K=32)	8	16	16	32

JESD204B Mode	0	1	2	3
PClocksPerMF (K=16)	不支持 / Not supported	8	8	16

表19 PClockFactor 和 PClocksPerMF 值 / Table 19. PClockFactor and PClocksPerMF Values

JESD204B Mode	4	5	6	7	9	10
PClockFactor	4	2	2	1	4	2
PClocksPerMF (K=32)	8	16	16	32	8	16
PClocksPerMF (K=16)	不支持 / Not supported	8	8	16	不支持 / Not supported	8

English — 2.11.2.1 Known-latency case: LMFCVar and LMFCDel can be calculated directly from known system latency information. RxFixed is the fixed receiver latency in PClock periods; RxVar the variable receiver latency; TxFixed the fixed transmitter latency; TxVar the variable transmitter latency; PCBFixed the fixed PCB path latency (usually much smaller than a PClock period and negligible). For each lane: MinDelayLane = floor(RxFixed + TxFixed + PCBFixed); FALL_COUNT_DelayLane = ceiling(RxFixed + RxVar + TxFixed + TxVar + PCBFixed). Over all lanes, links and devices: MinDelay is the minimum of all MinDelayLane values; FALL_COUNT_Delay is the maximum of all FALL_COUNT_DelayLane values. For safety, add a 1-PClock-period guard band at each end of the link latency: LMFCVar = (FALL_COUNT_Delay + 1) − (MinDelay − 1). Note LMFCVar must be ⩽ 10. For Subclass 1: LMFCDel = ((MinDelay − 1) × PClockFactor) % K. For Subclass 0: LMFCDel = (MinDelay − 1) % PClocksPerMF. LMFCDel and LMFCVar must be equal across all links and devices. See 3.3.10.1.

2.11.2.2 Unknown-latency case: If comprehensive latency information is unavailable, the link latency between LMFCRx and the ILAS-to-data-sample boundary (in PClock periods) can be read back and used to calculate LMFCVar and LMFCDel. For each link on each device: 1. Power up the board. 2. Follow the steps in Tables 3–10 of the Device Configuration Guide. 3. Set the subclass and perform a one-shot synchronization (see 3.3.8 for other sync modes). 4. Record DYN_LINK_LATENCY_0 (Register 0x302) as the latency for this power-up of the link. 5. Record DYN_LINK_LATENCY_1 (Register 0x303) likewise. Repeat for every device in the system 20 times, recording each latency value.

中文 — 2.11.2.1 延迟已知的情况： LMFCVar 和 LMFCDel 可以用已知的系统延迟信息直接计算。RxFixed 是以 PClock 周期为单位的固定的接收器延迟。RxVar 是以 PClock 周期为单位的可变的接收器延迟。TxFixed 是以 PClock 周期为单位的固定的发射器延迟，TxVar 是以 PClock 周期为单位的可变的发射器延迟。PCBFixed 是以 PClock 周期为单位的固定的 PCB 路径延迟。因为 PCBFixed 通常比 PClock 周期小得多，所以可以忽略。对于每个 Lane：MinDelayLane = floor(RxFixed + TxFixed + PCBFixed)；FALL_COUNT_DelayLane = ceiling(RxFixed + RxVar + TxFixed + TxVar + PCBFixed)。对于所有 Lane、链路和器件：MinDelay 是所有 MinDelayLane 值的最小值；FALL_COUNT_Delay 是所有 FALL_COUNT_DelayLane 值的最大值。为了安全起见，在链路延迟的两端各加一个 1 个 PClock 周期的保护带：LMFCVar = (FALL_COUNT_Delay + 1) − (MinDelay − 1)。注意，LMFCVar 必须小于等于 10。对于子类 1：LMFCDel = ((MinDelay − 1) × PClockFactor) % K。对于子类 0：LMFCDel = (MinDelay − 1) % PClocksPerMF。在所有链路和器件上，LMFCDel 和 LMFCVar 的值必须相等。请参阅 3.3.10.1。

中文 — 2.11.2.2 延迟未知的情况： 如果没有全面的延迟信息或已知的延迟信息，则可以回读 LMFCRx 和 ILAS 到数据样本边界之间的链路延迟（以 PClock 周期为单位）。使用这些信息来计算 LMFCVar 和 LMFCDel。对于每个器件上的每个链路，操作顺序如下：1. 给电路板上电。2. 按照 2、器件设置指南中的表 3~表 10 的步骤进行操作。3. 设置子类并执行 One-shot 同步。参见 3.3.8 同步 LMFC 信号一节，了解其他的同步模式。4. 记录 DYN_LINK_LATENCY_0（寄存器 0x302），作为该链路该次上电的延迟值。5. 记录 DYN_LINK_LATENCY_1

（寄存器 0x303），作为该链路该次上电的延迟值。对系统中的每个器件重复以上步骤 20 次，记录下各个延迟值。

表20 寄存器配置和 One-shot 同步的步骤 / Table 20. Register Configuration and One-Shot Synchronization Steps

地址 / Address	位 / Bits	值[1] / Value	变量 / Variable	描述 / Description
0x301		0x	Subclass	设置子类 / Set the subclass
0x03A		0x01		设置同步模式为 One-shot 同步 / Set sync mode to one-shot
0x03A		0x81		使能同步机 / Enable the synchronizer
0x03A		0xC1		启动同步机 / Start the synchronizer
SYSREF±				如果是子类 1，确保至少发送一个 SYSREF±边沿到器件上 / If Subclass 1, ensure at least one SYSREF± edge reaches the device
0x300		0x		使能链路 / Enable the link(s)
0x300	6		ChkSmMd	参见 2.9 / See 2.9
0x300	3		DualLink	参见 2.9 / See 2.9
0x300	[1:0]		EnLinks	双链路模式 EnLinks 为 3；非双链路 EnLinks 为 1 / Dual-link: 3; single-link: 1

1. 0x 表示用户必须填写的寄存器值。/ 0x denotes a value the user must fill in.

English: When using the list of latency values to calculate LMFCDel and LMFCVar, note that some latency values may need conversion first. The maximum possible value of DYN_LINK_LATENCY_x is the number of PClocks in one multiframe (PClocksPerMF) minus 1. A rollover can occur, where recorded latency values wrap around the multiframe edge and appear near both 0 and PClocksPerMF; in that case, recorded values near 0 must have one PClocksPerMF added. For example, for readback latency values of 6, 7, 0 and 1, the values 0 and 1 must be converted to 8 and 9, giving a new set of 6, 7, 8 and 9. Over all power cycles, links and devices: MinDelay is the minimum of all latency measurements; FALL_COUNT_Delay is the maximum. With a 1-PClock guard band at each end: LMFCVar = (FALL_COUNT_Delay + 1) − (MinDelay − 1) (must be ⩽10). Subclass 1: LMFCDel = ((MinDelay − 1) × PClockFactor) % K. Subclass 0: LMFCDel = (MinDelay − 1) % PClocksPerMF. LMFCDel and LMFCVar must be equal on all links and devices. See 3.3.10.2 for a worked example.

中文： 在使用延迟值列表来计算 LMFCDel 和 LMFCVar 时，注意有些延迟值可能需要先进行转换。DYN_LINK_LATENCY_x 可能出现的最大值是一个多帧中的 PClock 数量(PClocksPerMF)减 1。可能会遇到翻转的情况，即记录的延迟值可能会翻转到多帧的边缘，此时记录的延迟值可能同时在 0 和 PClocksPerMF 附近。如果发生这种情况，记录下的接近 0 的延迟值需要加上一个 PClocksPerMF。例如，对于延迟值回读为 6、7、0 和 1，0 和 1 的延迟值必须转换为 8 和 9，使新的延迟值集合为 6、7、8 和 9。对于所有上电周期、链路和器件：MinDelay 是所有延迟测量值的最小值；FALL_COUNT_Delay 是所有延迟测量值的最大值。为了安全起见，在链路延时的两端各加一个 1 个 PClock 周期的保护带：LMFCVar = (FALL_COUNT_Delay + 1) − (MinDelay − 1)，注意 LMFCVar 必须小于等于 10。对于子类 1：LMFCDel = ((MinDelay − 1) × PClockFactor) % K；对于子类 0：LMFCDel = (MinDelay − 1) % PClocksPerMF。在所有链路和器件上，LMFCDel 和 LMFCVar 的值必须相等。请参阅 3.3.10.2，以了解计算示例。

2.12 交叉映射设置 / 2.12 Crossbar Mapping Settings

English: Registers 0x308 to 0x30B can be configured to map any physical lane (SERDINx±) to any logical lane used by the SERDES deframer.

中文： 可以配置寄存器 0x308 到寄存器 0x30B 将物理 Lane(SERDINx±)任意映射到 SERDES 解帧器使用的逻辑 Lane。

表21 交叉映射寄存器 / Table 21. Crossbar Mapping Registers

地址 / Address	位 / Bits	逻辑 Lane / Logical Lane
0x308	[2:0]	XBARVAL0
0x308	[5:3]	XBARVAL1
0x309	[2:0]	XBARVAL2
0x309	[5:3]	XBARVAL3
0x30A	[2:0]	XBARVAL4
0x30A	[5:3]	XBARVAL5
0x30B	[2:0]	XBARVAL6
0x30B	[5:3]	XBARVAL7

English: Write the number (x) of the desired physical lane (SERDINx±) into each XBARVALy. By default, all logical lanes use the corresponding physical lane as their data source. For example, XBARVAL0 is 0 by default, meaning logical lane 0 receives data from physical lane 0 (SERDIN0±). To use SERDIN4± as the source for logical lane 0, XBARVAL0 must be set to 4.

中文： 在每个 XBARVALy 中写入所需的物理 Lane(SERDINx±)的编号(x)。默认情况下，所有逻辑 Lane 使用相应的物理 Lane 作为其数据源。例如，默认情况下，XBARVAL0 为 0，意味着逻辑 Lane 0 从物理 Lane 0 (SERDIN0±)接收数据。如果想使用 SERDIN4±作为逻辑 Lane 0 的来源，必须将 XBARVAL0 设为 4。

3、JESD204B 接口 / 3. JESD204B Interface

3.1 JESD204B 概述 / 3.1 JESD204B Overview

English: Section 2.9 explains how to select the JESD204B operating mode; this section outlines the internal operation of the SXD020 JESD204B receiver. The SXD020 has 8 JESD204B data lanes for receiving data. These 8 lanes can be configured as part of a single JESD204B link, or as part of two independent JESD204B links (dual-link mode), the two links sharing one system reference signal (SYSREF±) and device clock (CLK±). The JESD204B hardware protocol stack consists of three layers: the physical layer, the data-link layer and the transport layer. Figure 37 shows the communication layers implemented in the SXD020 serial data interface, which perform clock recovery, deserialization, descrambling and deframing on the data before sending it to the digital signal-processing section of the device. The physical layer establishes a reliable channel between transmitter (Tx) and receiver (Rx); the data-link layer unpacks the data and descrambles it. The transport layer receives the descrambled JESD204B frame data and converts it into DAC sample data. The JESD204B parameters (L, F, K, M, N, NP, S, HD) define how data are packed and tell the device how to convert serial data into sample data; these parameters are defined in detail in 3.4. There

are many combinations of these parameters, but the device supports only some of them, called operating modes: 10 single-link operating modes in total (Table 22) and 6 dual-link operating modes (Table 23).

中文： 2.9 JESD204B 设置部分解释了如何选择 JESD204B 工作模式。本节则概述了 SXD020 的 JESD204B 接收器的内部工作原理。SXD020 有 8 个 JESD204B 数据 Lane 用于接收数据。这 8 个 JESD204B Lane 可以配置为单个 JESD204B 链路的一部分；也可以配置为两个独立的 JESD204B 链路的一部分（双链路模式），这两个链路共享一个系统参考信号(SYSREF±)和器件时钟(CLK±)。JESD204B 硬件协议栈由三层组成：物理层、数据链路层和传输层。图 37 显示了在 SXD020 串行数据接口中实现的通信层，它们将数据在发送到器件的数字信号处理部分之前进行时钟恢复、解串、解扰和解帧。物理层在发射机(Tx)和接收机(Rx)之间建立可靠的信道，数据链路层负责将数据解包，并对数据进行解扰。传输层接收解扰后的 JESD204B 帧数据，并将其转换为 DAC 样本数据。JESD204B 的参数(L、F、K、M、N、NP、S、HD)定义了数据的打包方式，并告诉器件如何将串行数据转化为样本数据。这些参数在 3.4 传输层部分有详细的定义。这些参数有多种组合，但是器件只支持其中的某一些，称之为工作模式。总共支持 10 种单链路工作模式（如表 22 所示）和 6 种双链路工作模式（如表 23 所示）。

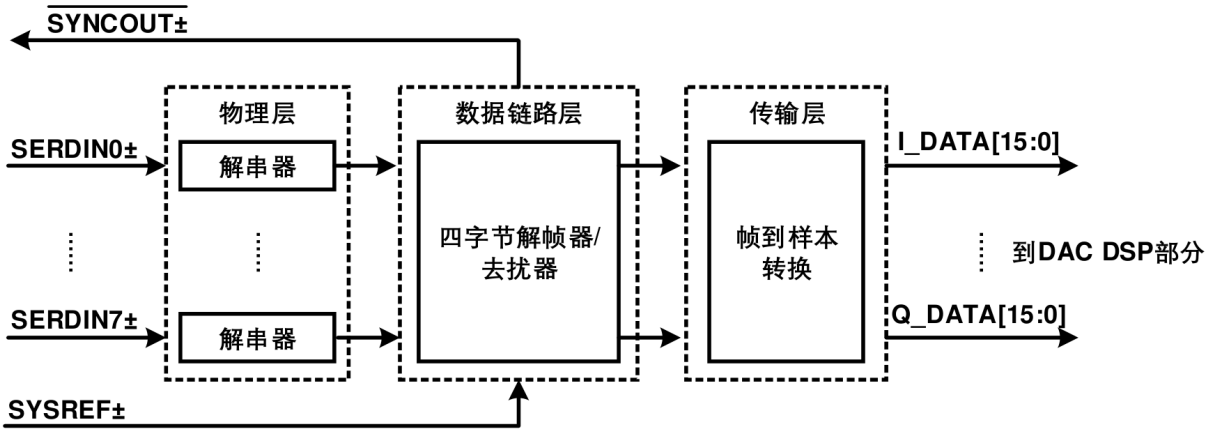


Figure 37: Serial data interface functional block diagram

表22 单链路 JESD204B 工作模式 / Table 22. Single-Link JESD204B Operating Modes（以 10 Gbps Lane 速率为例 / lane rate 10 Gbps example）

参数 / Parameter	Mode 0	Mode 1	Mode 2	Mode 3	Mode 4	Mode 5	Mode 6	Mode 7	Mode 9	Mode 10
M	4	4	4	4	2	2	2	2	1	1
L	8	8	4	2	4	4	2	1	2	1
S	1	2	1	1	1	2	1	1	1	1
F	1	2	2	4	1	2	2	4	1	2
PClock (MHz)	250	250	250	250	250	250	250	250	250	250
Frame (MHz)	1000	500	500	250	1000	500	500	250	1000	500
Sample Clock (MHz)	1000	1000	500	250	1000	1000	500	250	1000	500

表23 双链路 JESD204B 工作模式 / Table 23. Dual-Link JESD204B Operating Modes（以 10 Gbps Lane 速率为例 / lane rate 10 Gbps example）

参数 / Parameter	Mode 4	Mode 5	Mode 6	Mode 7	Mode 9	Mode 10
M	2	2	2	2	1	1

参数 / Parameter	Mode 4	Mode 5	Mode 6	Mode 7	Mode 9	Mode 10
L	4	4	2	1	2	1
S	1	2	1	1	1	1
F	1	2	2	4	1	2
PClock (MHz)	250	250	250	250	250	250
Frame (MHz)	1000	500	500	250	1000	500
Sample Clock (MHz)	1000	1000	500	250	1000	500

English: In a specific application, the number of converters (M) and the data rate (DataRate) are known, so the lane rate (LaneRate) and number of lanes (L) can be calculated as: DataRate = DACRate / InterpolationFactor; LaneRate = (20 × DataRate × M) / L. Lane synchronization is very important. To simplify interfacing with the transmitter, the SXD020 designates one primary synchronization signal for each JESD204B link. In single-link mode, SYNCOUT0± is the primary signal for all lanes; in dual-link mode, SYNCOUT0± is the primary signal for link 0 and SYNCOUT1± for link 1. If any link loses synchronization, a resynchronization request is sent to the transmitter via that link's sync signal. The transmitter stops sending data and instead sends synchronization characters to all lanes of that link until synchronization is achieved.

中文： 在一个特定的应用中，转换器数量(M)和数据速率(DataRate)是已知的。因此 Lane 速率(LaneRate)和 lane 数(L)可以通过以下方式进行计算。DataRate = (DACRate)/(InterpolationFactor)；LaneRate = (20 × DataRate × M)/L。Lane 之间的同步是非常重要的。为了简化与发射机的接口，SXD020 为每个 JESD204B 链路指定一个主同步信号。在单链路模式时，SYNCOUT0±作为所有 Lane 的主信号；在双链路模式时，SYNCOUT0±作为链路 0 的主信号，SYNCOUT1±作为链路 1 的主信号。如果任何一条链路失去同步，则通过该链路的同步信号向发射机发送一个重新同步请求。发送器停止发送数据，转而向该链路中的所有 Lane 发送同步字符，直到同步实现为止。

3.2 物理层 / 3.2 Physical Layer

English: The physical layer of the JESD204B interface has 8 identical lanes whose main function is deserialization. Each lane consists of a termination, an equalizer, a clock-and-data-recovery (CDR) circuit, and a 1:40 deserializer. The physical-layer deserializer block diagram is shown in Figure 38. JESD204B data are input to the SXD020 via the SERDINx± differential input pins in accordance with the JESD204B specification.

3.2.1 Powering down unused physical lanes: Any unused but enabled lane consumes extra power. Each unused physical lane (SERDINx±) must be powered down by writing 1 to the corresponding bit of PHY_PD (Register 0x201).

3.2.2 Interface power-up and termination calibration: Before using the JESD204B interface, it must be enabled by setting Register 0x200[0] to 0. In addition, each unused physical lane must be powered down: to use physical lane x, set bit x of Register 0x201 to 0; if unused, set it to 1. The SXD020 automatically calibrates the input termination resistance to 50 Ω. Before running termination calibration, Registers 0x2A7 and 0x2AE must be written as described in Table 24 to ensure correct calibration. Termination calibration starts when Register 0x2A7[0] and Register 0x2AE[0] transition from low to high. Register 0x2A7 controls automatic calibration for lanes 0, 1, 6 and 7; Register 0x2AE controls lanes 2, 3, 4 and 5.

中文： JESD204B 接口的物理层有 8 个相同的 Lane，其主要功能是解串。每个 Lane 都由终端、均衡器、时钟数据恢复(CDR)电路以及 1:40 解串器组成。物理层解串器功能框图如图 38 所示。JESD204B 数据通过 SERDINx±差分输入引脚，按照 JESD204B 的规范要求，将数据输入到 SXD020。3.2.1 关闭未使用的物理 Lane：任何未使用但已经使能的 Lane 都会消耗额外功率。必须通过向 PHY_PD（寄存器 0x201）的相应位写 1 来关闭每个不使用的物理 Lane(SERDINx±)。3.2.2 接口上电及终端校正：在使用 JESD204B 接口之前，必须通过设置寄存器 0x200[0]为 0 来使能。此外，必须关闭每个未使用的物理 Lane。要使用物理 Lane x，则将寄存器 0x201 中相应位 x 设置为 0，如果不使用，则设置为 1。SXD020 会将输入终端电阻自动校正为 50 Ω。在运行终端校正之前，必须按照表 24 中的描述写入寄存器 0x2A7 和寄存器 0x2AE 以保证正确的校正。当寄存器 0x2A7[0]和寄存器 0x2AE[0]从低变到高时，终端校正开始。寄存器 0x2A7 控制 Lane 0、Lane 1、Lane 6 和 Lane 7 的自动校正。寄存器 0x2AE 控制 Lane 2、Lane 3、Lane 4 和 Lane 5 的自动校正。

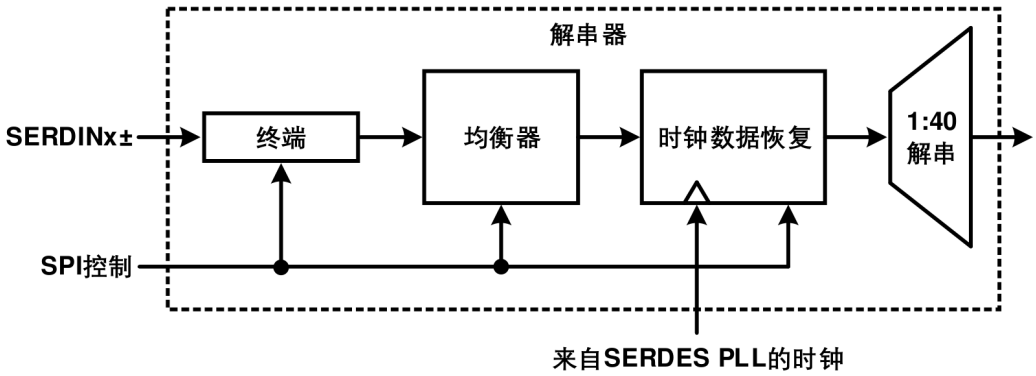


Figure 38: Physical layer functional block diagram

表24 物理端口自动校正控制 / Table 24. Physical-Port Automatic Calibration Control

地址 / Address	值 / Value	描述 / Description
0x2A7	0x01	自动调整 Lane 0、Lane 1、Lane 6、Lane 7 终端 / Automatically adjust termination of lanes 0, 1, 6, 7
0x2AE	0x01	自动调整 Lane 2、Lane 3、Lane 4、Lane 5 终端 / Automatically adjust termination of lanes 2, 3, 4, 5

English: The DAC input termination voltage is obtained externally via the VTT pins (pins 21, 25, 42 and 46). The termination voltage VTT is set by connecting these pins to SVDD12. It is recommended to AC-couple the JESD204B inputs to the JESD204B transmitter with 100 nF capacitors.

3.2.3 Clock relationships: DataRate = DACRate / InterpolationFactor; LaneRate = (20 × DataRate × M) / L; ByteRate = LaneRate / 10 (with 8b/10b encoding, each byte is represented by 10 bits); PClockRate = ByteRate / 4 (the processing clock is used by the four-byte decoder); FrameRate = ByteRate / F; PClockFactor = FrameRate / PClockRate = 4 / F.

3.2.4 SERDES PLL — 3.2.4.1 Functional overview: The SERDES PLL uses integer-N frequency synthesis. The entire SERDES PLL, including the VCO and loop filter, is integrated on chip. The SERDES PLL VCO operates from 6 GHz to 12 GHz. In the SERDES PLL, the VCO divider divides the VCO clock by 2 to produce a pair of 3 GHz–6 GHz quadrature clocks for the deserializer core; this clock is the input clock of the CDR unit described in 3.2.5. The reference clock frequency fREF of the SERDES PLL equals 1/40 of the lane rate and also equals PClockRate. This clock is divided by DivFactor to provide the PFD with a clock between 35 MHz and 80 MHz. Table 25 gives the corresponding register settings for DivFactor.

中文： DAC 的输入终端电压通过 VTT 引脚（引脚 21、引脚 25、引脚 42 和引脚 46）从外部获得。通过将这些引脚连接到 SVDD12 来设置终端电压 VTT。建议用 100 nF 电容将 JESD204B 的输入端交流耦合到 JESD204B 的发

射端。3.2.3 时钟关系：器件中时钟之间的关系如以下等式所示：DataRate = (DACRate)/(InterpolationFactor)；LaneRate = (20 × DataRate × M)/L；ByteRate = LaneRate/10；由于采用 8 位/10 位编码，每个字节由 10 位表示。PClockRate = ByteRate/4，处理时钟用于四字节解码器。FrameRate = ByteRate/F；PClockFactor = FrameRate/PClockRate = 4/F。3.2.4 SERDES PLL：3.2.4.1 SERDES PLL 的功能概述：SERDES PLL 使用整数 N 分频技术来实现时钟合成。片上集成了整个 SERDES PLL，包括 VCO 和环路滤波器。SERDES PLL VCO 的工作范围为 6 GHz 至 12 GHz。在 SERDES PLL 中，VCO 分频器将 VCO 时钟除以 2，为解串器核心产生一对 3 GHz ~ 6 GHz 的正交时钟。该时钟是 3.2.5 时钟数据恢复单元（CDR）部分所述的 CDR 单元的输入时钟。SERDES PLL 的参考时钟频率 fREF 等于 1/40 的 Lane 速率，同时也等于 PClockRate。将该时钟被分频 DivFactor 倍，向 PFD 提供 35 MHz 到 80 MHz 之间的时钟。表 25 为 DivFactor 的相应寄存器设置。

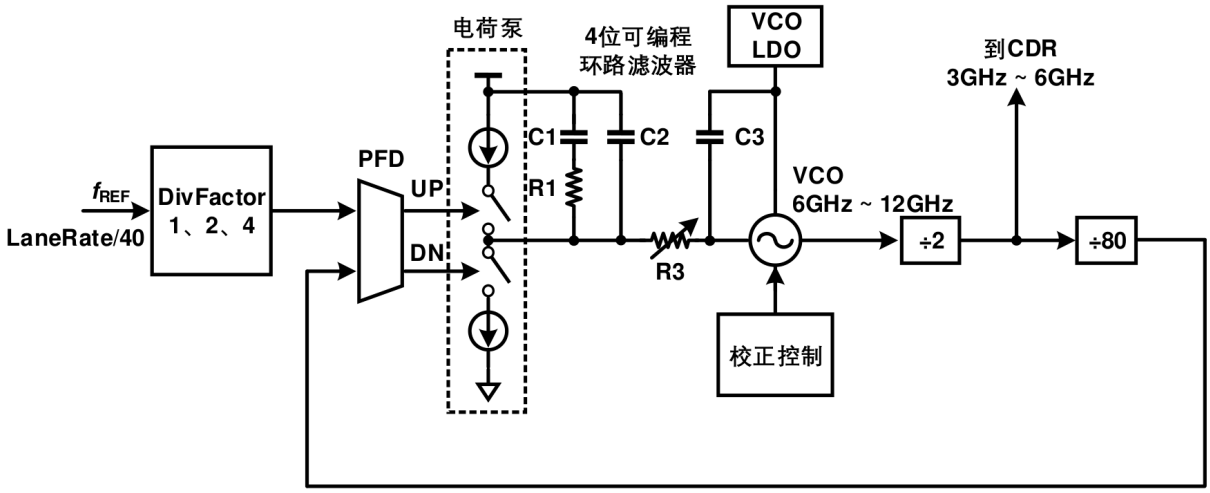


Figure 39: SERDES PLL functional block diagram

表25 SERDES PLL 分频器配置 / Table 25. SERDES PLL Divider Configuration

CDR 工作模式 / CDR Mode	DivFactor 分频 / DivFactor	SPI_CDR_OVERSAMP（寄存器 0x289[1:0]）/ Register 0x289[1:0]
过采样模式 / Oversampling mode	1	2
全速模式 / Full-rate mode	2	1
半速模式 / Half-rate mode	4	0

English: Register 0x280 controls PLL enable and recalibration. To enable the SERDES PLL, first set the PLL divider register per Table 25, then enable the SERDES PLL by writing Register 0x280[0] = 1. Register 0x298[3] must also be written to 1 and then to 0 to ensure the SERDES PLL starts correctly. Confirm SERDES PLL operation by reading Register 0x281: if Register 0x281[0] is 1, the SERDES PLL is locked; if Register 0x281[3] is 1, the SERDES PLL has calibrated successfully; if Register 0x281[4] or 0x281[5] is 1, the PLL has reached the upper or lower end of its calibration band and must be recalibrated by writing 0 then 1 to Register 0x280[2].

3.2.4.2 Fixed SERDES PLL register writes: For optimum SERDES PLL performance under all operating conditions, configure the following registers per Table 9: 0x284, 0x285, 0x286, 0x287, 0x28A, 0x28B, 0x290, 0x291, 0x294, 0x296, 0x297, 0x299, 0x29A, 0x29C, 0x29F and 0x2A0.

3.2.4.3 Temperature tracking: If temperature changes cause SERDES PLL loss of lock, configure the SPI per Table 26 according to fVCO to attempt a remedy.

3.2.4.4 SERDES PLL IRQ: SERDES PLL lock and loss-of-lock can be IRQ events. Use Register 0x01F[3] and 0x01F[2] to enable these signals, then use Register 0x023[3] and 0x023[2] to read back their status and reset the IRQ signals. See Section 8.

中文： 寄存器 0x280 控制 PLL 的使能和重新校正。要使能 SERDES PLL，首先要根据表 25 设置 PLL 分频器寄存器，然后通过写寄存器 0x280[0]为 1 来使能 SERDES PLL。还需要将 0x298[3]写为 1，再写为 0 来确保 SERDES PLL 正常启动。通过读取寄存器 0x281 来确认 SERDES PLL 的工作情况。如果寄存器 0x281[0]为 1，则表明 SERDES PLL 锁定。如果寄存器 0x281[3]为 1，说明 SERDES PLL 已成功校正。如果寄存器 0x281[4]或寄存器 0x281[5]为 1，则表示 PLL 达到其校正带的上端或下端，必须通过向寄存器 0x280[2]依次写 0 和 1 来重新校正。3.2.4.2 SERDES PLL 固定寄存器的写入：为了让在所有工作条件下 SERDES PLL 达到最优，建议将下列寄存器按照表 9 配置：0x284, 0x285, 0x286, 0x287, 0x28A, 0x28B, 0x290, 0x291, 0x294, 0x296, 0x297, 0x299, 0x29A, 0x29C, 0x29F 和 0x2A0。3.2.4.3 温度跟踪：如果出现温度变化导致的 SERDES PLL 失锁问题，可以根据 fVCO 按照表 26 配置 SPI 尝试解决。3.2.4.4 SERDES PLL IRQ：SERDES PLL 锁定和失锁可作为 IRQ 事件。使用寄存器 0x01F[3]和 0x01F[2]来使能这些信号，然后使用寄存器 0x023[3]和 0x023[2]来读回它们的状态并重置 IRQ 信号。更多信息请参见 8、中断请求操作。

表26 VCO 控制查找表 / Table 26. VCO Control Lookup Table

VCO 频率范围 / VCO Frequency Range (MHz)	寄存器 0x28F / Register 0x28F	寄存器 0x291 / Register 0x291	寄存器 0x296 / Register 0x296
fVCO < 6.85	0x30	0x49	0x15
6.85 ⩽ fVCO < 8.72	0x30	0x49	0x13
8.72 ⩽ fVCO < 10.7	0x30	0x4D	0x13
fVCO ⩾ 10.7	0x3C	0x4D	0x04

English — 3.2.5 CDR: The deserializer is equipped with a CDR circuit. The CDR recovered clock is not obtained from the JESD204B serial channel but from the SERDES PLL. A CDR operating mode must be selected to generate the internal device clocks: if the lane rate is greater than 6 GHz, half-rate mode must be selected; if the lane rate is less than 6 GHz and greater than 3 GHz, full-rate mode is required; if the lane rate is less than 3 GHz, oversampling mode is selected. The registers to configure are shown in Table 27. The CDR circuit independently synchronizes the phase of the clock used for data sampling on each lane. This independent phase adjustment ensures accurate data sampling and simplifies the PCB design of multiple serial interfaces. After configuring the CDR circuit, reset the CDR operating state by writing 1 then 0 to Register 0x206[0] to complete the reset and release.

3.2.6 Equalizer: To compensate signal-integrity distortion on each physical lane caused by PCB trace length and impedance, the SXD020 uses a low-power equalizer on each JESD204B lane. The SXD020 equalizer can compensate insertion loss far greater than required by the JESD204B specification. The equalizer has two operating modes, determined by the EQ_POWER_MODE setting in Register 0x268[7:6]. In low-power mode (Register 0x268[7:6] = 2b01), the equalizer can compensate up to 12 dB of insertion loss. In normal mode (Register 0x268[7:6] = 2b00), it can compensate up to 17.5 dB. In normal mode, the equalizer consumes about 4 mW more power per lane used than in low-power equalizer mode.

中文 — 3.2.5 时钟数据恢复单元（CDR）： 解串器配备了一个 CDR 电路。CDR 恢复时钟不从 JESD204B 串行通道中得到，而是来源于 SERDES PLL。需要选择一种 CDR 工作模式来产生器件内部时钟。如果 Lane 速率大于 6 GHz，则必须选择半速模式。如果 Lane 速率小于 6 GHz、大于 3GHz，则需要选择全速模式。如果 Lane 速率小于 3 GHz，则选择过采样模式。需要配置的寄存器如表 27 所示。CDR 电路独立同步每个 Lane 上用于数据采样

的时钟的相位。串行接口的这种独立相位调整性可以确保数据采样的准确性，并简化了多个串行接口在 PCB 上的设计实现。配置好 CDR 电路后，再对 CDR 的工作状态进行复位，通过向寄存器 0x206[0]写 1 再写 0 来完成复位及释放复位。3.2.6 均衡器：为了补偿每个物理 Lane 由于 PCB 线路长度和阻抗所造成的信号完整性失真，SXD020 在每个 JESD204B Lane 上采用了一个低功耗的均衡器。SXD020 均衡器可以补偿远大于 JESD204B 规范所要求的插入损耗。均衡器有两种工作模式，由寄存器 0x268[7:6]中的 EQ_POWER_MODE 寄存器设置决定。在低功耗模式下（寄存器 0x268[7:6]=2b01），均衡器可补偿高达 12 dB 的插入损耗。在正常模式下（寄存器 0x268[7:6]=2b00），均衡器可补偿高达 17.5 dB 的插入损耗。在正常模式下的均衡器每使用一个 Lane 比低功率均衡器模式下的均衡器多消耗约 4 mW 的功率。

表27 CDR 工作模式 / Table 27. CDR Operating Modes

CDR 工作模式 / CDR Mode	HALFRATE（寄存器 0x230[5]）/ Register 0x230[5]	CDR_OVERSAMP（寄存器 0x230[1]）/ Register 0x230[1]
过采样模式 / Oversampling mode	0	1
全速模式 / Full-rate mode	0	0
半速模式 / Half-rate mode	1	0

3.3 数据链路层 / 3.3 Data-Link Layer

English: The data-link layer of the SXD020 JESD204B interface receives deserialized data from the physical layer, decodes it, descrambles it, and sends it to the transport layer in 8-bit data format. The data-link layer structure is shown in Figure 40. It consists of a per-lane synchronization FIFO, a crossbar switch, a deframer and a descrambler. The SXD020 JESD204B serial data interface can operate in single-link or dual-link mode. In dual-link mode, because the two links share a common device clock and system reference, both links must be configured with the same JESD204B parameters. All 8 lanes of the JESD204B interface handle link-layer communication such as code-group synchronization, frame alignment and frame synchronization. The SXD020 decodes 8b/10b control characters, allowing the start and end of frames and synchronization to be marked across multiple lanes. Each SXD020 serial-interface link can issue a synchronization request by setting the SYNCOUTx± signal low. The synchronization protocol follows Section 4.9 of the JESD204B standard. When a continuous stream of four /K/ symbols is received, the SXD020 ends the synchronization request by setting SYNCOUTx± high at the next LMFC rising edge. The SXD020 then waits for the transmitter to send the initial lane alignment sequence (ILAS). During ILAS, all lanes use the /A/-to-/R/ character transitions for alignment. Elastic buffers store early-arriving lane data until the alignment character of the last lane arrives; at that point all lane buffers release, achieving lane alignment (see Figure 41). (K = K28.5, CGS comma character; A = K28.3, lane alignment character; F = K28.7, frame alignment character; R = K28.0, multiframe start character; Q = K28.4, link-configuration-parameter start character; C = link configuration parameters; D = Dx.y, data.)

中文： SXD020 的 JESD204B 接口的数据链路层接收来自物理层的解串数据，并对其进行解码，然后对其进行解扰，以 8 位数据格式送入传输层。数据链路层的结构如图 40 所示。数据链路层由每个 Lane 的同步 FIFO、交叉映射、解帧器和解扰器组成。SXD020 的 JESD204B 串行数据接口可工作在单链路或双链路模式。在双链路模式下工作时，因为它们共享一个共同的器件时钟和系统参考，所以必须使用相同的 JESD204B 参数配置两条链路。JESD204B 接口的所有 8 个 Lane 都处理链路层通信，如码组同步、帧对齐和帧同步等。SXD020 解码 8b/10b 控制字符，允许标记多个 Lane 的帧开始、结束以及同步。每个 SXD020 串行接口链路可以通过设置 SYNCOUTx±信号为低电平来发出同步请求。同步协议遵循 JESD204B 标准的 4.9 节。当接收到一个连续的 4 个/K/符号流时，SXD020 通过将 SYNCOUTx±信号在下一个 LMFC 上升沿处设置为高电平，结束同步请求。然

后，SXD020 等待发射机发出初始通道对齐序列(ILAS)。在 ILAS 期间，所有 Lane 都利用/A/到/R/字符变化来进行对齐。弹性缓冲器缓存提前到达的 Lane 数据，直到最后一个 Lane 的对齐字符到达。此时，所有 Lane 的缓冲器释放，实现了 Lane 对齐（见图 41）。（K = K28.5，CGS逗号字符；A = K28.3，通道对齐字符；F = K28.7，帧对齐字符；R = K28.0，多帧开始字符；Q = K28.4，链路配置参数开始字符；C = 链路配置参数；D = Dx.y，数据。）

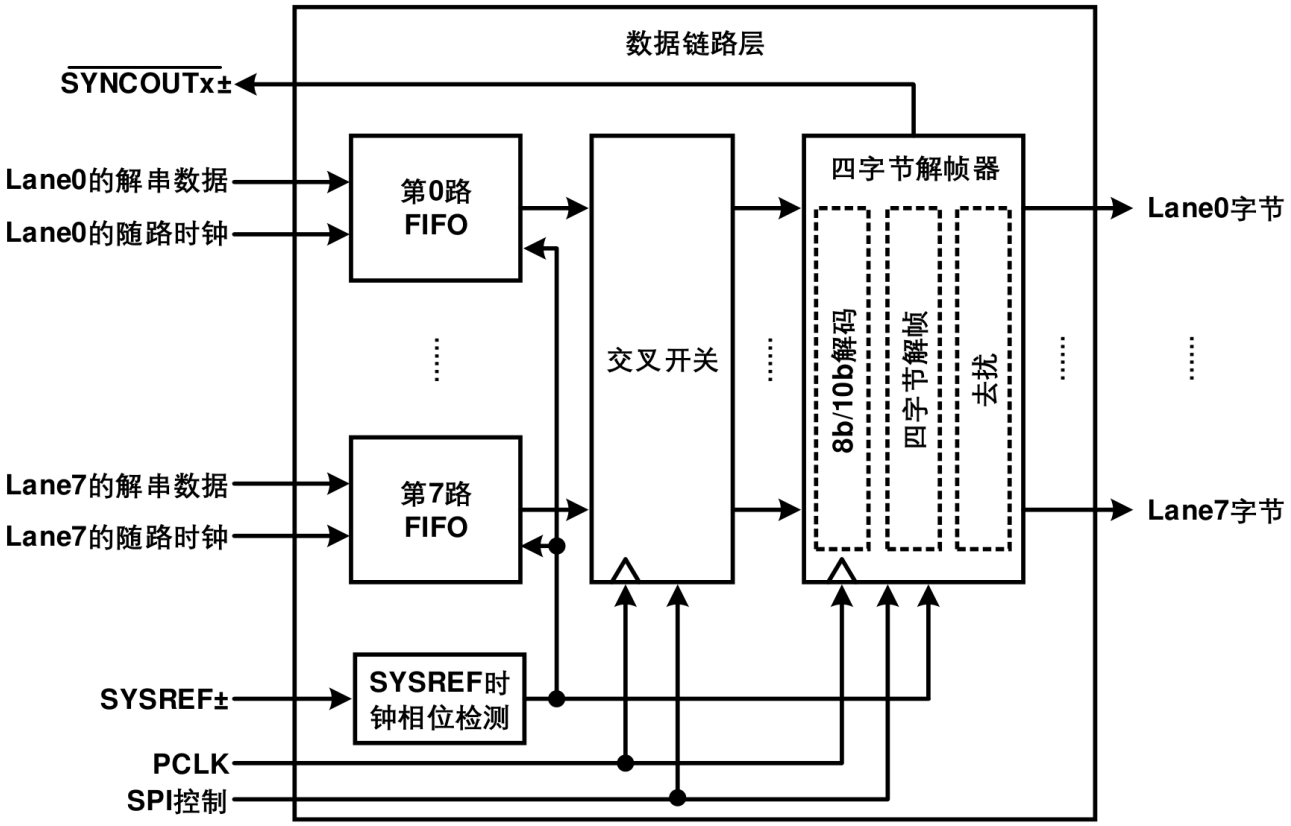


Figure 40: Data-link layer structure

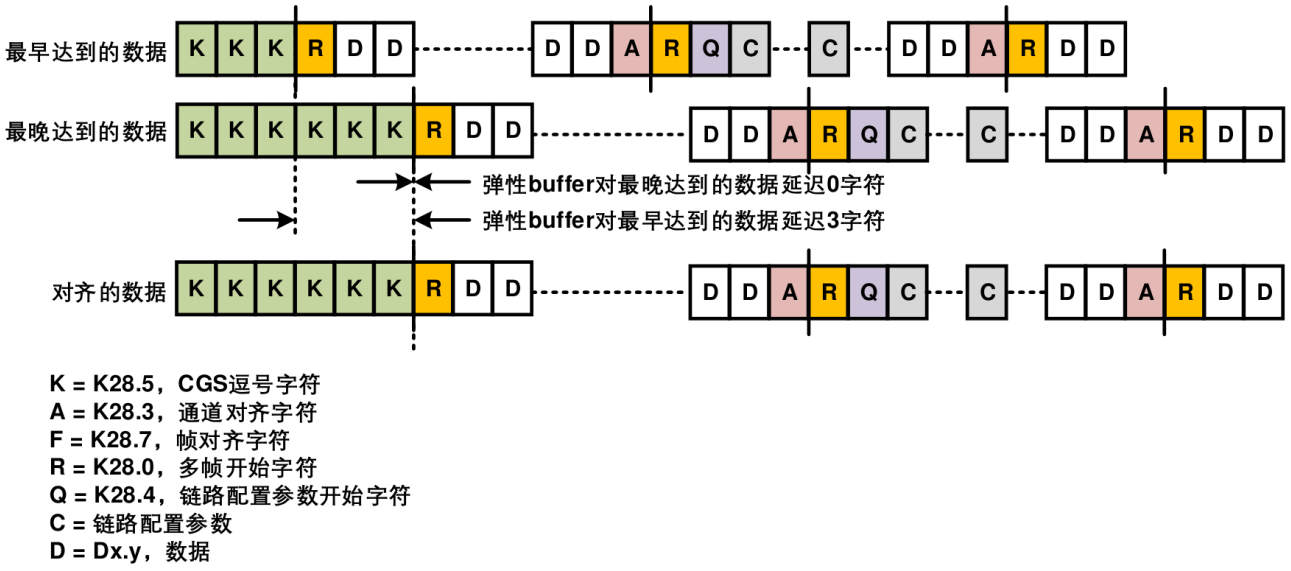


Figure 41: Lane synchronization during ILAS

English — 3.3.1 JESD204B link establishment: This section gives a brief description of high-speed serial data link establishment for JESD204B Subclass 1; for complete details see Section 5.3.3 of the JESD204B specification. **Step 1: Code group synchronization (CGS).** Each receiver must find /K/ (K28.5) characters in its input data stream. After four consecutive /K/ characters are detected continuously on all links, the receiver raises SYNCOUTx± at an LMFC rising edge, releasing the synchronization request to the transmitter. The transmitter captures the change in SYNCOUTx± and starts ILAS at the next LMFC rising edge. **Step 2: Initial lane alignment sequence (ILAS).** The main purpose of this phase is to align all lanes of the link and verify the link parameters. Before link establishment, each link parameter is written to the receiving device to specify how data are sent to the receiving block. ILAS contains 4 or more multiframes. The last character of each multiframe is the multiframe alignment character, /A/. The first, third and fourth multiframes carry predetermined data values. Note that Section 8.2 of the JESD204B specification describes the data ramp expected during ILAS. By default, the SXD020 does not require this ramp; if the data ramp is required, Register 0x47E[0] can be set to 1. The deframer uses the last /A/ of each lane to align the multiframe ends within the receiver. The second multiframe contains an /R/ (K28.0), a /Q/ (K28.4), and then data corresponding to the link parameters. Additional multiframes can be added to ILAS if the receiver requires them. By default, the SXD020 uses 4 multiframes in ILAS; the number of multiframes can be changed in Register 0x478. After the last /A/ character of the last ILAS, multiframe data begin entering the data stream. The receiver adjusts the position of the /A/ characters to align with the receiver's internal LMFC. **Step 3: Data streaming.** In this phase, data are sent from the transmitter to the receiver. Data scrambling is optional; scrambling does not start until the first octet after ILAS. The receiver processes and monitors the received data for errors, including: bad running disparity (8b/10b error); not in table (8b/10b error); unexpected control character; bad ILAS; interlane skew error (via character replacement). If any such error exists, it is reported to the transmitter in one of the following ways: SYNCOUTx± signal indication — for the latter two errors, resynchronization is requested on every error (SYNCOUTx± is pulled low); for the first three errors, a resynchronization signal can optionally be sent when the error counter reaches a set threshold; for the first three errors, each multiframe with an error causes a short pulse on SYNCOUTx±; errors can optionally trigger an interrupt request (IRQ) event sent to the transmitter. See 3.5 JESD204B Test Modes for the different test modes to confirm link integrity.

3.3.2 Lane FIFO: The FIFOs ahead of the crossbar switch and deframer synchronize the sample data sent on the high-speed serial interface with the deframer clock by adjusting the phase of the incoming data. The FIFOs can absorb timing variation between the data source and the deframer, allowing the transmitter up to two PClock periods of drift. FIFO full/empty status can be judged by monitoring FIFO_STATUS_REG_0 and FIFO_STATUS_REG_1 (Registers 0x30C and 0x30D respectively).

3.3.3 Lane FIFO IRQ: A combined lane FIFO error bit can also be an IRQ event. Use Register 0x01F[1] to enable this FIFO error bit; use Register 0x023[1] to read back the FIFO status and reset the IRQ signal.

3.3.4 Crossbar switch: By adjusting Registers 0x308 to 0x30B, any physical lane (SERDINx±) can be mapped to a logical lane using the SERDES deframer; the mapping control registers are shown in Table 28. Write the number (x) of the desired physical lane into each XBARVALx to obtain that physical lane's data. By default, all logical lanes use the corresponding physical lane as their data source. For example, XBARVAL0 is 0 by default, so logical lane 0 obtains data from physical lane 0 (SERDIN0±). To use SERDIN4± as the data source for logical lane 0, the user must write XBARVAL0 = 4.

3.3.5 Lane inversion: Register 0x334 can invert the data of the corresponding logical lane. This function simplifies the routing design of the SERDINx± signals. For each logical lane x, set Register 0x334[x] to 1 to invert the data.

3.3.6 Deframer: The SXD020 contains two quad-byte deframers (QBD). A deframer receives 8b/10b-encoded data from the deserializer (via the crossbar switch), decodes it, and descrambles it into JESD204B frame data, which is then passed to the transport layer for conversion into DAC sample data. The deframer processes four symbol data (or bytes) per processing-clock (PClock) period. In single-link mode, only deframer 0 is used and deframer 1 is inactive. In dual-link mode, both deframers operate, and the CURRENTLINK bit (Register 0x300[2]) must be used to select the link to configure. When the DUALLINK bit (Register 0x300[3]) is 1 the mode is dual-link; when 0, single-link. The deframer uses the JESD204B parameters programmed by the user into the register table to identify how the data are packed and unpack them. The JESD204B parameters are described in detail in 3.4 Transport Layer; many parameters are also needed in the transport layer to convert JESD204B frame data into sample data.

3.3.7 Descrambler: The SXD020 provides an optional descrambling block using a self-synchronizing descrambler with polynomial 1 + x^14 + x^15. Scrambling data reduces spectral spikes produced by repeated identical byte data from frame to frame. It also decorrelates the spectrum from the data, so that frequency-selective effects possibly present on the interface do not produce code-dependent errors. Data descrambling is enabled by setting the SCR bit (Register 0x453[7]) to 1.

中文 — 3.3.1 JESD204B 链路建立： 本节提供一个关于 JESD204B 子类 1 的高速串行数据链路建立的简单说明。完整的细节请参见 JESD204B 规范文件第 5.3.3 节。第 1 步：码组同步(Code Group Synchronization)：每个接收器必须在其输入数据流中找到/K/(K28.5)字符。在所有链路上连续检测到四个连续的/K/字符后，接收机将在 LMFC 上升沿处拉高 SYNCOUTx±信号，向发射机解除同步请求。发射机捕捉到 SYNCOUTx±信号的变化，并在下一个 LMFC 上升沿启动 ILAS。第 2 步：初始通道同步序列(Initial Lane Alignment Sequence)：这一阶段的主要目的是对齐链路的所有 Lane，并验证链路参数。在链路建立之前，将每一个链路参数写到接收器件上，以指定数据如何发送到接收模块。ILAS 包含 4 个或更多多帧。每个多帧的最后一个字符是多帧对齐字符，/A/。第一、第三和第四个多帧是预定的数据值。请注意，在 JESD204B 规范文档的第 8.2 节描述了在 ILAS 过程中预期的数据 Ramp。在默认状态下，SXD020 不需要这个 Ramp。如果需要这个数据 Ramp，可以将寄存器 0x47E[0]设为 1。解帧器使用每个 Lane 的最后一个/A/来对齐接收器内的多帧末端。第二个多帧包含一个/R/(K.28.0)、/Q/(K.28.4)，然后是与链路参数相对应的数据。如果接收机需要，可以在 ILAS 中添加额外的多帧。默认情况下，SXD020 在 ILAS 中使用 4 个多帧，多帧数可以在寄存器 0x478 中更改。在最后一个 ILAS 的最后一个/A/字符后，多帧数据开始进入数据流。接收器调整/A/ 字符的位置，使其与接收器内部的 LMFC 一致。第 3 步：数据流(Data Streaming)：在此阶段，数据从发射器送到接收器。可以选择对数据进行加扰。加扰直到 ILAS 之后的第一个 8 位字节才开始。接收器处理并监控其接收到的数据是否有错误，包括：Bad running disparity（8b/10b 错误）；Not in table（8b/10b 错误）；Unexpected control character；Bad ILAS；Interlane skew error（通过字符替换）。如果任何此类错误存在，将通过以下方式之一报告给发送器：SYNCOUTx±信号指示：对于后两种错误，在每次错误都会请求重新同步（SYNCOUTx±信号被拉低）。对于前三种错误，当错误计数器达到设定的阈值时，可选择发送重新同步信号。对于前三种错误，每个有错误的多帧都会在 SYNCOUTx±上引起一个短脉冲。错误可以选择性地触发一个中断请求(IRQ)事件，发送到发射机。不同的测试模式请参见 3.5 JESD204B 测试模式，以确认链路完整性。3.3.2 Lane FIFO：交叉映射开关和解帧器前面的 FIFO 通过调整送入数据的相位，将高速串行数据接口上发送的采样数据与解帧时钟同步。FIFO 可以吸收数据源和解帧器之间的时序变化；这使得发送器最多会有两个 PClock 周期的漂移。可以通过监控 FIFO_STATUS_REG_0 寄存器和 FIFO_STATUS_REG_1 寄存器（分别为寄存器 0x30C 和寄存器 0x30D），判断 FIFO 是满还是空。3.3.3 Lane FIFO IRQ：一个合并的 Lane FIFO 错误位也可作为一个 IRQ 事件。使用寄存器 0x01F[1]来使能这个 FIFO 错误位。使用寄存器 0x023[1]回读 FIFO 状态，并重置 IRQ 信号。3.3.4 交叉映射开关：通过调节寄存器 0x308 至寄存器 0x30B，可以将物理 Lane(SERDINx±)任意映射到采用 SERDES 解帧器的逻辑 Lane，映射控制寄存器如表 28 所示。在每个 XBARVALx 中写上所需的物理 Lane 的编号(x)，从而获得该物理 Lane 的数据。默认情况下，所有逻辑 Lane 都使用相应的物理 Lane 作为数据源。例如，默认情况下，XBARVAL0 为 0；因此，逻辑 Lane 0 从物理 Lane 0 (SERDIN0±) 获取数据。要使用 SERDIN4±作为逻辑 Lane 0 的数据源，用户必须写入 XBARVAL0

为 4。3.3.5 Lane 反相：寄存器 0x334 可以将对应的逻辑 Lane 的数据反相。这个功能简化了 SERDINx±信号的路径设计。对于每个逻辑 Lane x，将寄存器 0x334[x]设置为 1 实现数据反相。3.3.6 解帧器：SXD020 包含两个四字节解帧器(QBD)。解帧器接收来自解串器的 8b/10b 编码数据（通过交叉映射开关），对其进行解码，并将其解扰成 JESD204B 帧数据，然后将其传送到传输层转换为 DAC 样本数据。解帧器在每个处理时钟(PClock)周期内处理四个符号数据（或字节）。在单链路模式下，只使用解帧器 0，解帧器 1 不工作。在双链路模式下，两个解帧器都处于工作状态，必须使用 CURRENTLINK 位（寄存器 0x300[2]）来选择要配置的链路分别进行配置。DUALLINK 位（寄存器 0x300[3]）为 1 时为双链路，为 0 时为单链路。解帧器使用用户编程到寄存器表中的 JESD204B 参数来识别数据的打包方式，并将其解包。JESD204B 参数在 3.4 传输层有详细描述；在传输层中也需要许多参数来将 JESD204B 帧数据转换为采样数据。3.3.7 解扰器：SXD020 提供了一个使用自同步解扰器的可选解扰模块，其多项式为 1+x14+x15。将数据加扰可以减少帧与帧之间重复相同的字节数据产生的频谱尖峰。它还可以使频谱与数据不相关，从而使接口上可能存在的频率选择效应不会产生码相关错误。通过将 SCR 位（寄存器 0x453[7]）设置为 1 来使能数据解扰。

表28 映射控制寄存器表 / Table 28. Mapping Control Registers

地址 / Address	位 / Bits	逻辑 Lane / Logical Lane
0x308	[2:0]	XBARVAL0
0x308	[5:3]	XBARVAL1
0x309	[2:0]	XBARVAL2
0x309	[5:3]	XBARVAL3
0x30A	[2:0]	XBARVAL4
0x30A	[5:3]	XBARVAL5
0x30B	[2:0]	XBARVAL6
0x30B	[5:3]	XBARVAL7

English — 3.3.8 Synchronizing the LMFC signals: The first step in achieving inter-link and inter-device synchronization is to synchronize the LMFC signals. Each DAC pair (DAC0 and DAC1 are called DAC Dual A; DAC2 and DAC3 are DAC Dual B) uses its own LMFC signal. In Subclass 0, the LMFC signal is synchronized to the internal processing clock; in Subclass 1, the LMFC signal is synchronized to the external SYSREF± signal.

3.3.8.1 SYSREF± signal: In a JESD204B Subclass 1 system, the SYSREF± signal is a source-synchronous differential input signal that synchronizes the LMFC signals in the transmitter and receiver to achieve deterministic latency. The SYSREF± signal is an active-high signal sampled by the device-clock rising edge. It is recommended that the device clock and SYSREF± signal be generated from the same source so that the phase relationship between the signals is fixed. When designing for optimum deterministic-latency operation, the timing-distribution skew of the SYSREF± signal across multiple links (multiple chips) must be considered. The SXD020 supports single-pulse or periodic SYSREF± signals; the periodicity can be continuous, gapped, or periodic with gaps. The common-mode input level range of the SYSREF± signal is 0 mV to 2000 mV, and the differential peak-to-peak input range is 400 mV to 2000 mV (recommended value 1000 mV); DC coupling can be used. When DC-coupled, a small common-mode current is drawn from the SYSREF± pins. To avoid this common-mode current consumption, SYSREF± can be capacitor-AC-coupled with a 50%-duty-cycle periodic signal. If AC-coupled, the AC-coupling capacitor combines with the internal resistance shown in Figure 42 to form a high-pass filter with time constant $\tau = RC$; choose C so that $\tau > 4$ / SYSREF± frequency. In addition, the edge rate must be fast

enough (at least 1.3 V/ns) to meet the SYSREF±-to-DAC clock keep-out window (KOW) requirement. A 100 Ω differential board-level termination resistor between the SYSREF± pins is recommended.

3.3.8.2 LMFC synchronization modes overview: The SXD020 supports multiple LMFC synchronization modes: one-shot mode, continuous mode, and monitor mode. All synchronization modes perform a phase check to confirm whether the LMFC is phase-aligned with the synchronization edge. In Subclass 1, the SYSREF± rising edge is the synchronization edge; in Subclass 0, the internal processing clock is the synchronization edge. If these signals are not synchronized, a clock rotation aligns them. See 3.3.8.6 for details.

3.3.8.3 One-shot mode (SYNCMODE = Register 0x03A[3:0] = 0x01): In one-shot mode, the synchronizer performs a phase check only on the first synchronization edge received after startup. When the phase error is greater than the specified error-window tolerance, a phase adjustment is made. Although LMFC synchronization occurs only once, the SYSREF± signal can still be input continuously.

3.3.8.4 Continuous mode (SYNCMODE = Register 0x03A[1:0] = 0x02): Continuous mode can only be used in Subclass 1 with a periodic SYSREF± input. In continuous mode, a phase check/alignment is performed at every synchronization edge. Continuous mode differs from one-shot mode in two respects. First, the SPI is not needed to start the synchronizer; in continuous mode a phase check is performed at every synchronization edge encountered. Second, in continuous mode a phase check is performed at every alignment edge (with clock rotation when necessary). While a phase-rotation cycle is in progress, subsequent alignment edges are ignored until the logical lanes are ready again. Set the maximum acceptable phase error (in DAC clock periods) between the alignment edge and the LMFC edge in the error-window tolerance register. If a non-zero error-window tolerance is used in continuous mode, then when the check occurs on each SYSREF± pulse, alignment occurs only when the phase error is greater than the specified error-window tolerance. If jitter on the SYSREF± signal causes setup/hold violations and hence phase-error uncertainty, the error tolerance can be increased to avoid continuous clock rotation. This means determinism of the latency is reduced by the size of the window. If the error-window tolerance must be set above 3, one-shot synchronization in Subclass 0 is recommended. For debugging, the SYNCARM bit (Register 0x03A[6]) notifies the user that alignment edges are being received. Because SYNCARM auto-clears after an alignment edge is received, the user can arm the synchronizer (SYNCARM = 1) and then read back SYNCARM; if SYNCARM is 0, alignment edges are being received and phase checks are being performed. Arming the synchronizer in this mode does not affect device operation.

3.3.8.5 One-shot-then-monitor mode (SYNCMODE = Register 0x03A[1:0] = 0x09): In one-shot-then-monitor mode, the user can monitor the phase error in real time. A periodic SYSREF± signal is required with this mode. A phase check and alignment occur on the first alignment edge received after the synchronizer starts. On all subsequent alignment edges, phase is monitored and reported but no clock-phase adjustment occurs. The phase error can be monitored in the CURRERR_L register (Register 0x03C[7:0]). After alignment occurs, CURRERRx is 0, indicating no difference between the alignment edge and the LMFC edge. On each subsequent alignment edge, the phase is checked; if the phases are not aligned, the phase error (in DAC clock periods) is reported in CURRERR_L. If the phase error exceeds the selected window tolerance (Register 0x034[2:0]), one of the bits of Register 0x03D[7:6] is set high. When alignment occurs, the last phase error and the corresponding error flags (Register 0x03D[7:6]) are placed in readable registers for reference (Registers 0x038 and 0x039 respectively).

3.3.8.6 Synchronization procedure: The steps to enable LMFC synchronization are as follows. Set Register 0x008 to 0x03 to synchronize the LMFCs of both DAC pairs (DAC0/DAC1 and DAC2/DAC3). Set the

required synchronization mode (Table 29). For Subclass 1, set the error window according to the uncertainty of the SYSREF± signal relative to the DAC clock and the application tolerance; synchronization window error settings are shown in Table 30. Enable synchronization by writing 1 to SYNCENABLE (Register 0x03A[7]). If one-shot mode is used, arm the synchronizer by writing 1 to SYNCARM (Register 0x03A[6]). If Subclass 1 is used, ensure at least one SYSREF± pulse is sent to the device. Check status by reading the following bit fields: a) REF_BUSY (Register 0x03B[7]) = 0 indicates the synchronization logic is no longer busy. b) REF_LOCK (Register 0x03B[3]) = 1 indicates the signals are aligned; this bit updates at every phase check. c) REF_WLIM (Register 0x03B[1]) = 0 indicates the phase error has not exceeded the specified error window; this bit updates at every phase check. d) REFROTA (Register 0x03B[2]) = 1 indicates a clock alignment occurred (if the phases were not aligned before synchronization and alignment); this bit can only be cleared by writing the SYNCCLRSTKY control bit (Register 0x03A[5]). e) REF_TRIP (Register 0x03B[0]) = 1 indicates an alignment edge was received and a phase check performed; this bit can only be cleared via SYNCCLRSTKY (Register 0x03A[5]).

3.3.8.7 LMFC synchronization IRQ: The synchronization status bits (REFLOCK, REFROTA, REFTRIP and REFWLIM) can be IRQ events. Use Register 0x021[3:0] to enable the synchronization status bits for DAC Dual A (DAC0/DAC1), then use Register 0x025[3:0] to read back their status and reset the IRQ signals. Use Register 0x022[3:0] for DAC Dual B (DAC2/DAC3), then Register 0x026[3:0] likewise.

中文 — 3.3.8 同步 LMFC 信号： 实现链路间和器件间同步的第一步是同步 LMFC 信号。每一个 DAC 对（称 DAC0 和 DAC1 为 DAC Dual A，DAC2 和 DAC3 为 DAC Dual B）都用各自的 LMFC 信号。在子类 0 中，LMFC 信号与内部处理时钟同步；在子类 1 中，LMFC 信号同步到外部 SYSREF±信号。3.3.8.1 SYSREF±信号：在 JESD204B 子类 1 系统中，SYSREF±信号是一个源同步的差分输入信号，它同步发射机和接收机中的 LMFC 信号，以实现确定性延迟。SYSREF±信号是由器件时钟上升沿采样的高有效信号。建议使器件时钟和 SYSREF±信号由同一源产生，这样信号之间的相位关系是固定的。在设计最佳的确定性延时工作时，要考虑多链路（多芯片）中 SYSREF±信号的时序分布偏斜。SXD020 支持单脉冲或周期性 SYSREF±信号。其周期性可以是连续的、闪烁的或间隔周期的。SYSREF±信号的共模输入电平范围为 0 mV ~ 2000 mV，输入差分峰峰值范围为 400 mV ~ 2000 mV（推荐值为 1000 mV），可以采用直流耦合方式。当直流耦合时，会从 SYSREF±引脚消耗少量共模电流。为了避免这种共模电流的消耗，SYSREF±可以采用 50%占空比的周期信号进行电容交流耦合输入。如果是交流耦合，则交流耦合电容与图 42 所示的内部电阻结合在一起，组成一个时间常数 τ = RC 的高通滤波器，选择 C，使 τ > 4/SYSREF±频率。此外，边沿速率必须足够快（至少 1.3V/ns），以满足 SYSREF±与 DAC 的时钟禁止窗口(KOW)要求。推荐在 SYSREF±引脚之间放置一个 100 Ω 差分板级端接电阻。3.3.8.2 LMFC 同步模式概述：SXD020 支持多种 LMFC 同步模式。这些模式包括单次同步模式(One-shot)、连续模式(Continuous)和监控模式(Monitor)。所有的同步模式都会进行相位检查，以确认 LMFC 与同步边沿是否相位对齐。在子类 1 中，SYSREF±上升沿作为同步边沿；在 Subclass 0 中，内部处理时钟作为同步边沿。如果这些信号不同步，会产生时钟旋转来对齐它们。更多细节可参见 3.3.8.6 同步过程。3.3.8.3 One-Shot 同步模式(SYNCMODE = 0x03A[3:0] = 0x01)：在单次同步模式下，同步机只在启动后接收到的第一个同步边沿时进行相位检查。当相位误差大于指定的误差窗口容限，就会进行相位调整。虽然 LMFC 同步只发生了一次，但 SYSREF±信号仍然可以连续输入。3.3.8.4 连续同步模式(SYNCMODE = 0x03A[1:0] = 0x02)：连续模式只能在有周期性 SYSREF±信号输入的子类 1 中使用。在连续模式下，在每个同步边沿都会进行相位检查/对齐。连续模式与 One-shot 模式有两个方面的区别。首先，不需要 SPI 来启动同步机，在连续模式下每次遇到同步边沿都会进行相位检查。第二，在连续模式下，每个对齐边沿都会进行相位检查（必要时会进行时钟旋转）。当一个相位旋转周期正在进行时，随后的对齐边沿将被忽略，直到逻辑 Lane 再次准备好。在误差窗口容限寄存器中设置对齐边沿和 LMFC 边沿之间的最大可接受相位误差（以 DAC 时钟周期为单位）。如果在连续同步模式下使用非零的误差窗口容限，那么检查发生在每个 SYSREF±脉冲上时，只有当相位误差大于指定的误差窗口容限时才会发生对齐。如果 SYSREF±信号的抖动导致信号违反了建立和保持时间，并因此导致了相位误差的不确定，可以增加误差容限以避免持续的时钟旋转。这意味着延迟的确定性会因窗口的大小而降低。如果误差窗口容限必须设置在 3 以上，建议使用子类 0 的

One-shot 同步模式。出于调试目的，SYNCARM 位（寄存器 0x03A[6]）通知用户正在接收对齐边沿。由于 SYNCARM 位在接收到对准边沿后会自动清零，因此用户可以启动同步器（SYNCARM（寄存器 0x03A[6]）= 1），然后回读 SYNCARM。如果 SYNCARM 为 0，则表示正在接收对齐边沿，并进行相位检查。在这种模式下启动同步机并不影响器件工作。3.3.8.5 One-Shot 然后监控同步模式(SYNCMODE = 0x03A[1:0] = 0x09)：在 One-shot 然后监控模式下，用户可以实时监控相位误差。使用此同步模式时，需使用周期性的 SYSREF±信号。在同步机启动后收到的第一个对齐边沿上会发生相位检查和对齐。在所有随后的对齐边沿上，会监测和报告相位，但不发生时钟相位调整。可以在 CURRERR_L 寄存器（寄存器 0x03C[7:0]）中监测相位误差。在对齐发生后，CURRERRx 为 0，表示对齐边沿和 LMFC 边沿之间没有差异。在随后的每个对齐边沿，都要检查相位。如果相位没有对齐，则在 CURRERR_L 寄存器中报告相位误差（以 DAC 时钟周期为单位）。如果相位误差超过了选定的窗口容限（寄存器 0x034[2:0]），寄存器 0x03D[7:6]的其中一位被置高。当发生对齐时，最后一个相位误差和相应的误差标志（寄存器 0x03D[7:6]）被放入可读寄存器供参考（分别为寄存器 0x038 和寄存器 0x039）。3.3.8.6 同步过程：使能 LMFC 同步的步骤如下。将寄存器 0x008 设置为 0x03，以同步两个 DAC 对（DAC0/DAC1 和 DAC2/DAC3）的 LMFC。设置所需的同步模式（如表 29 所示）。对于子类 1，根据 SYSREF±信号相对于 DAC 时钟的不确定性和应用的容忍度来设置误差窗口。同步窗口误差设置如表 30 所示。通过将 1 写入 SYNCENABLE（寄存器 0x03A[7]）来使能同步。如果采用 One-shot 模式，则通过向 SYNCARM 写入 1（寄存器 0x03A[6]）来启动同步机。如果采用子类 1，请确保至少发送一个 SYSREF± 脉冲到器件。通过读取以下位字段来检查状态：a) REF_BUSY（寄存器 0x03B[7]）为 0 表示同步逻辑不再繁忙。b) REF_LOCK（寄存器 0x03B[3]）为 1 表示信号对齐。该位会在每次相位检查时更新。c) REF_WLIM（寄存器 0x03B[1]）为 0 表示相位误差未超出指定的误差窗口。该位会在每次相位检查时更新。d) REFROTA（寄存器 0x03B[2]）为 1 表示发生了时钟对齐（如果在同步和对齐发生之前相位没有对齐）。该位只能通过写入 SYNCCLRSTKY 控制位（寄存器 0x03A[5]）来清除。e) REF_TRIP（寄存器 0x03B[0]）为 1，表示接收到对齐边沿并进行了相位检查。该位只能通过写入 SYNCCLRSTKY 控制位（寄存器 0x03A[5]）来清除。3.3.8.7 LMFC 同步中断请求：同步状态位（REFLOCK，REFROTA，REFTRIP 和 REFWLIM）可以作为中断请求事件。使用寄存器 0x021[3:0]来为 DAC DUAL A(DAC0/DAC1)使能同步状态位，然后使用寄存器 0x025[3:0]来回读它们的状态并复位 IRQ 信号。使用寄存器 0x022[3:0]来为 DAC DUAL B(DAC2/DAC3)使能同步状态位，然后使用寄存器 0x026[3:0]来回读它们的状态并复位 IRQ 信号。

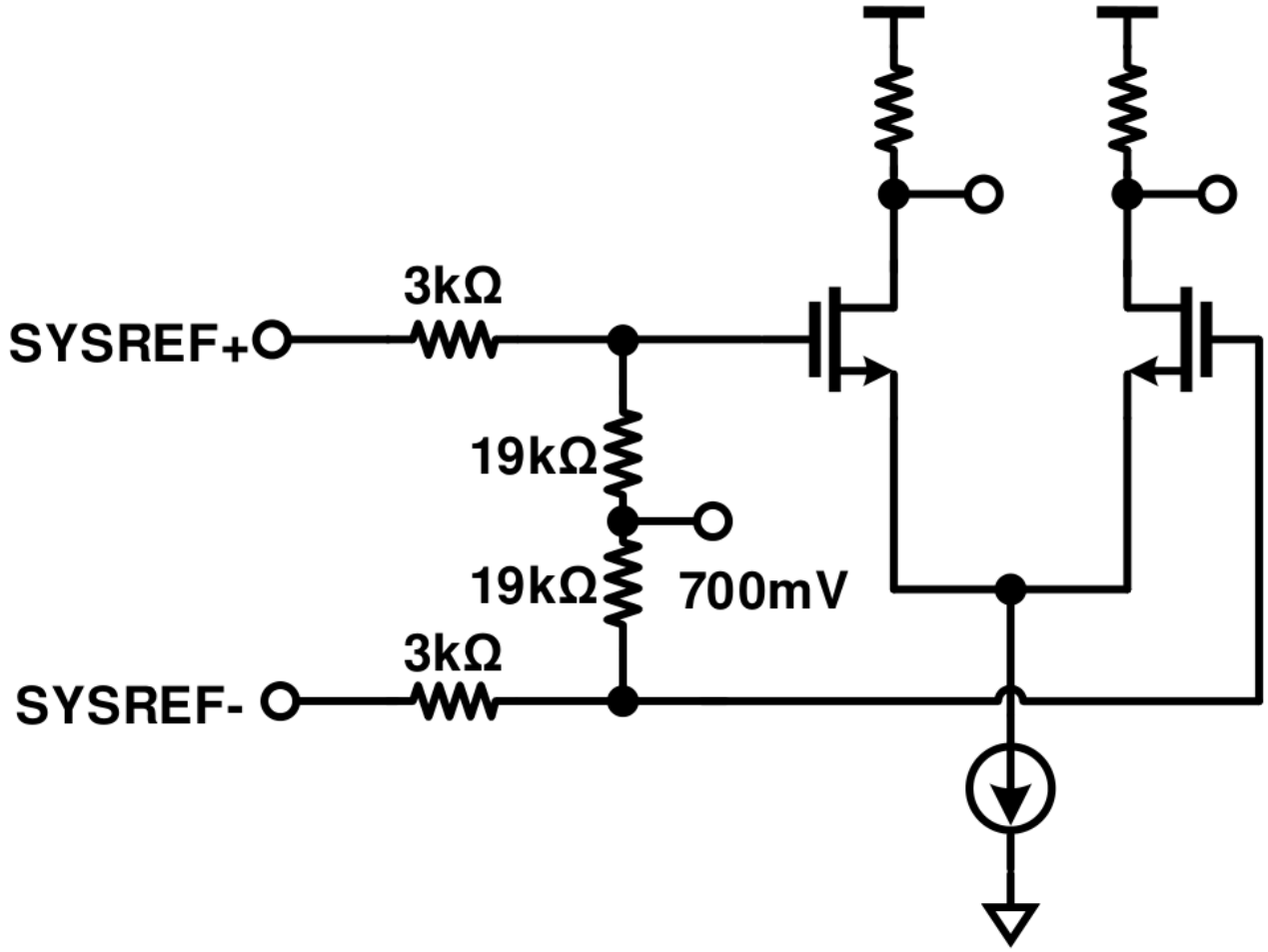


Figure 42: SYSREF± input port circuit

表29 同步模式控制列表 / Table 29. Synchronization Mode Control List

同步模式 / Sync Mode	SYNC_MODE（寄存器 0x03A[1:0]）/ Register 0x03A[1:0]
One-shot 模式 / One-shot mode	0x01
连续模式 / Continuous mode	0x02
One-shot 然后监控模式 / One-shot-then-monitor mode	0x09

表30 同步窗口容限设置 / Table 30. Synchronization Window Tolerance Settings

同步误差窗口容限 / Sync Error Window Tolerance	ERRWINDOW（寄存器 0x034[2:0]）/ Register 0x034[2:0]
±1/2 DAC 时钟周期 / ±1/2 DAC clock period	0x00
±1 DAC 时钟周期 / ±1 DAC clock period	0x01
±2 DAC 时钟周期 / ±2 DAC clock periods	0x02
±3 DAC 时钟周期 / ±3 DAC clock periods	0x03

English — 3.3.9 Deterministic latency: A JESD204B system contains various clock domains distributed throughout the system. Data crossing from one clock domain to another causes latency uncertainty in the JESD204B link; these uncertainties cause the latency after each power-up link establishment to differ. Subclass 1 and Subclass 2 in Section 6 of the JESD204B specification introduce two different mechanisms

to solve the deterministic-latency problem. The SXD020 supports JESD204B Subclass 0 and Subclass 1 modes, but not Subclass 2. Write the subclass into Register 0x301[2:0] and the subclass of each link into Register 0x458[7:5]. **3.3.9.1 Subclass 0:** This mode does not require a SYSREF± signal; the SYSREF± pins can be left floating. Subclass 0 still requires all lane data to arrive within the same LMFC period, and the DAC pairs must be mutually synchronized. **3.3.9.2 Subclass 0 notes:** Because the SXD020 requires ILAS, the non-multiconverter single-lane (NMCDA-SL) case in the JESD204A specification is supported only when the optional ILAS is used. When F is 1, reporting errors using SYNCOUTx± is not supported. **3.3.9.3 Subclass 1:** This mode supports deterministic latency, allowing links to be synchronized to within 0.5 DAC clock period. It requires an external SYSREF± signal precisely phase-aligned with the DAC clock. **3.3.9.4 Deterministic-latency requirements:** To achieve deterministic latency in a JESD204B Subclass 1 system, note the following key factors: the skew of the SYSREF± signal distributed within the system must be less than the required uncertainty; the SYSREF± of every device in the system must meet setup and hold time requirements; the total latency variation across all lanes, links and devices must not exceed 10 PClock periods, including variable latency values and variations in fixed latency among lanes, links and devices in the system.

3.3.10 Link latency: As shown in Figure 43, the link latency of a JESD204B system is the sum of the fixed and variable latencies from the transmitter, the channel and the receiver: Link latency = fixed latency + variable latency. For correct operation, all lanes on a link must be read within the same LMFC period. JESD204B specification 6.1 requires the LMFC period to be greater than the maximum link latency. For the SXD020 this is not a mandatory requirement: each link of the SXD020 uses a local LMFC (LMFCRx) that can be delayed relative to the SYSREF±-aligned LMFC. Because the LMFC is periodic, this delay can cover any amount of fixed latency. Therefore, the LMFC period only needs to be greater than the variable latency of the link. Figures 44 and 45 show link latency greater than the LMFC period and how delaying LMFCRx compensates for it. The method for selecting the LMFCDel and LMFCVar variables is described in 2.11.2. Setting LMFCDel appropriately ensures all corresponding data samples arrive within the same LMFC period. LMFCVar is then written into the receiver buffer delay (RBD) to absorb all link-latency variation, ensuring all data samples have arrived before they are read. These settings fix the latency value, achieving deterministic latency. The RBD range described in the JESD204B specification is from 1 frame-clock period to K frame-clock periods, whereas the SXD020 RBD range is from 0 PClock periods to 10 PClock periods; therefore at most 10 PClock periods of total latency variation can be absorbed. LMFCVar is in PClock periods and LMFCDel is in frame-clock periods; the parameter PClockFactor (frames per PClock period, equal to 4/F) is used to convert between these units — see 3.2.3. The two examples below describe how to determine LMFCVar and LMFCDel. After calculating them, write LMFCDel into Registers 0x304 and 0x305 of all devices in the system, and LMFCVar into Registers 0x306 and 0x307 of all devices.

3.3.10.1 Link-latency setting example (known latency): As described in 2.11, LMFCVar and LMFCDel can be calculated from known system latency. The example of Figure 46 uses Subclass 1 deterministic latency with PClockFactor (4/F) = 2 (two frame clocks per PClock period) and K = 32. Because PCBFixed is far smaller than PClockPeriod, PCBFixed is neglected in this example. 1. Determine the receiver latency: RxFixed = 17 PClock periods; RxVar = 2 PClock periods. 2. Confirm the transmitter latency, taking 56 ±2 byte clocks as the example: since PClockRate = ByteRate/4, the transmitter latency in PClock periods is TxFixed = 54/4 = 13.5 PClock periods; TxVar = 4/4 = 1 PClock period. 3. MinDelayLane = floor(RxFixed + TxFixed + PCBFixed) = floor(17 + 13.5 + 0) = floor(30.5) = 30. 4. FALL_COUNT_DelayLane = ceiling(RxFixed + RxVar + TxFixed + TxVar + PCBFixed) = ceiling(17 + 2 + 13.5 + 1 + 0) = ceiling(33.5) = 34. 5. LMFCVar = (FALL_COUNT_DelayLane + 1) − (MinDelay − 1) = (34 + 1) − (30 − 1) = 35 − 29 = 6 PClock periods. 6. LMFCDel = ((MinDelay − 1) × PClockFactor) % K = ((30 − 1) × 2) % 32 = 58 % 32 = 26 frame periods. 7. Write LMFCDel

into Registers 0x304 and 0x305 of all devices in the system; write LMFCVar into Registers 0x306 and 0x307 of all devices. (Figure 46 totals: total fixed latency = 30 PClock periods; total variable latency = 4 PClock periods; LMFC delay = 26 frame-clock periods.)

3.3.10.2 Link-latency setting example (unknown latency): If the system latency is unknown, the SXD020 can read back the link latency of each link between LMFCRx and the SYSREF±-aligned LMFC. This information is used to calculate LMFCVar and LMFCDel. Figure 47 shows the meaning of the DYN_LINK_LATENCY_x (Registers 0x302 and 0x303) readback values, i.e. the latency between LMFCRx and the ILAS-to-first-data-sample boundary, in PClock periods. By repeatedly power-cycling and recording these register readbacks, the minimum and maximum power-up latencies can be determined and used to calculate LMFCVar and LMFCDel. The example of Figure 48 uses Subclass 1 with PClockFactor = 2 and K = 16, so PClocksPerMF = 8. 1. Links A, B and C of a system containing the SXD020 (including the transmitter) were powered up and configured 20 times. The SXD020 was configured per the synchronization procedure. Because the purpose is to determine LMFCDel and LMFCVar, LMFCDel was configured to 0 and the DYN_LINK_LATENCY_x values of link 0 and link 1 were read from Registers 0x302 and 0x303 respectively. Link A gave readbacks of 6, 7, 0 and 1; the recorded set crosses a multiframe edge (K/PClockFactor = 8), so PClocksPerMF = 8 must be added to the wrapped values (0, 1), giving a latency range of 6 to 9. Link B gave latencies from 5 to 7. Link C gave latencies from 4 to 7. 2. MinDelay = min(all latency values) = 4. 3. FALL_COUNT_Delay = max(all latency values) = 9. 4. LMFCVar = (FALL_COUNT_Delay + 1) − (MinDelay − 1) = (9 + 1) − (4 − 1) = 10 − 3 = 7 PClock periods. 5. LMFCDel = ((MinDelay − 1) × PClockFactor) % K = ((4 − 1) × 2) % 16 = 6 frame-clock periods. (In Figure 48: LMFC_DELAY = 6 frame-clock periods; LMFC_VAR = 7 PClock periods.) 6. Write LMFCDel into Registers 0x304 and 0x305 of all devices; write LMFCVar into Registers 0x306 and 0x307 of all devices.

中文 — 3.3.9 确定性延迟： JESD204B 系统包含分布在整个系统中的各个时钟域。数据从一个时钟域穿越到不同的时钟域会导致 JESD204B 链路中的延迟不确定。这些不确定性会导致每次上电链路建立后的延迟不同。JESD204B 规范的第 6 节中子类 1 和子类 2 介绍了两种不同的机制来解决确定性延迟问题。SXD020 支持 JESD204B 的子类 0 和子类 1 模式，但不支持子类 2。将子类写入寄存器 0x301[2:0]，并将每个链路的子类写入寄存器 0x458[7:5]。3.3.9.1 子类 0：该模式不需要 SYSREF±信号，此时可以将 SYSREF±引脚悬空。子类 0 仍然要求所有 Lane 数据在相同的 LMFC 周期内到达，DAC 对必须相互同步。3.3.9.2 子类 0 注意事项：由于 SXD020 需要 ILAS，因此只有在使用可选的 ILAS 时才支持 JESD204A 规范中的非多转换器单 Lane(NMCDA-SL) 情况。当 F 为 1 时不支持使用 SYNCOUTx±报告错误。3.3.9.3 子类 1：该模式支持确定性延迟，允许链路同步到 0.5 个 DAC 时钟周期内。它需要一个与 DAC 时钟的相位精确对齐的外部 SYSREF±信号。3.3.9.4 确定性延迟要求：在 JESD204B 子类 1 系统中实现确定性延迟需要注意以下关键因素：系统内分布的 SYSREF±信号偏斜必须小于所需的不确定性；系统中每个器件的 SYSREF±必须满足建立、保持时间要求；所有 Lane、链路和器件之间的总延迟变化不能大于 10 个 PClock 周期，其中包括可变延迟值和系统中各 Lane 之间、链路之间、器件之间的固定延迟的变化值。3.3.10 链路延迟：如图 43 所示，JESD204B 系统的链路延迟是来自发射机、信道和接收机的固定延迟和可变延迟之和：链路延迟 = 固定延迟+可变延迟。为了正常工作，必须在相同的 LMFC 周期内读取链路上的所有 Lane。JESD204B 规范 6.1 规定，LMFC 周期必须大于最大链路延迟。对于 SXD020 来说，这不是必须满足的要求；SXD020 的每条链路使用一个本地 LMFC(LMFCRx)，它可以在与 SYSREF±对齐的 LMFC 上进行延迟。因为 LMFC 是周期性的，所以这个延迟可以覆盖任何量的固定延迟。因此，LMFC 的周期只需要比链路的可变延迟大。图 44 和图 45 显示了链路延迟大于 LMFC 周期的情况，以及通过延迟 LMFCRx 来补偿该问题的示意图。选择 LMFCDel 和 LMFCVar 变量的方法在 2.11.2 链路延迟设置部分进行描述。适当地设置 LMFCDel 可以确保所有相应的数据样本都在相同的 LMFC 周期内到达。然后将 LMFCVar 写入接收缓冲区延迟(RBD)，以吸收所有的链路延迟变化。该操作确保所有的数据样本在读取之前就已经到达。通过这些设置可以将延迟值固定，从而实现确定性延迟。JESD204B 规范中描述的 RBD 的取值从 1 个帧时钟周期到 K 个帧时钟周期，而 SXD020 的 RBD 取值是从 0 个 PClock 周期到 10 个 PClock 周期。因此，最多可以吸收 10 个 PCLK 周期的总延迟变化。

LMFCVar 以 PClock 周期为单位，LMFCDel 都是以帧时钟周期为单位。需要使用参数 PClockFactor（每个 PClock 周期中的帧周期数，等于 4/F）在这两个单位之间进行转换，更多相关信息可参见 3.2.3 时钟关系。下面两个例子描述了如何确定 LMFCVar 和 LMFCDel。计算出它们之后，将 LMFCDel 写入系统中所有器件的寄存器 0x304 和 0x305，将 LMFCVar 写入系统中所有器件的寄存器 0x306 和 0x307。3.3.10.1 链路延迟设置示例（延迟已知）：如 2.11 链路延迟设置部分所述，可以用已知的系统延迟来计算 LMFCVar 和 LMFCDel。以图 46 所示的例子说明计算过程。该案例是采用子类 1 模式实现确定性延迟，其 PClockFactor(4/F)为 2，即每个 PClock 周期有两个帧时钟，并设置 K 为 32(每多帧中的帧数)。因为 PCBFixed 远小于 PClockPeriod，所以在本例中 PCBFixed 可以忽略不计，不包括在计算中。1. 确定接收机延迟：RxFixed = 17 PClock 周期；RxVar = 2 PClock 周期。2. 确认发射机延迟。该案例中以 56 ±2 字节(byte)时钟为例。因为 PClockRate = ByteRate/4，所以以 PClock 周期为单位的发射机延迟为：TxFixed = 54/4 = 13.5 PClock 周期；TxVar = 4/4 = 1 PClock 周期。3. 计算 MinDelayLane：MinDelayLane = floor(RxFixed + TxFixed + PCBFixed) = floor(17 + 13.5 + 0) = floor(30.5) = 30。4. 计算 FALL_COUNT_DelayLane：FALL_CONUNT_DelayLane = ceiling(RxFixed + RxVar + TxFixed + TxVar + PCBFixed) = ceiling(17 + 2 + 13.5 + 1 + 0) = ceiling(33.5) = 34。5. 计算 LMFCVar：LMFCVar = (FALL_COUNT_DelayLane + 1) − (MinDelay − 1) = (34 + 1) − (30 − 1) = 35 − 29 = 6 PCLK 周期。6. 计算 LMFCDel：LMFCDel = ((MinDelay − 1) × PClockFactor) % K = ((30 − 1)×2) % 32 = 58 % 32 = 26 帧周期。7. 将 LMFCDel 写入系统中所有器件的寄存器 0x304 和 0x305。将 LMFCVar 写入系统中所有器件的寄存器 0x306 和 0x307。（图 46：总固定延迟 = 30 个 Pclk 周期；总变化延迟 = 4 个 PClock 周期；LMFC 延迟 = 26 个帧时钟周期。）3.3.10.2 链路延迟设置示例（延迟未知）：如果系统延迟未知，SXD020 可以回读每个链路的 LMFCRX 和与 SYSREF±对齐的 LMFC 之间的链路延迟。该信息被用来计算 LMFCVar 和 LMFCDel。图 47 展示了 DYN_LINK_LATENCY_x（寄存器 0x302 和 0x303）回读值的含义，即 LMFCRX 与 ILAS 到第一个数据样本边界之间的延迟（以 PClock 周期为单位）。通过反复进行电源上下电，记录这些寄存器的回读值，可以确定电源上电的最小和最大延迟，并用于计算 LMFCVar 和 LMFCDel。图 48 中所示的示例在以下步骤中演示。注意，该示例采用子类 1 以实现确定性延迟，其 PClockFactor(FrameClockRate/PClkRate)为 2，并且使用 K = 16；因此 PClocksPerMF = 8。1. 在图 48 中，对链路 A、链路 B 和链路 C，包含 SXD020（包括发射机）的系统进行了 20 次上电及配置。SXD020 按照同步流程进行配置。由于该案例的目的是确定 LMFCDel 和 LMFCVar，因此将 LMFCDel 值配置为 0，并从寄存器 0x302 和 0x303 分别读取链路 0 和链路 1 的 DYN_LINK_LATENCY_x 值。链路延迟在 20 次运行中的变化情况如图 48 灰色部分所示。链路 A 给出了 6、7、0 和 1 的回读值，记录的一组延迟值跨过了多帧的边缘(K/PClockFactor = 8)，需要将跨过多帧回读值（0，1）加上 PCLocksPerMF = 8，因此延迟值范围为 6 到 9。链路 B 给出的延迟值从 5 到 7。链路 C 给出的延迟值从 4 到 7。2. 计算延迟测量值的最小值：MinDelay = min(所有延迟值) = 4。3. 计算延迟测量值的最大值：FALL_COUNT_Delay = max(所有延迟值) = 9。4. 计算 LMFCVar：LMFCVar = (FALL_COUNT_Delay + 1) − (MinDelay − 1) = (9 + 1) − (4 − 1) = 10 − 3 = 7（PCLK 周期）。5. 计算 LMFCDel：LMFCDel = ((MinDelay − 1) × PClockFactor) % K = ((4 − 1) × 2) % 16 = 6 帧时钟周期。6. 将 LMFCDel 写入系统中所有器件的寄存器 0x304 和 0x305，将 LMFCVar 写入系统中所有器件的寄存器 0x306 和 0x307。

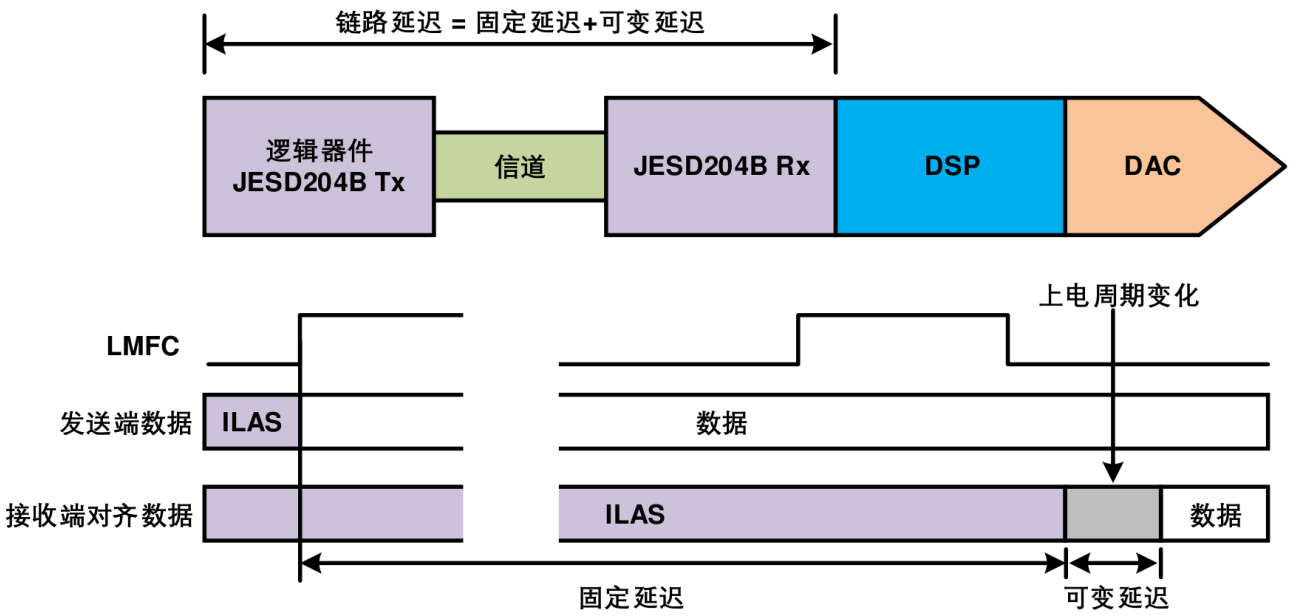


Figure 43: JESD204B link latency diagram

变化链路的时变延迟大。**图 44** 和**图 45** 显示了链路延迟大于 LMFC 周期的情况，以及 $LMFC_{Rx}$ 来补偿该问题的示意图。

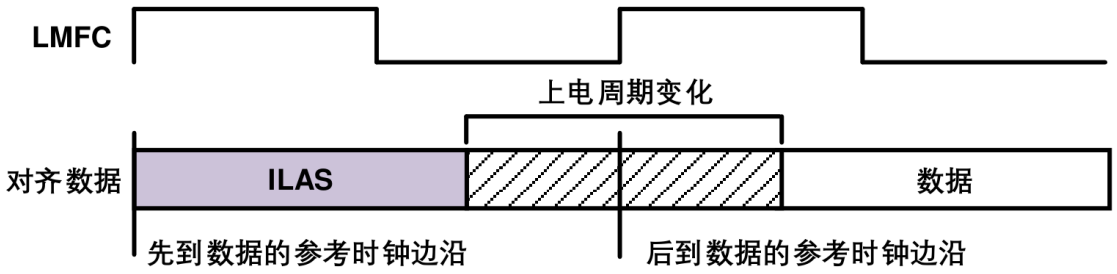


Figure 44: Example of link latency greater than the LMFC period

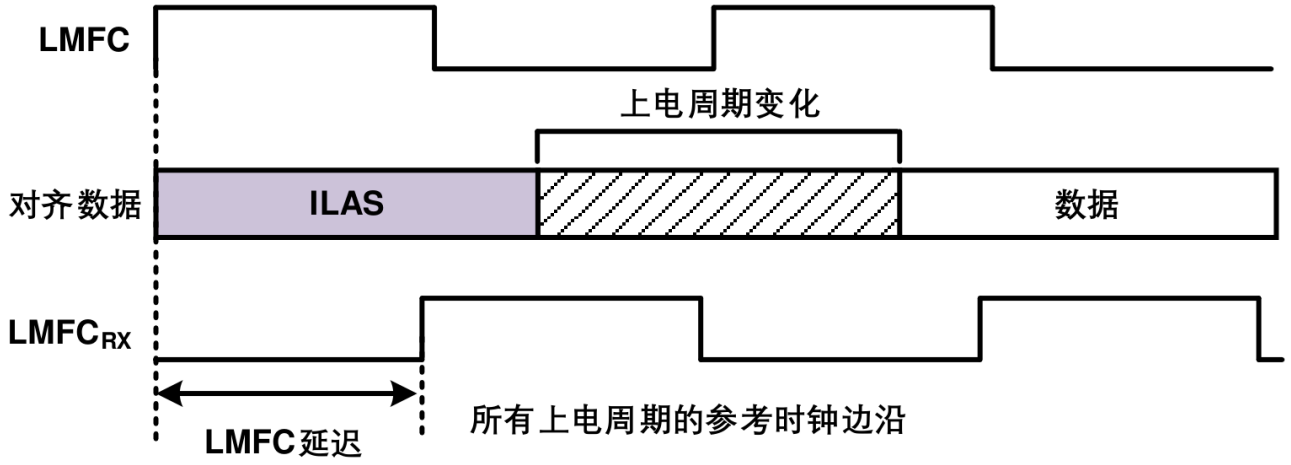


Figure 45: Adjusting LMFCRx to compensate for link latency greater than the LMFC period

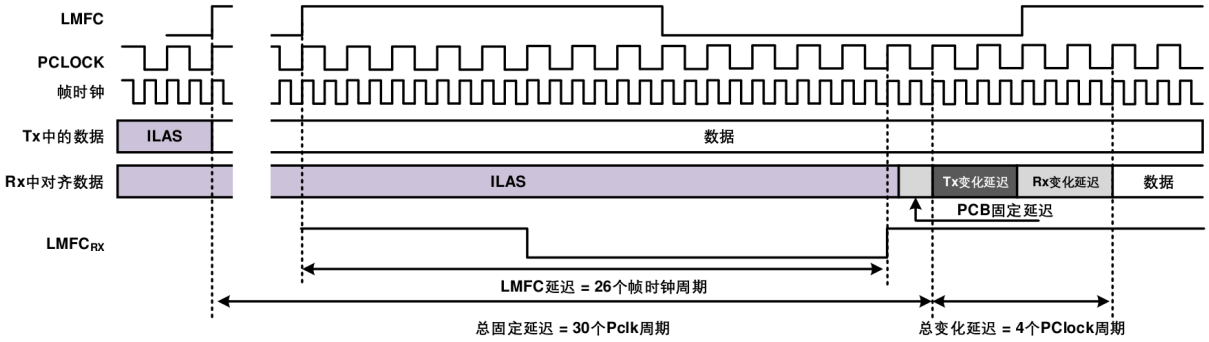


Figure 46: LMFC latency calculation example

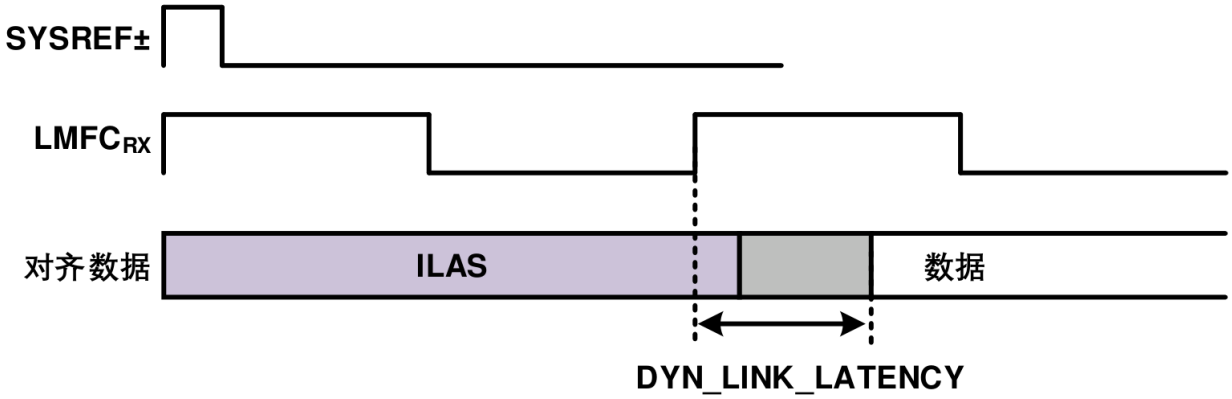


Figure 47: Meaning of DYN_LINK_LATENCY_x

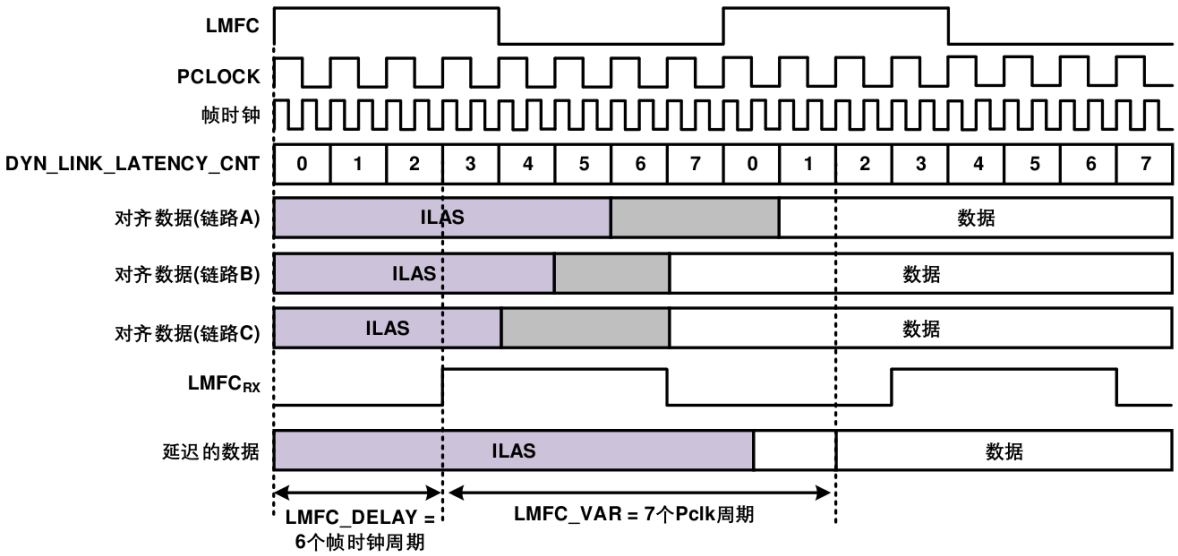


Figure 48: Multiple-link synchronization setup principle

3.4 传输层 / 3.4 Transport Layer

English: The transport layer receives the descrambled JESD204B frame data and converts it into DAC sample data according to the JESD204B link parameters shown in Table 31. Device parameters are defined in Table 32. The SXD020 supports certain combinations of these parameters, called operating modes, as shown in Tables 33 and 34, with an example at a 10 Gbps lane rate.

中文： 传输层接收解扰后的 JESD204B 帧数据，并根据表 31 所示的 JESD204B 的链路参数将其转换为 DAC 样本数据。器件参数定义参见表 32。SXD020 支持这些参数的某些组合，称之为工作模式，如表 33 和表 34 所示，并给出了一个 10 Gbps Lane 速率的例子。

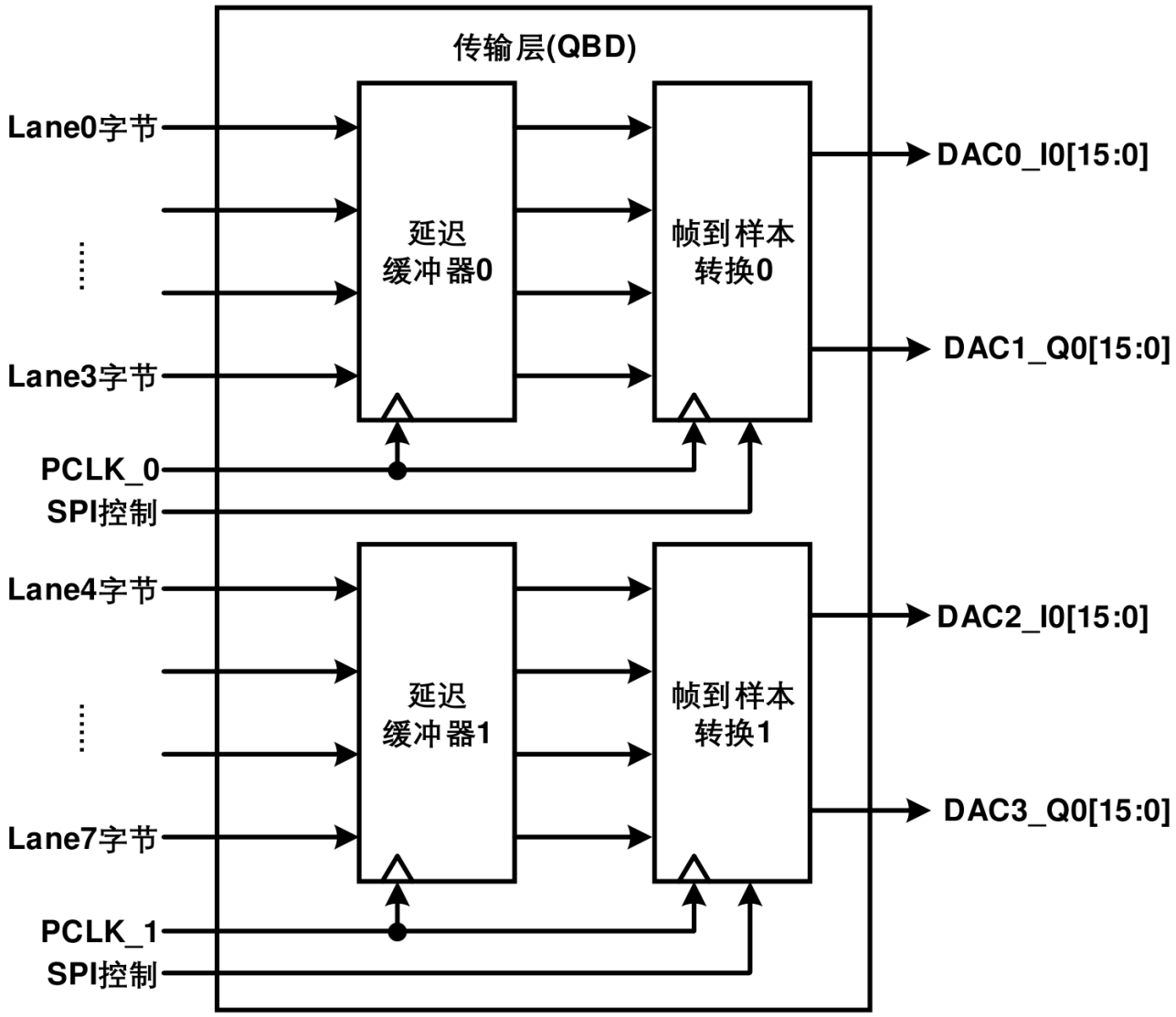


Figure 49: Transport layer functional block diagram

表31 JESD204B 传输层参数 / Table 31. JESD204B Transport-Layer Parameters

参数 / Parameter	描述 / Description
F	每 Lane 每帧中的字节数：1, 2, 4 / Octets per frame per lane: 1, 2, 4
K	每个多帧中的帧数。若 F=1，则 K=32。否则 K=16 或 32 / Frames per multiframe: if F=1, K=32; otherwise 16 or 32
L	每个链路每个器件的 Lane 数。1, 2, 4, 8（单链路）；1, 2, 4（双链路）/ Lanes per link per device
M	每个链路每个器件的转换器数。1, 2, 4（单链路）；1, 2（双链路）/ Converters per link per device
S	每帧每个转换器中的样本数：1, 2 / Samples per frame per converter: 1, 2

表32 JESD204B 器件参数 / Table 32. JESD204B Device Parameters

参数 / Parameter	描述 / Description
CF	每个链路每个器件的控制字数。不支持，必须设为 0 / Control words per link per device; not supported, must be 0
CS	每个样本的控制位数。不支持，必须设为 0 / Control bits per sample; not supported, must be 0
HD	高密度数据格式。当样本跨 Lane 时需要使用。当 F=1 时设为 1，否则设为 0 / High-density format; set to 1 when F=1, otherwise 0
N	转换器分辨率为 16 / Converter resolution is 16
N' (NP)	每个样本的总位数为 16 / Total bits per sample is 16

表33 单链路 JESD204B 工作模式 / Table 33. Single-Link JESD204B Operating Modes（以 10 Gbps Lane 速率为例 / 10 Gbps example）

参数 / Parameter	Mode 0	Mode 1	Mode 2	Mode 3	Mode 4	Mode 5	Mode 6	Mode 7	Mode 9	Mode 10
M	4	4	4	4	2	2	2	2	1	1
L	8	8	4	2	4	4	2	1	2	1
S	1	2	1	1	1	2	1	1	1	1
F	1	2	2	4	1	2	2	4	1	2
K[1]	32	16/32	16/32	16/32	32	16/32	16/32	16/32	32	16/32
HD	1	0	0	0	1	0	0	0	1	0
N	16	16	16	16	16	16	16	16	16	16
NP	16	16	16	16	16	16	16	16	16	16
PClock Rate (MHz)	250	250	250	250	250	250	250	250	250	250
Frame Clock Rate (MHz)	1000	500	500	250	1000	500	500	250	1000	500
Data Rate (MHz)	1000	1000	500	250	1000	1000	500	250	1000	500

1. 在 Mode 0、Mode 4 和 Mode 9 时 K 必须为 32。其他工作模式可以为 16 或 32。/ In Modes 0, 4 and 9, K must be 32; in other modes K can be 16 or 32.

表34 双链路 JESD204B 工作模式 / Table 34. Dual-Link JESD204B Operating Modes（以 10 Gbps Lane 速率为例 / 10 Gbps example）

参数 / Parameter	Mode 4	Mode 5	Mode 6	Mode 7	Mode 9	Mode 10
M	2	2	2	2	1	1
L	4	4	2	1	2	1
S	1	2	1	1	1	1
F	1	2	2	4	1	2
K[1]	32	16/32	16/32	16/32	32	16/32
HD	1	0	0	0	1	0
N	16	16	16	16	16	16
NP	16	16	16	16	16	16
PClock (MHz)	250	250	250	250	250	250

参数 / Parameter	Mode 4	Mode 5	Mode 6	Mode 7	Mode 9	Mode 10
Frame Clock Rate (MHz)	1000	500	500	250	1000	500
Data Rate (MHz)	1000	1000	500	250	1000	500

在 Mode 4 和 Mode 9 时 K 必须为 32。其他工作模式可以为 16 或 32。/ In Modes 4 and 9, K must be 32; in other modes K can be 16 or 32.

English — 3.4.1 Configuration parameters: The link-configuration parameters involved in the different SXD020 modes are L, K, M, N, NP, S and F; Table 35 gives their descriptions and addresses. F must be configured in both registers (Register 0x454[7:0] and 0x476[7:0]).

3.4.2 Single-link and dual-link configuration: The SXD020 uses the settings in Tables 33 and 34. Modes 0 to 10 can be used for single-link operation; Modes 4 to 10 can also be used for dual-link operation. To use dual-link mode, set DUALLINK (Register 0x300[3]) to 1. In dual-link mode, the parameters of link 0 and link 1 must be identical. To write the link 1 parameters, set SEL_REG_MAP_1 (Register 0x300[2]) to 1. If single-link mode is used, the SYNCOUT1± output buffer can be powered down by setting Register 0x203[0] to 1 to save a small amount of power.

3.4.3 Checking for correct configuration: For convenience, the SXD020 provides quick configuration checks. If an illegal LMFCDELx is used, Register 0x030[5] is 1. If an unsupported combination of L, M, F or S is used, Register 0x030[3] is 1. If an unsupported K is used, Register 0x030[2] is 1. If an unsupported SUBCLASSV is used, Register 0x030[1] is 1.

3.4.4 Deskewing and enabling logical lanes: After correct configuration, the logical lanes must be deskewed and enabled to capture data. Set bit x of Register 0x46C to 1 to deskew logical lane x, or 0 if the logical lane is unused. Then set bit x of Register 0x47D to 1 to enable logical lane x, or 0 if unused.

3.4.5 Mode configuration mapping: Tables 36–45 contain the SPI configuration for each mode shown in Figures 50–59. Figures 50–59 show the relevant data flow of the deframing process through the JESD204B receiver for each mode. Modes 0–10 apply to single-link operation; Modes 4–10 also apply to dual-link operation. Register 0x300 must be set accordingly for single-link or dual-link operation. (In all mode tables below, Register 0x457 always sets CS=0 and N=16; Register 0x458 sets Subclass 0 or 1 and NP=16; Register 0x459 sets the JESD204B version and S; Register 0x45A sets HD and CF=0.)

中文 — 3.4.1 配置参数： SXD020 不同模式涉及到的链路配置参数有 L、K、M、N、NP、S 和 F，表 35 提供了这些配置的描述和地址。F 需要在两个寄存器（寄存器 0x454[7:0]和 0x476[7:0]）都进行配置。3.4.2 单链路和双链路配置：SXD020 使用表 33 和表 34 中的设置。Mode 0 到 Mode 10 可用于单链路工作。Mode 4 到 Mode 10 也可用于双链路工作。要使用双链路模式，请将 DUALLINK（寄存器 0x300[3]）设为 1。在双链路模式下，链路 0 和链路 1 的参数必须相同。要写入链路 1 的参数，将 SEL_REG_MAP_1（寄存器 0x300[2]）设为 1。如果使用单链路模式，可以通过设置寄存器 0x203[0]为 1 来关闭 SYNCOUT1±的输出缓冲器以节省少量功耗。3.4.3 检查正确配置：为方便起见，SXD020 提供了一些快速配置检查。如果使用非法的 LMFCDELx，则寄存器 0x030[5]为 1。如果使用了不支持的 L、M、F 或 S 的组合，寄存器 0x030[3]为 1。如果使用了不支持的 K，寄存器 0x030[2]为 1。如果使用了不支持的 SUBCLASSV，寄存器 0x030[1]为 1。3.4.4 纠偏和使能逻辑 Lanes：在正确配置后，必须对逻辑 Lane 进行纠偏，并且使能逻辑 Lane 以捕获数据。将寄存器 0x46C 中的位 x 设置为 1，以纠偏逻辑 Lane x，如果不使用该逻辑 Lane 则设置为 0。然后，将寄存器 0x47D 中的位 x 设置为 1，以使能逻辑 Lane x，如果不使用该逻辑 Lane 则设置为 0。3.4.5 模式配置映射：表 36~表 45 包含图 50~图 59 所示每种模式的 SPI 配置。图 50~图 59 显示了每个模式下通过 JESD204B 接收器的解帧过程的相关数据流。Mode 0 ~ Mode 10 适用于

单链路操作，Mode 4 ~ Mode 10 也适用于双链路操作。根据单链路还是双链路操作必须对寄存器 0x300 进行相应设置。

表35 配置参数列表 / Table 35. Configuration Parameter List

JESD204B 设置 / Setting	描述 / Description	寄存器地址 / Register Address
L−1	Lane 数减 1 / Number of lanes minus 1	0x453[4:0]
F−1	每 Lane 每帧中的字节数减 1 / Octets per frame per lane minus 1	0x454[7:0]
K−1	每个多帧中的帧数减 1 / Frames per multiframe minus 1	0x455[4:0]
M−1	每个链路每个器件的转换器数减 1 / Converters per link per device minus 1	0x456[7:0]
N−1	转换器分辨率减 1 / Converter resolution minus 1	0x457[4:0]
NP−1	每个样本的比特数减 1 / Bits per sample minus 1	0x458[4:0]
S−1	每帧每个转换器中的样本数减 1 / Samples per frame per converter minus 1	0x459[4:0]
HD	高密度模式。当 F=1 时设为 1，否则设为 0 / High-density mode; 1 when F=1, else 0	0x45A[7]
F1	F 参数 / F parameter	0x476[7:0]
DID	器件 ID。必须与发送端的器件 ID 匹配 / Device ID; must match the transmitter	0x450[7:0]
BID	Bank ID。必须与发送端的 Bank ID 匹配 / Bank ID; must match the transmitter	0x451[7:0]
LID0	Lane 0 的 Lane ID。必须与发送端逻辑 Lane0 的 Lane ID 匹配 / Lane 0 ID; must match the transmitter logical lane 0	0x452[4:0]
JESDVER	JESD204 版本。必须与发送端的 JESD204 版本匹配（0x0=JESD204A, 0x1=JESD204B）/ JESD204 version; must match the transmitter	0x459[7:5]

表36 Mode 0 的 JESD204B 参数寄存器配置 / Table 36. Mode 0 JESD204B Parameter Register Configuration（L=8, F=1, K=32, M=4, S=1, HD=1）

地址 / Address	配置 / Value	描述 / Description
0x453	0x07 或 0x87	0x453[7]=0 或 1：不加扰或加扰；0x453[4:0]=0x07：L=8 / Scrambling off/on; L=8
0x454	0x00	F=1
0x455	0x1F	K=32
0x456	0x03	M=4
0x457	0x0F	CS=0；N=16
0x458	0x0F 或 0x2F	子类 0 或子类 1；NP=16 / Subclass 0 or 1; NP=16
0x459	0x20	JESD204B 版本；S=1 / JESD204B version; S=1
0x45A	0x80	HD=1；CF=0
0x46C	0xFF	对 Lane 0~Lane 7 纠偏 / Deskew lanes 0–7
0x476	0x01	F=1
0x47D	0xFF	使能 Lane 0~Lane 7 / Enable lanes 0–7

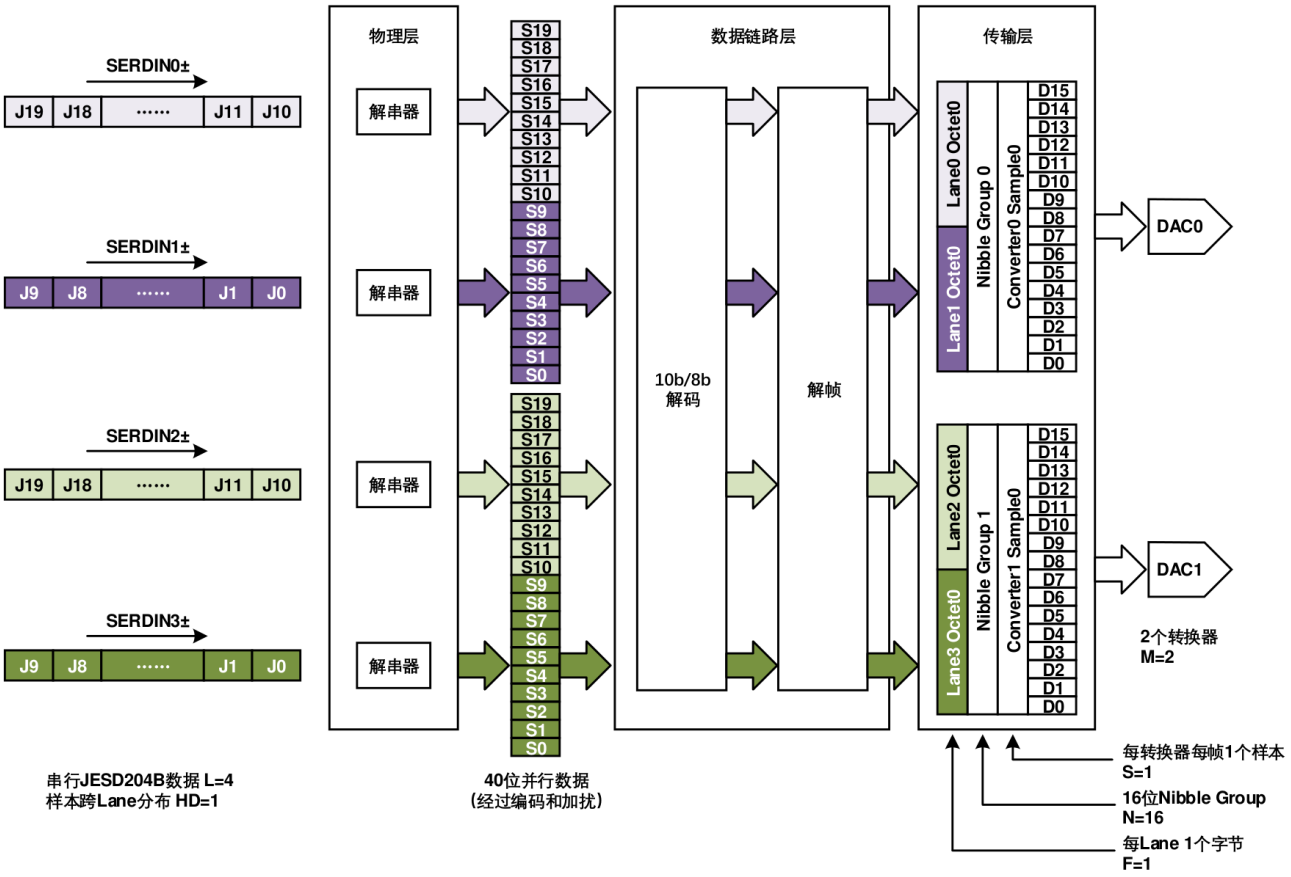


Figure 50: JESD204B Mode 4 data deframing

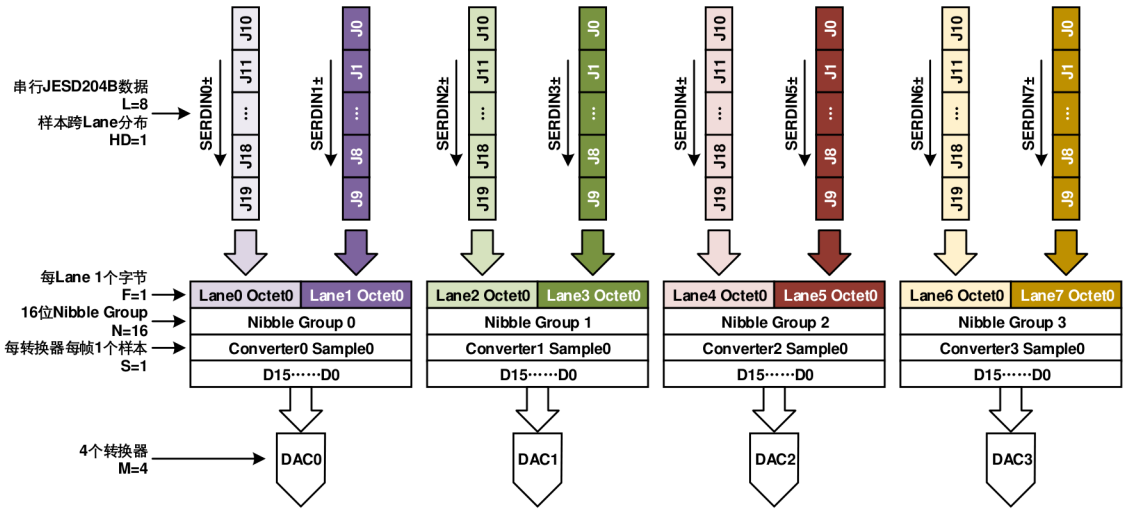


Figure 51: JESD204B Mode 0 data deframing

表37 Mode 1 的 JESD204B 参数寄存器配置 / Table 37. Mode 1 Configuration（L=8, F=2, K=16/32, M=4, S=2, HD=0）

地址 / Address	配置 / Value	描述 / Description
0x453	0x07 或 0x87	不加扰或加扰；L=8 / Scrambling off/on; L=8
0x454	0x01	F=2
0x455	0x0F 或 0x1F	K=16 或 32 / K=16 or 32

地址 / Address	配置 / Value	描述 / Description
0x456	0x03	M=4
0x457	0x0F	CS=0；N=16
0x458	0x0F 或 0x2F	子类 0 或 1；NP=16
0x459	0x21	JESD204B 版本；S=2
0x45A	0x00	HD=0；CF=0
0x46C	0xFF	对 Lane 0~Lane 7 纠偏 / Deskew lanes 0–7
0x476	0x02	F=2
0x47D	0xFF	使能 Lane 0~Lane 7 / Enable lanes 0–7

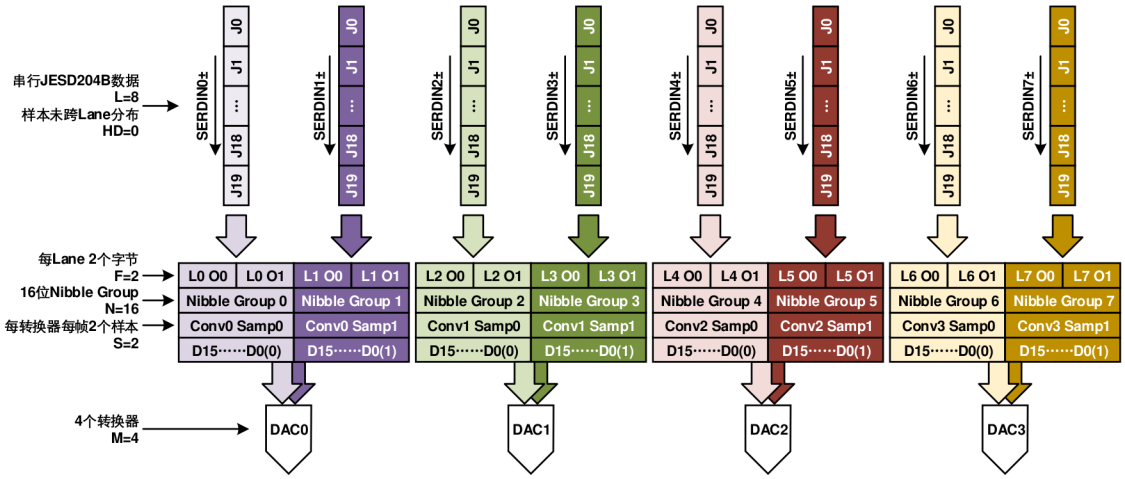


Figure 52: JESD204B Mode 1 data deframing

表38 Mode 2 的 JESD204B 参数寄存器配置 / Table 38. Mode 2 Configuration（L=4, F=2, K=16/32, M=4, S=1, HD=0）

地址 / Address	配置 / Value	描述 / Description
0x453	0x03 或 0x83	不加扰或加扰；L=4
0x454	0x01	F=2
0x455	0x0F 或 0x1F	K=16 或 32
0x456	0x03	M=4
0x457	0x0F	CS=0；N=16
0x458	0x0F 或 0x2F	子类 0 或 1；NP=16
0x459	0x20	JESD204B 版本；S=1
0x45A	0x00	HD=0；CF=0
0x46C	0x0F	对 Lane 0~Lane 3 纠偏 / Deskew lanes 0–3
0x476	0x02	F=2
0x47D	0x0F	使能 Lane 0~Lane 3 / Enable lanes 0–3

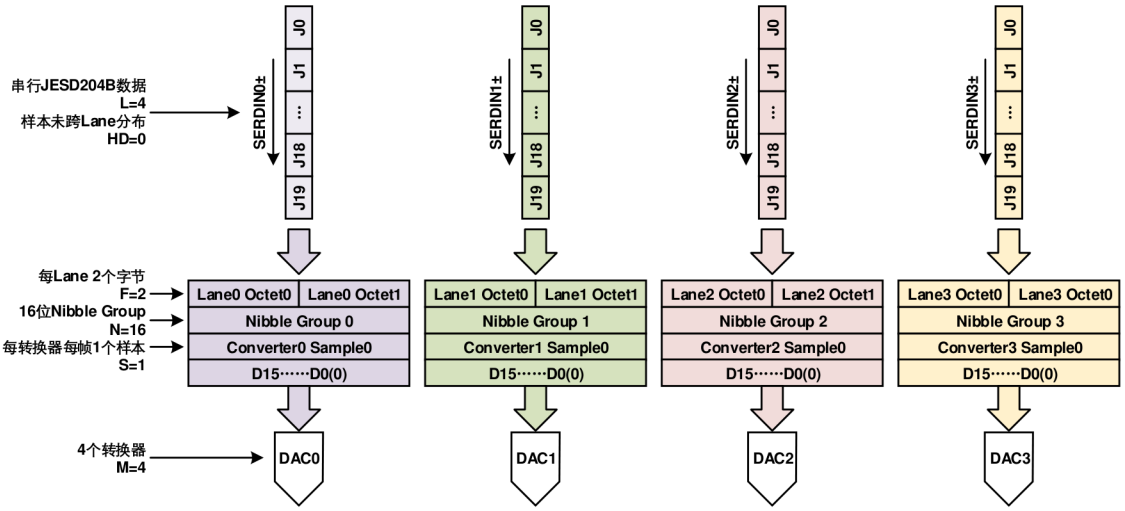


Figure 53: JESD204B Mode 2 data deframing

表39 Mode 3 的 JESD204B 参数寄存器配置 / Table 39. Mode 3 Configuration（L=2, F=4, K=16/32, M=4, S=1, HD=0）

地址 / Address	配置 / Value	描述 / Description
0x453	0x01 或 0x81	不加扰或加扰；L=2
0x454	0x03	F=4
0x455	0x0F 或 0x1F	K=16 或 32
0x456	0x03	M=4
0x457	0x0F	CS=0；N=16
0x458	0x0F 或 0x2F	子类 0 或 1；NP=16
0x459	0x20	JESD204B 版本；S=1
0x45A	0x00	HD=0；CF=0
0x46C	0x03	对 Lane 0~Lane 1 纠偏 / Deskew lanes 0–1
0x476	0x04	F=4
0x47D	0x0F	使能 Lane 0~Lane 1 / Enable lanes 0–1

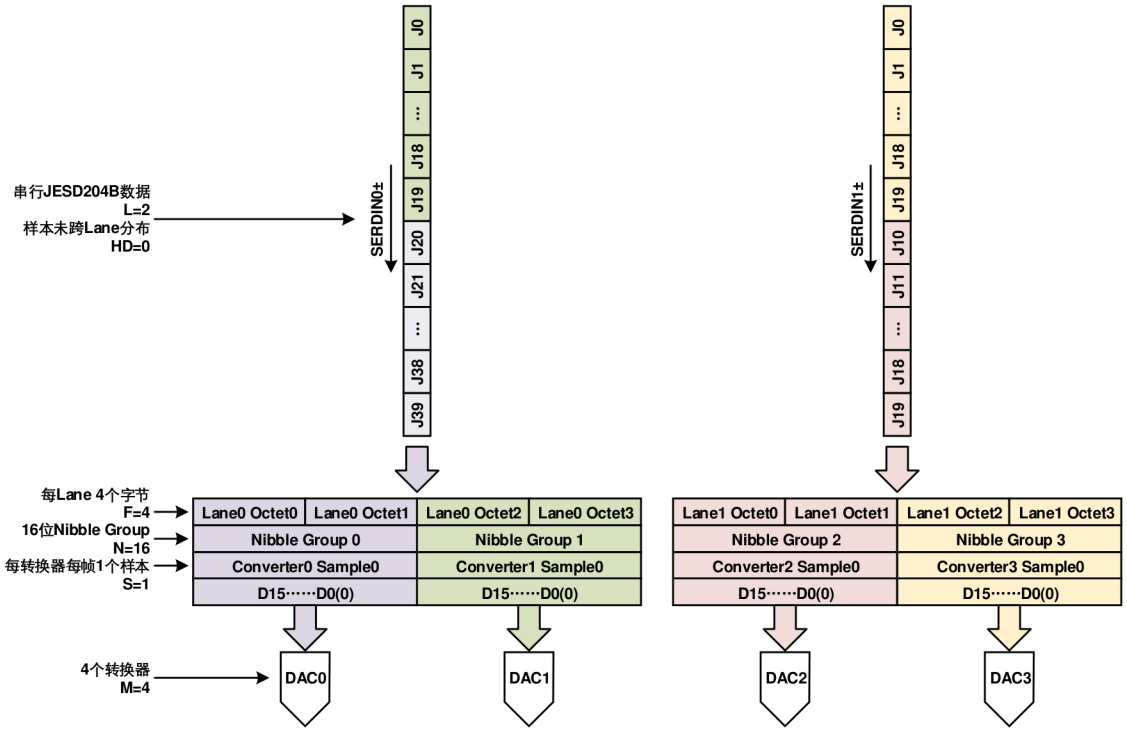


Figure 54: JESD204B Mode 3 data deframing

表40 Mode 4 的 JESD204B 参数寄存器配置 / Table 40. Mode 4 Configuration（L=4, F=1, K=16/32, M=2, S=1, HD=1；解帧过程见图 50 / deframing see Figure 50）

地址 / Address	配置 / Value	描述 / Description
0x453	0x03 或 0x83	不加扰或加扰；L=4
0x454	0x00	F=1
0x455	0x0F 或 0x1F	K=16 或 32
0x456	0x01	M=2
0x457	0x0F	CS=0；N=16
0x458	0x0F 或 0x2F	子类 0 或 1；NP=16
0x459	0x20	JESD204B 版本；S=1
0x45A	0x80	HD=1；CF=0
0x46C	0x0F	对 Lane 0~Lane 3 纠偏
0x476	0x01	F=1
0x47D	0x0F	使能 Lane 0~Lane 3

表41 Mode 5 的 JESD204B 参数寄存器配置 / Table 41. Mode 5 Configuration（L=4, F=2, K=16/32, M=2, S=2, HD=0）

地址 / Address	配置 / Value	描述 / Description
0x453	0x03 或 0x83	不加扰或加扰；L=4
0x454	0x01	F=2
0x455	0x0F 或 0x1F	K=16 或 32

地址 / Address	配置 / Value	描述 / Description
0x456	0x01	M=2
0x457	0x0F	CS=0；N=16
0x458	0x0F 或 0x2F	子类 0 或 1；NP=16
0x459	0x21	JESD204B 版本；S=2
0x45A	0x00	HD=0；CF=0
0x46C	0x0F	对 Lane 0~Lane 3 纠偏
0x476	0x02	F=2
0x47D	0x0F	使能 Lane 0~Lane 3 / Enable lanes 0–3

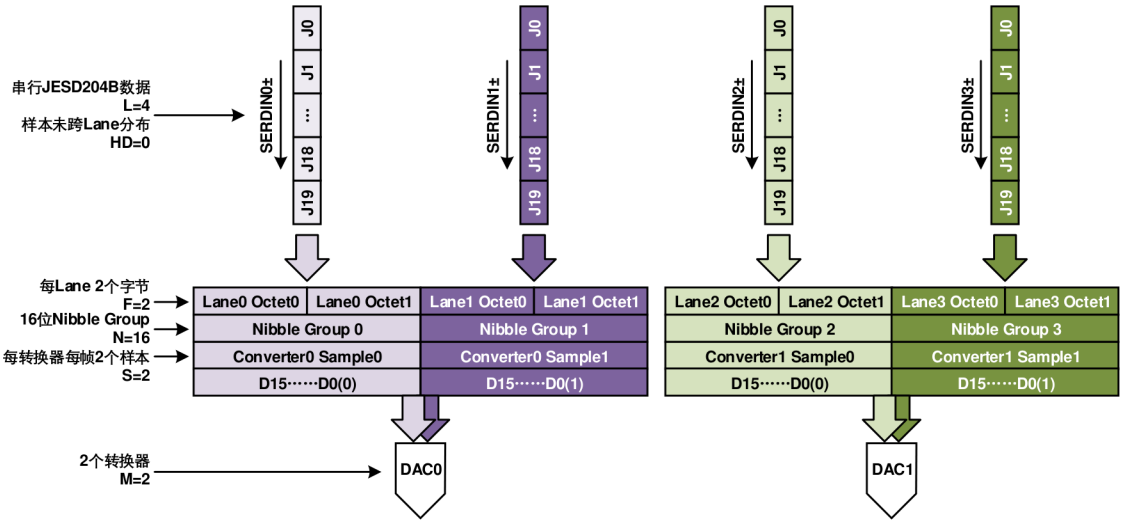


Figure 55: JESD204B Mode 5 data deframing

表42 Mode 6 的 JESD204B 参数寄存器配置 / Table 42. Mode 6 Configuration（L=2, F=2, K=16/32, M=2, S=1, HD=0）

地址 / Address	配置 / Value	描述 / Description
0x453	0x01 或 0x81	不加扰或加扰；L=2
0x454	0x01	F=2
0x455	0x0F 或 0x1F	K=16 或 32
0x456	0x01	M=2
0x457	0x0F	CS=0；N=16
0x458	0x0F 或 0x2F	子类 0 或 1；NP=16
0x459	0x20	JESD204B 版本；S=1
0x45A	0x00	HD=0；CF=0
0x46C	0x03	对 Lane 0~Lane 1 纠偏
0x476	0x02	F=2
0x47D	0x03	使能 Lane 0~Lane 1 / Enable lanes 0–1

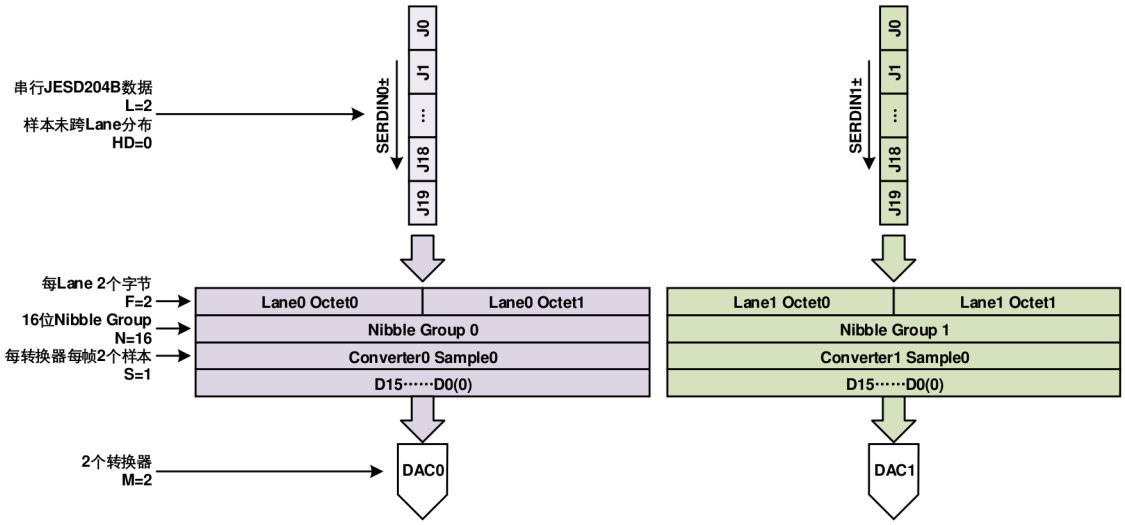


Figure 56: JESD204B Mode 6 data deframing

表43 Mode 7 的 JESD204B 参数寄存器配置 / Table 43. Mode 7 Configuration（L=1, F=4, K=16/32, M=2, S=1, HD=0）

地址 / Address	配置 / Value	描述 / Description
0x453	0x00 或 0x80	不加扰或加扰；L=1
0x454	0x03	F=4
0x455	0x0F 或 0x1F	K=16 或 32
0x456	0x01	M=2
0x457	0x0F	CS=0；N=16
0x458	0x0F 或 0x2F	子类 0 或 1；NP=16
0x459	0x20	JESD204B 版本；S=1
0x45A	0x00	HD=0；CF=0
0x46C	0x01	对 Lane 0 纠偏
0x476	0x04	F=4
0x47D	0x01	使能 Lane 0 / Enable lane 0

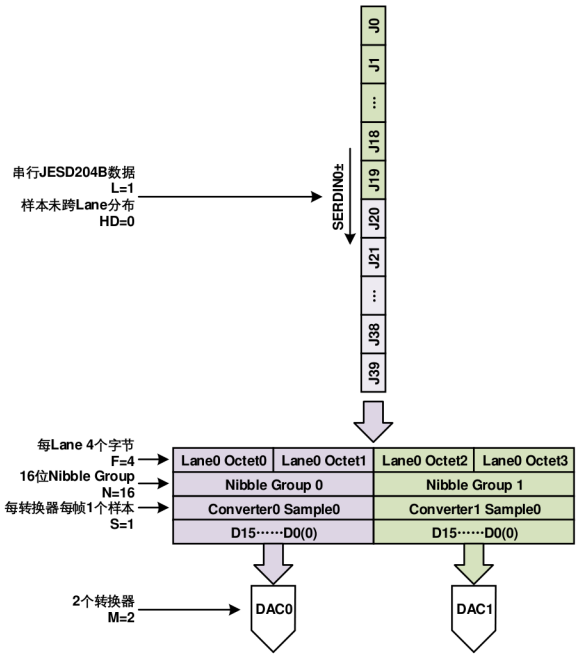


Figure 57: JESD204B Mode 7 data deframing

表44 Mode 9 的 JESD204B 参数寄存器配置 / Table 44. Mode 9 Configuration（L=2, F=1, K=32, M=1, S=1, HD=1）

地址 / Address	配置 / Value	描述 / Description
0x453	0x01 或 0x81	不加扰或加扰；L=2
0x454	0x00	F=1
0x455	0x1F	K=32
0x456	0x00	M=1
0x457	0x0F	CS=0；N=16
0x458	0x0F 或 0x2F	子类 0 或 1；NP=16
0x459	0x20	JESD204B 版本；S=1
0x45A	0x80	HD=1；CF=0
0x46C	0x03	对 Lane 0~Lane 1 纠偏
0x476	0x01	F=1
0x47D	0x03	使能 Lane 0~Lane 1 / Enable lanes 0–1

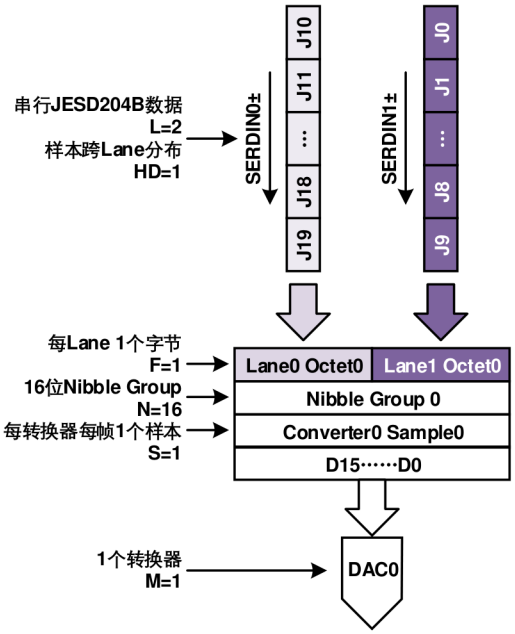


Figure 58: JESD204B Mode 9 data deframing

表45 Mode 10 的 JESD204B 参数寄存器配置 / Table 45. Mode 10 Configuration（L=1, F=2, K=16/32, M=1, S=1, HD=0）

地址 / Address	配置 / Value	描述 / Description
0x453	0x00 或 0x80	不加扰或加扰；L=1
0x454	0x01	F=2
0x455	0x0F 或 0x1F	K=16 或 32
0x456	0x00	M=1
0x457	0x0F	CS=0；N=16
0x458	0x0F 或 0x2F	子类 0 或 1；NP=16
0x459	0x20	JESD204B 版本；S=1
0x45A	0x00	HD=0；CF=0
0x46C	0x01	对 Lane 0 纠偏
0x476	0x02	F=2
0x47D	0x01	使能 Lane 0 / Enable lane 0

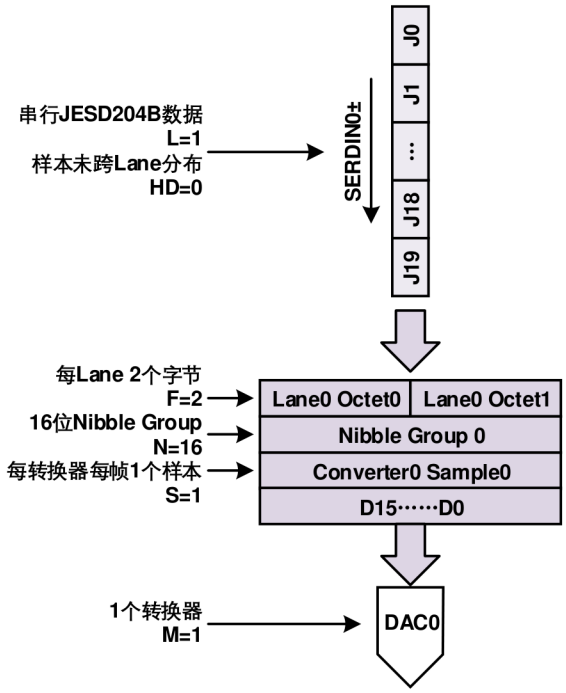


Figure 59: JESD204B Mode 10 data deframing

3.5 JESD204B 测试模式 / 3.5 JESD204B Test Modes

English — 3.5.1 Physical-layer PRBS test: The JESD204B receiver on the SXD020 includes a pseudorandom binary sequence (PRBS) pattern checker at the back end of its physical layer. This function can perform a bit-error-rate (BER) test on each physical lane of the JESD204B link. The physical-layer PRBS pattern checker does not require a JESD204B link to be established. PRBS7, PRBS15 or PRBS31 data patterns can be selected. The PRBS mode checker can check multiple lanes at once, but can report the error count of only one lane at a time. The procedure for performing a PRBS test on the SXD020 is as follows: 1. Start sending PRBS7, PRBS15 or PRBS31 pattern data from the JESD204B transmitter. 2. Select the appropriate PRBS mode and write it to Register 0x316[3:2], per Table 46. 3. Enable the physical-layer test on all lanes under test by writing PHY_TEST_EN (Register 0x315); each bit of Register 0x315 enables the PRBS test of the corresponding lane — e.g. writing 1 to bit 0 tests physical lane 0. 4. Toggle PHY_TEST_RESET (Register 0x316[0]) from 0 to 1 and back to 0. 5. Set PHY_PRBS_TEST_THRESHOLD (Registers 0x319 to 0x317) as required. 6. Write 0 then 1 to PHY_TEST_START (Register 0x316[1]); the test starts on the rising edge of PHY_TEST_START. 7. Wait 500 ms. 8. Write PHY_TEST_START (Register 0x316[1]) to 0 to stop the test. 9. Read the PRBS test results: a) Each bit of PHY_PRBS_PASS (Register 0x31D) corresponds to one lane (0 = fail, 1 = pass). b) By writing the lane to check (0 to 7) into PHY_SRC_ERR_CNT (Register 0x316[6:4]) and then reading PHY_PRBS_ERR_COUNT (Registers 0x31C to 0x31A), the number of PRBS errors detected on each failed lane can be read. The maximum error count is 2^24−1; if all bits of Registers 0x31C to 0x31A are high, the error count on the selected lane exceeds the maximum.

3.5.2 Transport-layer test: The JESD204B receiver in the SXD020 supports the short transport-layer (STPL) test in the JESD204B standard. This test can be used to verify the data mapping between the JESD204B transmitter and receiver. The STPL test ensures that the sample data of each converter are mapped appropriately according to the number of converters (M) and the number of samples per converter (S). Per the JESD204B standard, the converter manufacturer specifies which test samples are transmitted. Each sample must be a unique value. For example, if M=2 and S=2, 4 unique samples are

transmitted repeatedly until the test stops. The expected sample data must be configured into the device, and the expected sample data compared with the received sample data one by one until all tests are complete. Procedure: 1. Synchronize the JESD204B link. 2. Enable the STPL test on the JESD204B Tx. 3. Set SHORT_TPL_M_SEL (Register 0x32C[3:2]) to 0; set SHORT_TPL_SP_SEL (Register 0x32C[5:4]) to 0. 4. Set the expected test sample for sample 0 of converter 0: write the expected 16-bit test sample into the SHORT_TPL_REF_SP_x registers (Registers 0x32E and 0x32D). 5. Set SHORT_TPL_TEST_EN (Register 0x32C[0]) to 1. 6. Set SHORT_TPL_TEST_RESET (Register 0x32C[1]) to 1, then to 0. 7. Read the test result in SHORT_TPL_FAIL (Register 0x32F[0]): 0 = pass, 1 = fail. 8. Select each sample of each converter and repeat steps 2 to 7.

3.5.3 Repeated CGS and ILAS tests: Per Section 5.3.3.8.2 of the JESD204B specification, the SXD020 can check whether a constant /K28.5/ character stream is received, or a constant ILAS data stream after CGS. For a repeated CGS test, send a constant /K28.5/ stream to the SXD020 SERDES inputs. Then configure the device and enable the link as described in the Device Configuration Guide. Confirm receipt of the /K28.5/ characters by verifying that SYNCOUTx± has been pulled high and by reading Register 0x470 (ensuring CGS succeeded for the enabled links). Set Register 0x300[2] to 0 to monitor the lane status of link 0; set it to 1 to monitor link 1 in dual-link mode. For a repeated ILAS sequence test after CGS, configure the link per the Device Configuration Guide steps, but before the final write (enabling the link), enable ILAS test mode by writing 1 to Register 0x477[7], then enable the link. When the device recognizes 4 CGS characters on each link, it raises SYNCOUTx± and the transmitter starts sending a repeated ILAS sequence. Read Register 0x473 to verify that initial lane synchronization has passed for all enabled link lanes. Set Register 0x300[2] to 0 to monitor link 0 lane status; to 1 for link 1 in dual-link mode.

中文 — 3.5.1 物理层 PRBS 测试： SXD020 上的 JESD204B 接收器在其物理层后端包括一个伪随机二进制序列(PRBS)格式检查器。该功能可以对 JESD204B 链路的每个物理 Lane 进行误码率(BER)测试。物理层 PRBS 格式检查器不需要建立 JESD204B 链路。可以选择 PRBS7、PRBS15 或 PRBS31 数据格式。PRBS 模式校验器可以一次对多个 Lane 进行 PRBS 格式校验，但是一次只能报告一个 Lane 的误码数量。在 SXD020 上执行 PRBS 测试的过程如下：1. 从 JESD204B 发射机开始发送 PRBS7、PRBS15 或 PRBS31 格式数据。2. 选择适当的 PRBS 模式并写入寄存器 0x316[3:2]，如表 46 所示。3. 通过写入 PHY_TEST_EN（寄存器 0x315），使能所有被测 Lane 的物理层测试。寄存器 0x315 的每位使能相应 Lane 的 PRBS 测试。例如，将 1 写到第 0 位，就可以对物理 Lane 0 进行 PRBS 测试。4. 将 PHY_TEST_RESET（寄存器 0x316[0]）从 0 切换到 1，然后返回到 0。5. 根据需要设置 PHY_PRBS_TEST_THRESHOLD（寄存器 0x319 到寄存器 0x317）。6. 在 PHY_TEST_START（寄存器 0x316[1]）上写 0，然后写 1。在 PHY_TEST_START 的上升沿开始测试。7. 等待 500 毫秒。8. 将 PHY_TEST_START（寄存器 0x316[1]）写为 0，停止测试。9. 读取 PRBS 测试结果。a) PHY_PRBS_PASS（寄存器 0x31D）的每位对应一个 Lane（0 代表失败，1 代表通过）。b) 通过在 PHY_SRC_ERR_CNT（寄存器 0x316[6:4]）中写入要检查的 Lane（0 到 7），然后读取 PHY_PRBS_ERR_COUNT（寄存器 0x31C 到寄存器 0x31A），可以读取每个故障 Lane 上检查到的 PRBS 错误数。最大错误计数为 224-1。如果寄存器 0x31C 到寄存器 0x31A 的所有位都为高，则表示错误数超过了所选 Lane 上的最大错误计数。3.5.2 传输层测试：SXD020 中的 JESD204B 接收器支持 JESD204B 标准中的短传输层(STPL)测试。该测试可用于验证 JESD204B 发射机和接收器之间的数据映射。STPL 测试保证了每个转换器的样本数据都能根据转换器数量(M)和每个转换器的样本数(S)进行适当的映射。按照 JESD204B 标准的规定，转换器制造商指定传输哪些测试样本。每个样本必须是唯一的值。例如，如果 M=2，S=2，则重复传输 4 个唯一的样本，直到测试停止。预期的样本数据必须配置到电路中，并将预期的样本数据与接收到的样本数据逐一比较，直到全部测试完毕。在 SXD020 上执行此测试的过程描述如下：1. 同步 JESD204B 链路。2. 在 JESD204B Tx 上使能 STPL 测试。3. 设 SHORT_TPL_M_SEL（寄存器 0x32C[3:2]）为 0；设 SHORT_TPL_SP_SEL（寄存器 0x32C[5:4]）为 0。4. 设置转换器 0 的样本 0 的预期测试样本。将预期的 16 位测试样本写入 SHORT_TPL_REF_SP_x 寄存器（寄存器 0x32E 和寄存器 0x32D）。5. 将 SHORT_TPL_TEST_EN（寄存器 0x32C[0]）设置为 1。6. 将 SHORT_TPL_TEST_RESET（寄存器 0x32C[1]）设

为 1，然后再设为 0。7. 在 SHORT_TPL_FAIL（寄存器 0x32F[0]）读取测试结果。0 代表通过，1 代表未通过。8. 选择每一个转换器的每一个样本，重复第 2 步到第 7 步的操作。3.5.3 重复 CGS 和 ILAS 测试：根据 JESD204B 规范的第 5.3.3.8.2 节，SXD020 可以检查是否接收到恒定的/K28.5/字符流，或者是 CGS 后接收到恒定的 ILAS 数据流。要进行重复的 CGS 测试，请向 SXD020 SERDES 输入端发送一个恒定的/K28.5/字符流。接下来，按照 2、器件设置指南部分描述设置电路并使能链路。通过验证 SYNCOUTx±信号已拉高，以及读取寄存器 0x470（确保已使能的链路的 CGS 成功），确保接收到了/K28.5/字符。设置寄存器 0x300[2]为 0，以监测链路 0 上的 Lane 状态；设置寄存器 0x300[2]为 1，以监测双链路模式的链路 1 上的 Lane 状态。要进行 CGS 后的重复 ILAS 序列测试，请按照 2、器件设置指南步骤设置链路，但在执行最后一步写操作（使能链路）前，通过向寄存器 0x477[7]写 1 来使能 ILAS 测试模式，然后使能链路。当器件识别到每个链路上的 4 个 CGS 字符时，拉高 SYNCOUTx±信号，这时发射机开始发送一个重复的 ILAS 序列。读取寄存器 0x473 以验证所有使能的链路 Lane 的初始通道同步已经通过。设置寄存器 0x300[2]为 0，以监测链路 0 上的 Lane 状态；设置寄存器 0x300[2]为 1，以监测双链路模式的链路 1 上的 Lane 状态。

表46 物理层 PRBS 格式选择 / Table 46. Physical-Layer PRBS Pattern Selection

PHY_PRBS_PAT_SEL 设置（寄存器 0x316[3:2]）/ Setting (Register 0x316[3:2])	PRBS Pattern
0b00（默认值）/ 0b00 (default)	PRBS7
0b01	PRBS15
0b10	PRBS31

3.6 JESD204B 错误监测 / 3.6 JESD204B Error Monitoring

English — 3.6.1 Disparity, Not in Table, Unexpected Control (K) Character errors: Per Section 7.6 of the JESD204B specification, the SXD020 can detect Disparity errors, Not in Table (NIT) errors and Unexpected Control Character errors, and can optionally issue a synchronization request and reinitialize the link when errors occur. Note that the Disparity error counter counts all invalid disparity characters, whether or not they are in the 8b/10b decode table. This is a small difference from the JESD204B specification, because the JESD204B specification counts disparity errors only for characters in the 8b/10b decode table.

3.6.2 Checking error counts: Error counts can be checked for Disparity, NIT and Unexpected Control Character errors. Error counting is on a per-lane and per-error-type basis. Note that the lane selection and counter selection are written to Register 0x46B, and the error count is read back from the same address. To check an error count: 1. Select the link lane and counter error type to view. Per Table 47, write Register 0x46B. To select a link lane, first select a link (Register 0x300[2]=0 selects link 0; Register 0x300[2]=1 selects link 1). Note that when link 1 is used, link lane x refers to logical lane x+4. 2. Read the error count from Register 0x46B. Note the maximum error count equals the error threshold set in Register 0x47C.

3.6.3 Checking whether error counts exceed the threshold: The user can also check registers to learn whether the error count of a specific error type has reached a programmable threshold. The same error threshold is used for all three error types. Error counters are on a per-error-type basis. To check: 1. Program the required error-count threshold into ERRORTHRES (Register 0x47C). 2. Read back the error status of each error type to see whether the error count has reached the error threshold. Disparity errors are reported in Register 0x46D; NIT errors in Register 0x46E; Unexpected Control Character errors in Register 0x46F.

3.6.4 Error counters and IRQ control: Use Registers 0x46D to 0x46F to reset or disable error counting and reset the IRQ signals of the specified lanes. Note that these registers are the same as those reporting that

error counts exceed the threshold; therefore the readback value is not the written value. For each error type: 1. Select the link lane to access (Register 0x300[2]=0 for link 0, =1 for link 1; with link 1, link lane x refers to logical lane x+4). 2. Decide whether to reset the IRQ signal, disable, or reset the error count of the specified lane and error type. 3. Per Table 48, write the link lane and the required reset or disable operation into Registers 0x46D to 0x46F.

3.6.4.1 Monitoring errors via SYNCOUTx±: When one or more Disparity, NIT or Unexpected Control Character errors occur, the errors are reflected onto the SYNCOUTx± pin per Section 7.6 of the JESD204B specification. The specification states that when an error occurs, SYNCOUTx± issues a synchronization request lasting two frame periods. The SXD020 can set the SYNCOUTx± pulse width; the configuration for a 2-frame-period pulse width is shown in Table 49.

3.6.4.2 IRQs for Disparity, NIT, Unexpected Control Character: For these errors, the error count exceeding the threshold can be an IRQ event. Enable these events by writing Register 0x47A[7:5]; after enabling the IRQ, the IRQ event status can be read at the same address (Register 0x47A[7:5]).

3.6.4.3 Link reinitialization on errors: Per Section 7.1 of the JESD204B specification, when four invalid Disparity characters are received, the link automatically reinitializes. When link reinitialization occurs, the resynchronization request is 5 frame clocks and 9 bytes long. When the Disparity, NIT or Unexpected Control Character error count reaches the threshold, the user can choose whether to reinitialize the link. To enable reinitialization for an error type: 1. Set THRESHOLD_MASK_EN (Register 0x477[3]) to 1. Note that when this bit is set, unmasked errors do not saturate at the error-count threshold or maximum. 2. Per Table 50, set the SYNC_ASSERTION_MASK register (Register 0x47B[7:5]) to enable the sync request for each error type. 3. Set the required error-counter threshold in ERRORTHRES (Register 0x47C). 4. For each error type enabled in SYNC_ASSERTION_MASK, if the error counter on any lane reaches the programmed threshold, SYNCOUTx± is pulled low, issuing a synchronization request. Note that when link reinitialization occurs, all error counts are reset. The IRQ does not reset automatically and must be reset manually.

3.6.5 Monitoring CGS, frame synchronization, checksum and ILAS: By monitoring Registers 0x470 to 0x473, completion of each stage of JESD204B link establishment can be verified. Configure Register 0x300[2] to 0 to monitor link 0 lane status; to 1 to monitor link 1. If link lane x has received at least 4 /K28.5/ characters and completed CGS, bit x of CODE_GRP_SYNC (Register 0x470) is high. If link lane x has completed initial frame synchronization, bit x of FRAME_SYNC (Register 0x471) is high. If the checksum sent via the lane during ILAS matches the checksum calculated from the sent JESD204B parameters, bit x of GOOD_CHECKSUM (Register 0x472) is high. If Register 0x300[6] is 0 (default), the calculated checksum is the low 8 bits of the sum of DID, BID, LID, L−1, F−1, K−1, M−1, N−1, SUBCLASSV, NP−1, JESDV, S−1 and HD. If Register 0x300[6] is 1, the calculated checksum is the low 8 bits of the sum of Registers 0x400 to 0x40C plus LID. If link lane x has passed ILAS, bit x of INIT_LANE_SYNC (Register 0x473) is high.

3.6.5.1 IRQs for CGS, frame sync, checksum and ILAS: The fault signals of CGS, frame synchronization, checksum and ILAS can be IRQ events. Enable them by writing Register 0x47A[3:0]; after enabling the IRQ, the IRQ event status can be read at the same address (Register 0x47A[3:0]). Write 1 to Register 0x470[7] to reset the CGS IRQ; Register 0x471[7] for frame-sync IRQ; Register 0x472[7] for checksum IRQ; Register 0x473[7] for ILAS IRQ.

3.6.5.2 Link-configuration mismatch IRQ: The SXD020 has a link-configuration mismatch flag that can be an IRQ event. Enable the mismatch flag via Register 0x47B[3] (enabled by default), then use Register

0x47B[4] to read back its status and reset the IRQ signal. See Section 8. A configuration-mismatch event flag is high when the receiver link-parameter configuration (Registers 0x450 to 0x45D) does not match the JESD204B transmitter link-parameter configuration (Registers 0x400 to 0x40D). All of these registers are paged per link (Register 0x300). This function differs from the GOOD_CHECKSUM flag in Register 0x472: GOOD_CHECKSUM ensures the checksum sent by the transmitter matches the checksum calculated from the transmitter link parameters; the link-configuration mismatch event ensures the transmitter link-parameter configuration matches the receiver link-parameter configuration.

中文 — 3.6.1： 根据 JESD204B 规范第 7.6 节的规定，SXD020 可以检测到 Disparity 错误，Not in Table(NIT)错误和 Unexpected Control Character 错误，并可以选择在错误发生时发出同步请求和重新初始化链路。需要注意的是，Disparity 错误计数器会计算所有的无效的 Disparity 字符，无论它们是否在 8b/10b 解码表中。这是与 JESD204B 规范的一个小区别，因为 JESD204B 规范只对 8b/10b 解码表中的字符出现 Disparity 错误时才会计数。3.6.2 检查错误计数：错误计数可以检查 Disparity 错误，NIT 错误和 Unexpected Control Character 错误。错误计数是以每个 Lane 和每个错误类型为基础的。请注意，Lane 选择和计数器选择被写入寄存器 0x46B，错误计数从同一地址读回。要检查错误计数，必须执行以下步骤。1. 选择需要查看的链路 Lane 和计数器的错误类型。根据表 47，写入寄存器 0x46B。要选择一个链路 Lane，首先选择一个链路（寄存器 0x300[2]=0 选择链路 0，或寄存器 0x300[2]=1 选择链路 1）。注意，当使用链路 1 时，链路 Lane x 指的是逻辑 Lane x+4。2. 从寄存器 0x46B 读取错误计数。注意最大错误计数等于在寄存器 0x47C 中设置的错误阈值。3.6.3 检查错误计数是否超过阈值：用户还可以通过检查寄存器以了解特定错误类型的错误计数是否已达到可编程的阈值。相同的错误阈值用于三种错误类型。错误计数器是以每个错误类型为基础的。检查错误计数是否超过阈值，按照以下步骤进行：1. 将所需的错误计数阈值编入 ERRORTHRES（寄存器 0x47C）。2. 回读每种错误类型的错误状态，看错误计数是否达到错误阈值。Disparity 错误在寄存器 0x46D 中报告。NIT 错误在寄存器 0x46E 中报告。Unexpected Control Character 错误在寄存器 0x46F 中报告。3.6.4 错误计数器和 IRQ 控制：使用寄存器 0x46D 到寄存器 0x46F 来重置或禁用错误计数，并重置指定 Lane 的 IRQ 信号。请注意，这些寄存器和报告错误计数超过阈值的寄存器是相同的。因此，回读值不是写入值。对于每个错误类型，请按照表 48 的步骤进行。3.6.4.1 通过 SYNCOUTx±监测错误：当出现一个或多个 Disparity，NIT 或 Unexpected Control Character 错误时，按照 JESD204B 规范第 7.6 节的规定，错误会反映到 SYNCOUTx±引脚。JESD204B 规范规定，当错误发生时，SYNCOUTx±信号会发出持续两个帧周期的同步请求。SXD020 可以设置 SYNCOUTx±的脉冲宽度。将 SYNCOUTx±脉冲宽度设置为 2 个帧周期的配置如表 49 所示。3.6.4.2 Disparity，NIT，Unexpected Control Character 的 IRQ：对于 Disparity、NIT 和 Unexpected Control Character 错误，错误计数超过阈值可作为 IRQ 事件使用。通过写入寄存器 0x47A[7:5]使能这些事件。使能 IRQ 后，可以在同一地址（寄存器 0x47A[7:5]）读取 IRQ 事件状态。3.6.4.3 根据错误重新进行链路初始化：根据 JESD204B 规范第 7.1 节的规定，当收到四个无效的 Disparity 字符时，链路自动进行重新初始化操作。当发生链路重新初始化时，重新同步请求为 5 个帧时钟和 9 个字节长。当 Disparity、NIT 或 Unexpected Control Character 错误数达到阈值时，用户可以选择是否重新初始化链路。对某一种错误类型开启重新初始化功能的过程如下：1. 设置 THRESHOLD_MASK_EN（寄存器 0x477[3]）为 1。注意，当该位被置位时，未屏蔽的错误在错误数阈值或最大值时都不会饱和。2. 根据表 50 设置 SYNC_ASSERTION_MASK 寄存器（寄存器 0x47B[7:5]），为每种类型的错误使能同步申请。3. 在 ERRORTHRES（寄存器 0x47C）中设置所需的错误计数器阈值。4. 对于 SYNC_ASSERTION_MASK 寄存器中使能的每种错误类型，如果任何 Lane 上的错误计数器达到编程的阈值，SYNCOUTx±拉低，发出同步请求。请注意，当链路重新初始化发生时，所有的错误计数都被重置。IRQ 不会自动复位，必须手动复位。3.6.5 监测 CGS, 帧同步, 校验和以及 ILAS：可以通过监控寄存器 0x470 至寄存器 0x473，以验证 JESD204B 链路建立的每个阶段是否完成。配置寄存器 0x300[2]为 0，以监测链路 0 的 Lane 状态；配置寄存器 0x300[2]为 1，监测链路 1 的 Lane 状态。如果链路 Lane x 接收到至少 4 个/K28.5/字符并完成 CGS，则 CODE_GRP_SYNC（寄存器 0x470）的位 x 为高。如果链路 Lane x 完成初始帧同步，FRAME_SYNC（寄存器 0x471）的位 x 为高。如果链路 Lane x 在 ILAS 期间通过 Lane 发送的校验和与根据发送的 JESD204B 参数计算出来的校验和相匹配，则 GOOD_CHECKSUM（寄存器 0x472）的位 x 为高。如果寄存器 0x300[6]为 0（默认值），则计算出的校验和为

以下字段之和的低 8 位：DID、BID、LID、L−1、F−1、K−1、M−1、N−1、SUBCLASSV、NP−1、JESDV、S−1 和 HD。如果寄存器 0x300[6] 为 1，则计算出的校验和是寄存器 0x400 到寄存器 0x40C 以及 LID 之和的低 8 位。如果链路 Lane x 通过 ILAS，则 INIT_LANE_SYNC（寄存器 0x473）的位 x 为高。3.6.5.1 CGS，帧同步，校验和以及 ILAS 的 IRQ：CGS、帧同步、校验和以及 ILAS 的故障信号可作为 IRQ 事件。通过写入寄存器 0x47A[3:0]使能它们。在使能 IRQ 后，可以在同一地址（寄存器 0x47A[3:0]）读取 IRQ 事件状态。寄存器 0x470[7]写 1，重置 CGS 的 IRQ。寄存器 0x471[7]写 1，重置帧同步 IRQ。寄存器 0x472[7]写 1，重置校验和 IRQ。寄存器 0x473[7]写 1，重置 ILAS IRQ。3.6.5.2 链路配置失配 IRQ：SXD020 有一个链路配置失配标志，可作为 IRQ 事件使用。通过寄存器 0x47B[3]使能该失配标志（默认情况下是使能的），然后使用寄存器 0x47B[4]回读其状态，同时重置 IRQ 信号。更多信息请参见 8、中断请求操作部分。当接收端链路参数配置（寄存器 0x450 到寄存器 0x45D）与 JESD204B 发送端链路参数配置（寄存器 0x400 至寄存器 0x40D）不匹配时，配置失配事件标志为高。所有这些寄存器都是按链路分页的（寄存器 0x300）。该功能与寄存器 0x472 中的 GOOD_CHECKSUM 标志不同。GOOD_CHECKSUM 标志确保发送端发送的校验和与基于发送端链路参数计算出的校验和相匹配。链路配置失配事件确保发送端的链路参数配置与接收端的链路参数配置相匹配。

表47 错误计数器 / Table 47. Error Counters

地址 / Address	位 / Bits	变量 / Variable	描述 / Description
0x46B	[6:4]	LaneSel	设置 LaneSel=x 以监控链路 Lane x 的错误计数 / Set LaneSel=x to monitor link lane x
0x46B	[1:0]	CntrSel	CntrSel=0b00 对应 Bad Running Disparity 计数器；0b01 对应 Not in Table 错误计数器；0b10 对应 Unexpected Control Character 计数器 / 0b00 = Bad Running Disparity; 0b01 = Not in Table; 0b10 = Unexpected Control Character

表48 错误计数器和 IRQ 控制：Disparity（寄存器 0x46D），NIT（寄存器 0x46E），Unexpected Control Character（寄存器 0x46F）/ Table 48. Error Counter and IRQ Control

位 / Bit	变量 / Variable	描述 / Description
7	RstIRQ	RstIRQ=1 重置位[2:0]中选择的 Lane 的 IRQ 信号 / Resets the IRQ of the lane selected in bits[2:0]
6	Disable_ErrCnt	Disable_ErrCnt=1 禁用在位[2:0]中选择的 Lane 的错误计数 / Disables error counting of the selected lane
5	RstErrCntr	RstErrCntr=1 重置在位[2:0]中选择的 Lane 的错误计数 / Resets the error count of the selected lane
[2:0]	LaneAddr	LaneAddr=x 监测链路 Lane x 的错误计数 / Monitors link lane x

表49 设置 SYNCOUTx±错误脉冲宽度为 2 个帧周期 / Table 49. Setting the SYNCOUTx± Error Pulse Width to 2 Frame Periods

JESD204B 工作模式 / Mode	PClockFactor (Frame/PClock)	SYNCB_ERR_DUR（寄存器 0x312[5:4]）/ Register 0x312[5:4]
0, 4, 9	4	0（默认值 / default）
1, 2, 5, 6, 10	2	1
3, 7	1	2

表50 SYNC_ASSERT_MASK / Table 50. SYNC_ASSERT_MASK

地址 / Address	位 / Bit	变量 / Variable	描述 / Description
0x47B	7	BADDIS_S	设置为 1，当 Disparity 错误计数达到阈值时，拉低 SYNCOUTx± / Set to 1: pull SYNCOUTx± low when the Disparity count reaches the threshold

地址 / Address	位 / Bit	变量 / Variable	描述 / Description
0x47B	6	NIT_S	设置为 1，当 NIT 错误计数达到阈值时，拉低 SYNCOUTx± / Set to 1: pull SYNCOUTx± low when the NIT count reaches the threshold
0x47B	5	UCC_S	设置为 1，当 Unexpected Control Character 错误计数达到阈值时，拉低 SYNCOUTx± / Set to 1: pull SYNCOUTx± low when the UCC count reaches the threshold

4、数字处理通路 / 4. Digital Datapath

English: Table 51 shows the block diagram of the digital datapath. Digital processing includes an input power-detection block, three half-band interpolation filters, a quadrature modulator consisting of a fine-resolution NCO modulator and fDAC/4, fDAC/8 coarse modulators, an inverse-Sinc filter, and gain, phase, DC-offset and group-delay adjustment blocks. The digital datapath consists of two identical paths. Each path processes a pair of digital signals input from the JESD204B transport layer and feeds them to a pair of DACs. The interpolation mode processes the pair of signals as independent data streams. The coarse and fine modulation blocks require the data stream to be up-converted to be a pair of I/Q signals.

中文： 表 51 显示了数字处理通路的框图。数字处理包括一个输入功率检测块，三个半带插值滤波器，一个由精细分辨率 NCO 调制器和 fDAC/4、fDAC/8 粗调调制器组成的正交调制器，一个反 Sinc 滤波器，以及增益、相位、直流失调和群延迟调节模块。数字处理通路由两个相同的路径组成。每个通路处理一对从 JESD204B 传输层输入的数字信号，并输入到一对 DAC。插值模式将这对信号作为独立的数据流进行处理。粗调和细调模块要求要进行上变频的数据流是一对 I/Q 信号。

表51 数字处理通路总体框图 / Table 51. Digital Datapath Overall Block Diagram（框图：输入功率检测和保护 → 内插 → 粗调制/精调制 → 反 SINC 滤波器 → 数字增益/相位调节/失调调节 → DAC 核 / Diagram: input power detection and protection → interpolation → coarse/fine modulation → inverse-Sinc filter → digital gain/phase/offset adjustment → DAC cores）

4.1 双页控制 / 4.1 Dual-Page Control

English: The digital-datapath registers are paged to allow independent configuration of either DAC pair or simultaneous configuration of both DAC pairs. Table 52 shows how to use the dual-page registers. Functions that can be page-controlled include input data format, downstream protection, interpolation, modulation, inverse Sinc, digital gain, phase offset, DC offset, group delay, IQ swap, datapath PRBS, LMFC synchronization, NCO alignment and DAC operating mode.

中文： 数字处理通路寄存器被分页以允许独立配置任一 DAC 对或同时配置两个 DAC 对。表 52 显示了如何使用双页寄存器。一些功能可以进行分页控制，如输入数据格式、下游保护、插值、调制、反 Sinc、数字增益、相位偏移、直流失调、群延迟、IQ 交换、数据路径 PRBS、LMFC 同步、NCO 对齐和 DAC 工作模式等。

表52 双页控制模式 / Table 52. Dual-Page Control Modes

PAGEINDX（寄存器 0x008[1:0]）/ Register 0x008[1:0]	配置的 DAC 对 / Configured DAC Pair	配置的 DAC / Configured DACs
1	A	DAC0 和 DAC1 / DAC0 and DAC1
2	B	DAC2 和 DAC3 / DAC2 and DAC3
3（默认值 / default）	A 和 B / A and B	

PAGEINDX（寄存器 0x008[1:0]）/ Register 0x008[1:0]	配置的 DAC 对 / Configured DAC Pair	配置的 DAC / Configured DACs
		DAC0、DAC1、DAC2 和 DAC3 / DAC0–DAC3

4.2 数据格式 / 4.2 Data Format

English: BINARY_FORMAT (Register 0x110[7], page-controllable per 4.1) controls the expected input data format. The default is 0, meaning the input data must be in two's complement. It can also be set to 1, meaning the input data are offset binary (0x0000 is negative full scale, 0xFFFF is positive full scale).

中文： BINARY_FORMAT（寄存器 0x110[7]，可按照 4.1 双页控制部分的描述进行分页控制）控制预期的输入数据格式。默认情况下是 0，这意味着输入的数据必须是 2 的补码。也可以被设置为 1，这意味着输入数据是偏移二进制码（0x0000 是负满度，0xFFFF 是正满度）。

4.3 内插模式 / 4.3 Interpolation Modes

English: Interpolation increases the sampling rate of the digital signal and can also be bypassed. The transmit path contains three half-band interpolation filters, each of which can increase the output sampling rate by 2× and has low-pass filter functionality. Table 53 shows how to select each available interpolation mode, their usable bandwidths and their maximum data rates. Note: fDATA = fDAC / InterpolationFactor.

4.3.1 Filter performance: Interpolation modes increase the digital-signal sampling rate by 2, 4 or 8×. Figure 60 shows the filter magnitude response of each interpolation mode. Usable bandwidth is defined as the band over which the filter passband ripple is less than ±0.001 dB and the image rejection is greater than 85 dB.

4.3.2 Filter performance beyond the specified bandwidth: The specified bandwidth of the interpolation filters is 0.4×fDATA, but the filters can be used slightly beyond this value at the cost of increased passband ripple and reduced interpolation image rejection. Figure 61 shows the performance of the interpolation filters beyond 0.4×fDATA. Note that the ripple increases much more slowly than the image rejection decreases. This means that if the application can tolerate a reduction in the image rejection of the interpolation filters, more bandwidth can be used.

中文： 内插增加了数字信号的采样率，也可以被旁路。发送路径包含三个半带插值滤波器，每个滤波器都能使输出采样率增加 2 倍，并具有低通滤波器功能。表 53 显示了如何选择每个可用的插值模式、它们的可用带宽和它们的最大数据速率。请注意：fDATA = fDAC/InterpolationFactor。4.3.1 滤波器性能：插值模式将数字信号的采样率提高 2、4 或 8 倍。图 60 显示了每种插值模式的滤波器幅度响应。可用带宽的定义是：滤波器的通带纹波小于±0.001 dB 和镜像抑制大于 85 dB 的频带。4.3.2 超过规定带宽的滤波器性能：插值滤波器规定的带宽为 0.4×fDATA，而滤波器的使用可以略微超过这个值，代价是增加了通带波纹和降低了插值镜像抑制。图 61 显示了超过 0.4×fDATA 的内插滤波器的性能。请注意，纹波的增加比镜像抑制的减少慢得多。这意味着，如果应用可以容忍插值滤波器的镜像抑制的下降，则可以使用更多的带宽。

表53 内插模式和可用带宽 / Table 53. Interpolation Modes and Usable Bandwidth

内插模式 / Interpolation Mode	INTERPMODE（寄存器 0x112[2:0]）/ Register 0x112[2:0]	可用带宽 / Usable Bandwidth
1×	0x00	0.5 × fDATA

内插模式 / Interpolation Mode	INTERPMODE（寄存器 0x112[2:0]）/ Register 0x112[2:0]	可用带宽 / Usable Bandwidth
2×	0x01	0.4 × fDATA
4×	0x03	0.4 × fDATA
8×	0x04	0.4 × fDATA

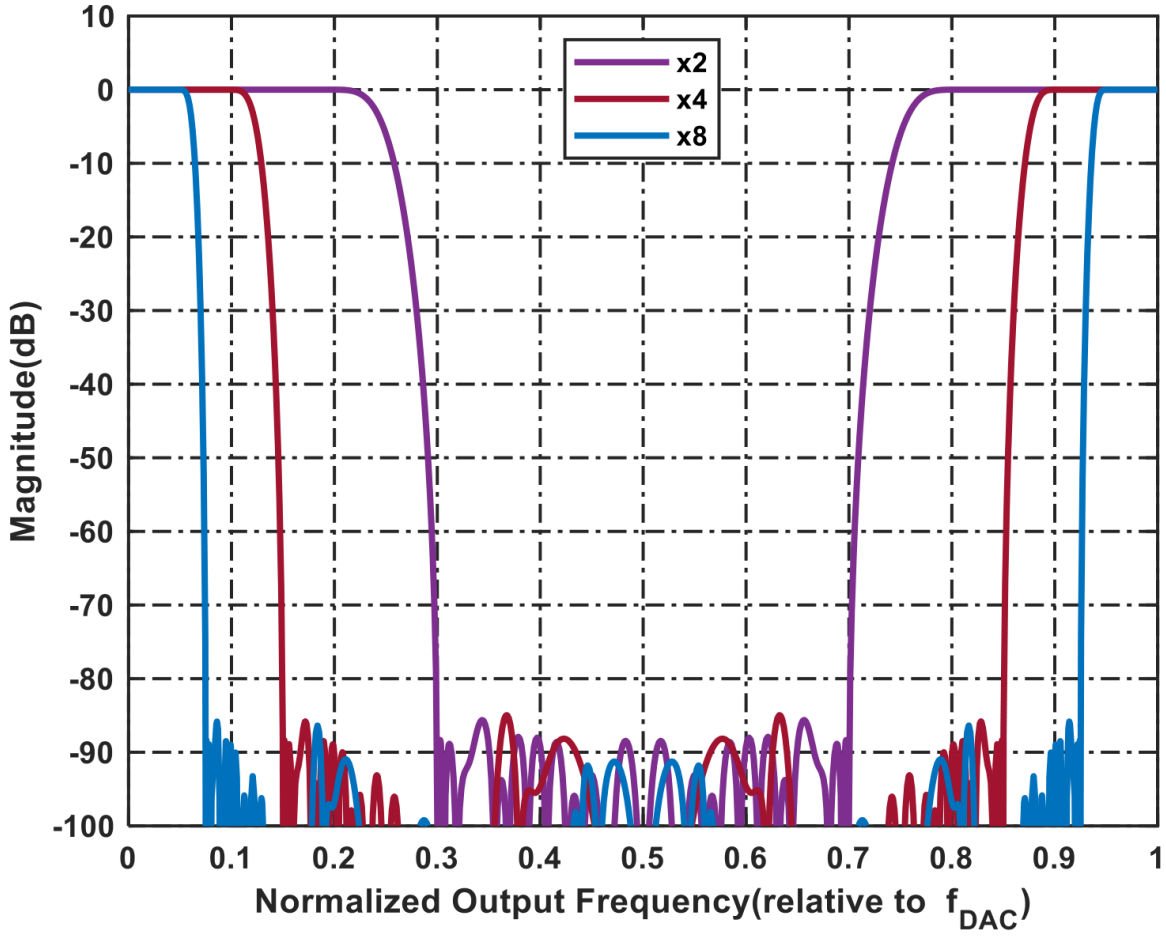


Figure 60: Interpolation filter magnitude response

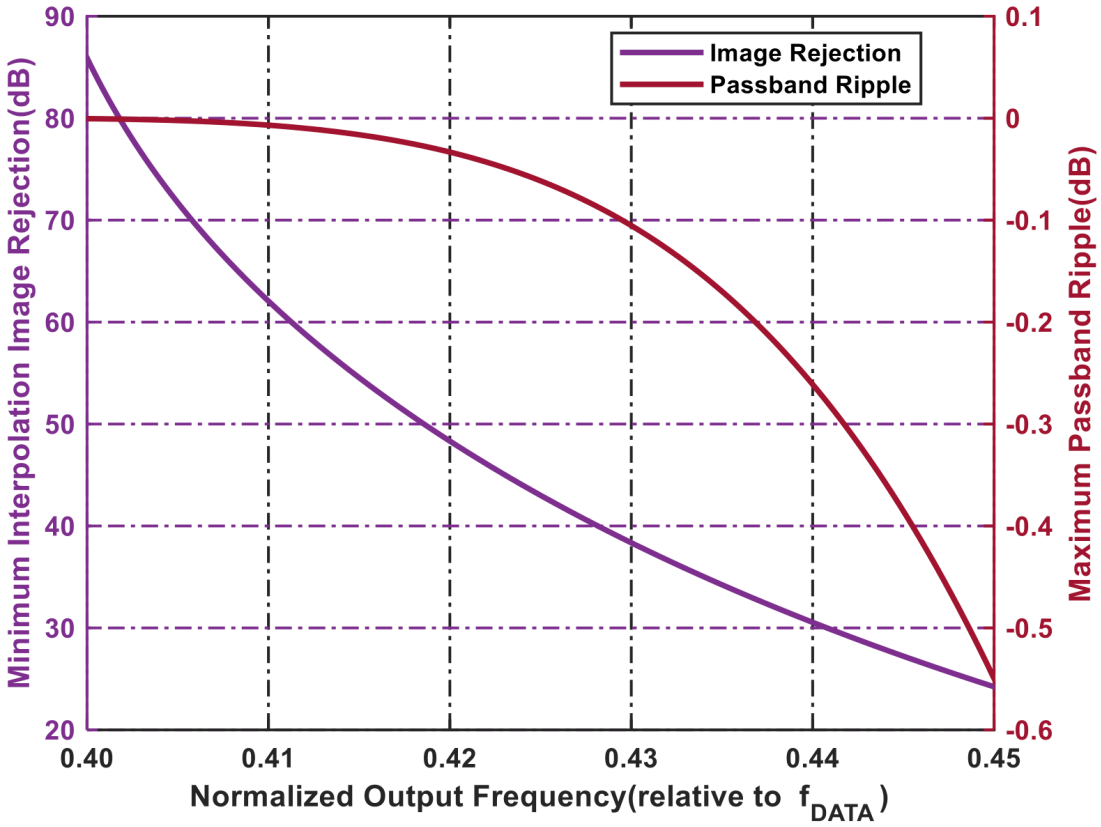


Figure 61: Interpolation filter performance beyond the specified bandwidth

4.4 数字调制 / 4.4 Digital Modulation

English: The SXD020 includes modulation function blocks that can up-convert I/Q quadrature signals to an intermediate-frequency (IF) frequency in the digital domain. Coarse modulation modes (fDAC/4 and fDAC/8) up-convert a pair of I/Q digital signals to one of the selected IFs. The NCO fine-modulation mode up-converts an I/Q signal pair to the programmed NCO IF frequency. Modulation mode selection is shown in Table 54 and can be page-controlled per 4.1.

4.4.1 NCO fine modulation: This modulation mode uses an NCO, a phase shifter and a complex modulator to up-convert a pair of I/Q digital signals to an IF frequency in the first Nyquist zone. Figure 62 shows the NCO modulator block diagram. It can place the output signal anywhere in the spectrum with very fine frequency resolution. The NCO generates a pair of quadrature carriers that translate the input signal to a new center frequency. The quadrature carriers are a pair of sine waves of the same frequency, 90° apart in phase. The frequency of the quadrature carriers is set by the frequency tuning word (FTW). The quadrature carriers are mixed with the I and Q data and summed into the I and Q output datapaths, as shown in Figure 62. The 48-bit NCO operates in integer-NCO mode, and the FTW is obtained from: −fDAC/2 ⩽ fCARRIER < +fDAC/2; FTW = (fCARRIER/fDAC) × 2^48, where FTW is a 48-bit two's complement number. FTW settings are shown in Table 55. Unlike other registers, the FTW registers do not update immediately after being written, but on the rising edge of FTW_UPDATE_REQ (Register 0x113[0]). After an update request, FTW_UPDATE_ACK (Register 0x113[1]) high indicates the FTW has been updated. The SEL_SIDEBAND bit (Register 0x111[1], page-controllable per 4.1) can be set to use the negative modulation result, equivalent to inverting the sign of the FTW.

4.4.2 NCO phase offset: The NCO phase-offset function allows rotation of the I and Q phases. Unlike phase adjustment, this function moves the phases of the I and Q channels together. The NCO phase offset can only be used with NCO fine modulation. −180° ≤ DegreesOffset < +180°; PhaseOffset = (DegreesOffset/180°) × 2^15, where PhaseOffset is a 16-bit two's complement number. NCO phase-offset settings are shown in Table 56 and can be page-controlled per 4.1.

中文： SXD020 包括调制功能模块，可以在数字域中将 I/Q 正交信号上变频到中频(IF)频率。粗调模式（fDAC/4 和 fDAC/8）将一对 I/Q 数字信号上变频到所选中频之一。NCO 精细调制模式将 I/Q 信号对上变频到编程的 NCO IF 频率。调制模式的选择如表 54 所示，并可按照 4.1 双页控制部分的描述进行分页控制。4.4.1 NCO 精细调制：这种调制模式使用 NCO、移相器和复调制器将 I/Q 数字信号对上变频到第一奈奎斯特区的 IF 频率。图 62 显示了 NCO 调制器的框图。它可以将输出信号放在频谱的任何地方，且具有非常精细的频率分辨率。NCO 产生一对正交载波，将输入信号转换到一个新的中心频率。正交载波是一对频率相同的正弦波，相位相互错开 90°。正交载波的频率是通过频率调谐字(FTW)设定的。将正交载波与 I 和 Q 数据混频，然后求和送入 I 和 Q 输出数据通路，如图 62 所示。48 位 NCO 工作在整数 NCO 模式，可以用下面的公式得到 FTW。−fDAC/2 ≤ fCARRIER < +fDAC/2；FTW = (fCARRIER/fDAC) × 248。其中 FTW 是 48 位的 2 的补码。频率调谐字的设置如表 55 所示。与其他寄存器不同的是，FTW 寄存器不是在写入后立即更新，而是在 FTW_UPDATE_REQ（寄存器 0x113[0]）的上升沿更新。更新请求后，FTW_UPDATE_ACK（寄存器 0x113[1]）为高表示 FTW 已更新。SEL_SIDEBAND 位（寄存器 0x111[1]，可以按照 4.1 双页控制部分的描述进行分页控制）可以设置使用负调制结果，相当于翻转 FTW 的正负。4.4.2 NCO 相位偏移：NCO 相位偏移功能允许 I 和 Q 相位的旋转。与相位调节不同，该功能将 I 和 Q 通道的相位一起移动。NCO 相位偏移只有在使用 NCO 精细调制时才能使用。−180°≤ DegreesOffset < +180°；PhaseOffset = (DegreesOffset/180°) × 215。其中 PhaseOffset 是一个 16 位的 2 的补码。NCO 相位偏移的设置如表 56 所示，并可以按照 4.1 双页控制部分的描述进行分页控制。

表54 调制模式选择 / Table 54. Modulation Mode Selection

调制模式 / Modulation Mode	MODULATION_TYPE（寄存器 0x111[3:2]）/ Register 0x111[3:2]
无调制 / No modulation	0b00
NCO 精细调制 / NCO fine modulation	0b01
fDAC/4 粗调制 / fDAC/4 coarse modulation	0b10
fDAC/8 粗调制 / fDAC/8 coarse modulation	0b11

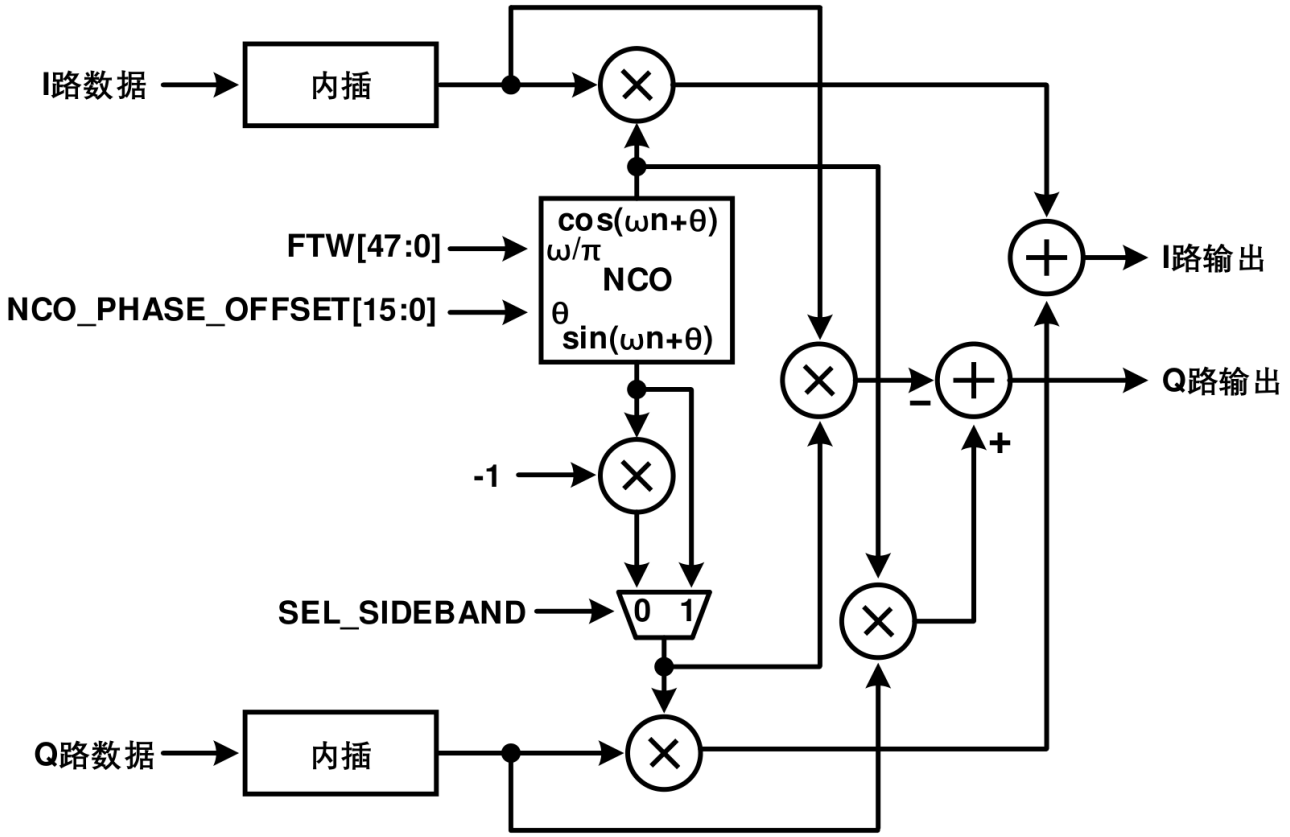


Figure 62: NCO modulator functional block diagram

表55 NCO FTW 寄存器 / Table 55. NCO FTW Registers

地址 / Address	值 / Value	描述 / Description
0x114	FTW[7:0]	FTW 的 8 位 LSB / 8 LSBs of the FTW
0x115	FTW[15:8]	FTW 的下一个 8 位 / Next 8 bits of the FTW
0x116	FTW[23:16]	FTW 的下一个 8 位 / Next 8 bits
0x117	FTW[31:24]	FTW 的下一个 8 位 / Next 8 bits
0x118	FTW[39:32]	FTW 的下一个 8 位 / Next 8 bits
0x119	FTW[47:40]	FTW 的 8 位 MSB / 8 MSBs of the FTW

表56 NCO 相位偏移寄存器 / Table 56. NCO Phase-Offset Registers

地址 / Address	值 / Value
0x11A	NCO_PHASE_OFFSET[7:0]
0x11B	NCO_PHASE_OFFSET[15:8]

4.5 反 SINC 滤波器 / 4.5 Inverse-Sinc Filter

English: The DAC itself has a frequency characteristic with Sinc amplitude roll-off. This characteristic is shown in red in Figure 63. The SXD020 provides a digital inverse-Sinc function to compensate this frequency roll-off. The filter is enabled by setting the INVSINC_ENABLE bit (Register 0x111[7], page-controllable per 4.1). The inverse-Sinc filter is enabled by default. Figure 63 shows the Sinc roll-off

frequency response in the first Nyquist zone in normal operating mode, the inverse-Sinc filter frequency response, and the combined response. The combined response has less than ±0.05 dB passband ripple at 0.4×fDACCLK. To provide the necessary peaking at the upper end of the passband, the inverse-Sinc filter shown has an intrinsic insertion loss of about 3.8 dB near DC; in many cases this loss can be partially compensated as described in 4.6.1 Digital Gain. Figure 64 shows the Sinc roll-off, inverse-Sinc and combined responses in the second Nyquist zone in mix-mode. It can be seen that in mix-mode, if operation in the second Nyquist zone is selected, turning off the inverse-Sinc filter can be considered for the fundamental flatness specification. Figure 65 shows the corresponding responses in the third Nyquist zone in mix-mode; here the inverse-Sinc filter can compensate the Sinc roll-off to a certain extent.

中文： DAC 自身具有 Sinc 振幅滚降的频率特性。该特性在图 63 中以红色显示。SXD020 提供了一个数字反 Sinc 功能以补偿这种频率上的滚降。通过设置 INVSINC_ENABLE 位（寄存器 0x111[7]，可以按照 4.1 双页控制部分的描述进行控制）可以使能该滤波器。默认情况下反 Sinc 滤波器是使能的。图 63 显示了正常工作模式下奈奎斯特一区的 Sinc 滚降的频率响应、反 Sinc 滤波器频率响应以及联合响应。联合响应在 0.4×fDACCLK 的频率下具有小于±0.05 dB 的通带纹波。为了在通带的上端提供必要的峰值，所示的反 Sinc 滤波器在 DC 附近有一个大约 3.8dB 的内在插入损耗；在许多情况下，这部分损耗可以按照 4.6.1 数字增益部分的描述进行部分补偿。图 64 显示了混频工作模式下奈奎斯特二区的 Sinc 滚降的频率响应、反 Sinc 滤波器频率响应以及联合响应。可见，在混频工作模式下，如果选择在奈奎斯特二区工作，针对基波平坦度指标，可以考虑关闭反 Sinc 滤波。图 65 显示了混频工作模式下奈奎斯特三区的 Sinc 滚降的频率响应、反 Sinc 滤波器频率响应以及联合响应。此时反 Sinc 滤波器可以对 Sinc 滚降进行一定程度的补偿。

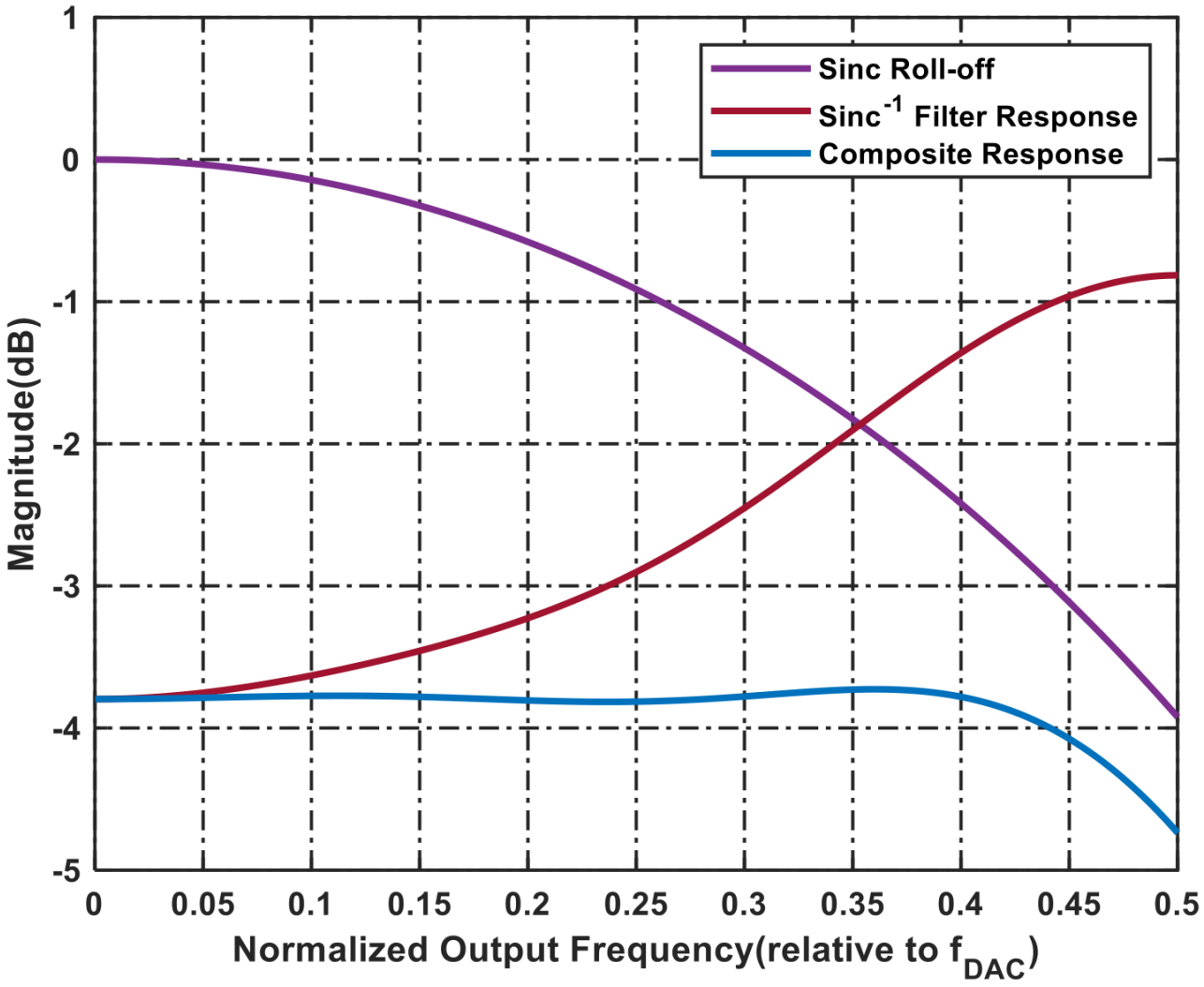


Figure 63: Sinc roll-off, inverse-Sinc filter response and combined response, normal mode, first Nyquist zone

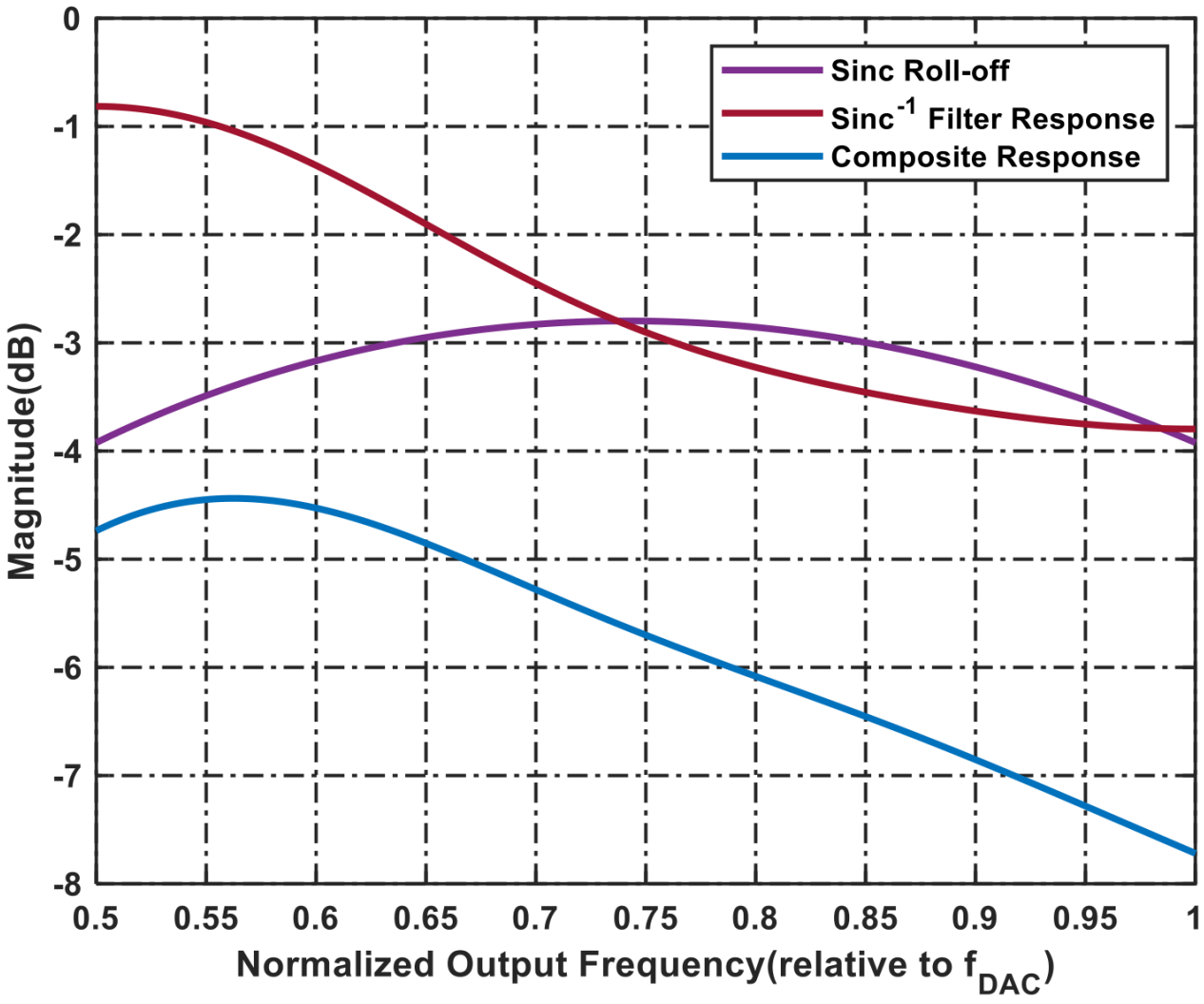


Figure 64: Sinc roll-off, inverse-Sinc filter response and combined response, mix-mode, second Nyquist zone

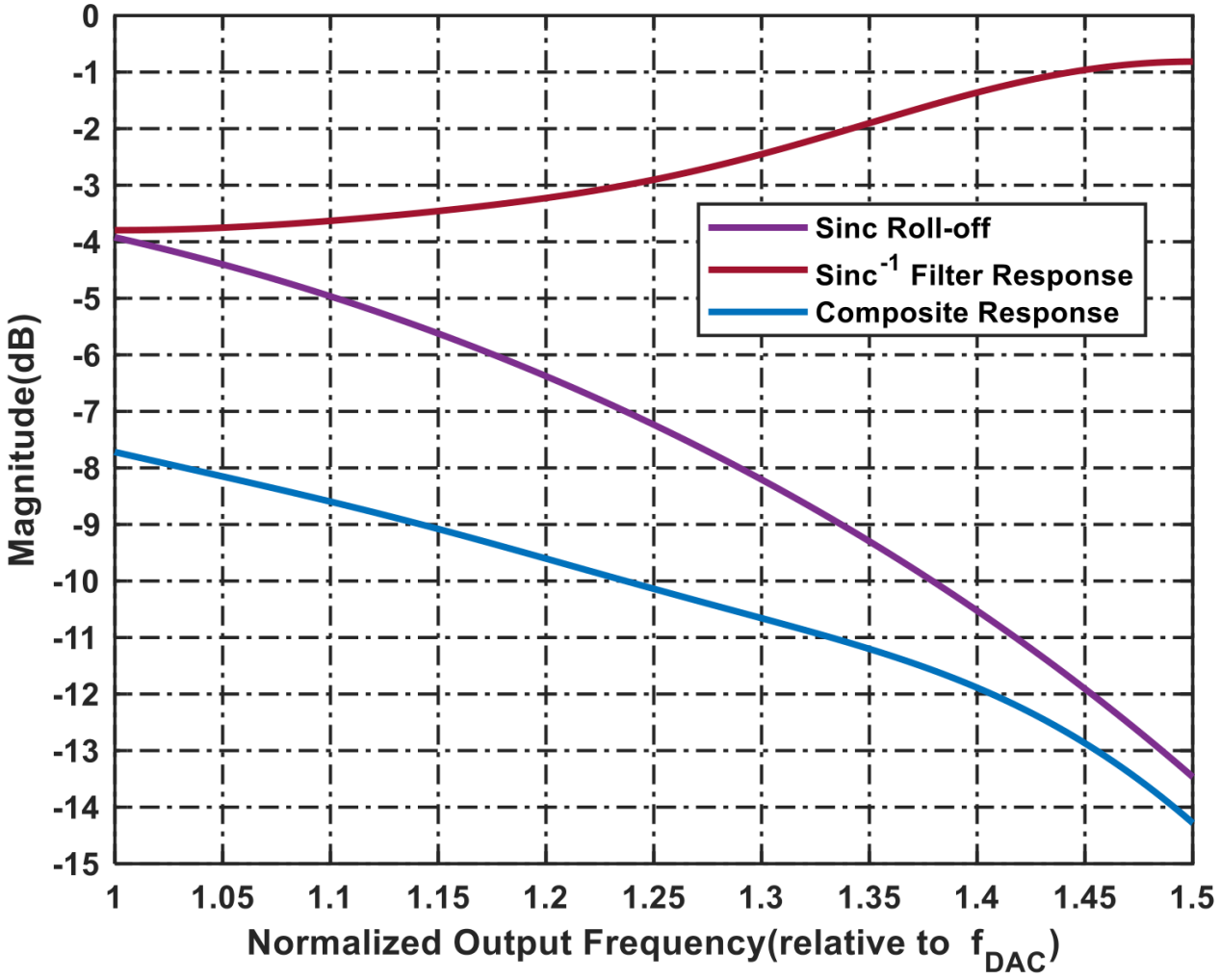


Figure 65: Sinc roll-off, inverse-Sinc filter response and combined response, mix-mode, third Nyquist zone

4.6 数字增益、相位调节、直流偏移和群延迟 / 4.6 Digital Gain, Phase Adjustment, DC Offset and Group Delay

English: Digital gain, phase adjustment and DC offset (described in 4.6.1, 4.6.2 and 4.6.3 respectively) allow compensation of imbalances caused by analog mismatches among the DAC I/Q outputs, the quadrature modulator I/Q baseband inputs, and the I/Q paths of the DAC/modulator interface. These imbalances cause two problems. An unwanted, high-energy sideband signal appears at the quadrature modulator output; digital gain and phase adjustment are used to remove this signal. Adjusting the quadrature gain and phase-adjustment values can optimize complex image rejection in single-sideband RF applications, or optimize error vector magnitude (EVM) in zero-IF (ZIF) architectures. LO leakage at the output of the quadrature modulator following the SXD020 in the signal chain can be removed by adjusting the DC current output of each DAC driving the modulator signal inputs.

4.6.1 Digital gain: Digital gain can independently adjust the amplitude of each digital signal sent to a DAC. The digital gain code can be held at its default value, which provides 0 dB of digital back-off (gain of 1), or programmed to provide greater digital back-off. Digital gain can be programmed to introduce an I/Q-pair gain imbalance to help the quadrature modulator following the SXD020 in the signal chain remove the unwanted SSB sideband. Digital gain is enabled by default and must not be disabled. The required amount of digital gain (GainCode) can be programmed in the registers shown in Table 57: 0 ⩽ Gain ⩽

4095/2048; −∞ dB ⩽ dBGain ⩽ 6.018 dB; Gain = GainCode × (1/2048); dBGain = 20 × log10(Gain); GainCode = 2048 × Gain = 2048 × 10^(dBGain/20), where GainCode is a 12-bit unsigned binary number. I/Q digital gain settings are shown in Table 57 and can be page-controlled per 4.1.

4.6.2 Phase adjustment: Normally, the angle between the I and Q channels of each DAC pair is 90°. The phase-adjustment function can change the angle between the I and Q channels to balance the phase into the modulator. −14° ⩽ DegreesAdjust < 14°; PhaseAdj = (DegreesAdjust/14) × 2^12, where PhaseAdj is a 13-bit two's complement number. Phase-adjustment settings are shown in Table 58 and can be page-controlled per 4.1.

4.6.3 DC offset: The DC-offset function individually offsets the data sent to the I or Q DAC. This function can remove LO leakage at the modulator output. As shown in Table 59, the I and Q offsets are programmed separately; the control code is a 16-bit two's complement number in LSB units, plus a 5-bit two's complement number in units of one sixteenth of an LSB. DC offset can be page-controlled per 4.1. −2^15 ⩽ LSBsOffset < 2^15; −16 ⩽ SixteenthsOffset ⩽ 15.

4.6.4 Coarse group delay: Coarse group delay is a global adjustment of the DAC latency that affects both DACs of an I/Q signal pair identically. The coarse group-delay range is +7/−8 steps. Each step is 1/2 DAC clock period. The default value is 0x8, i.e. zero delay. It is useful in applications where the user needs precise adjustment of the DAC-path latency (e.g. DPD loop latency adjustment). Write the required group-delay value into COARSE_GROUP_DLY (Register 0x014); it can be page-controlled per 4.1.

4.6.5 Group-delay compensation: Group-delay compensation provides individual latency adjustment for the I or Q channel of each digital signal pair. The user can delay the I or Q output to adjust its quadrature. Table 60 shows the register settings for group-delay compensation. Register 0x046 is the group-delay compensation bypass register. GROUPDELAYCOMP[7:0] is binary; the default value 0x00 is zero delay compensation. Group-delay compensation paging is as described in 4.1.

中文： 数字增益、相位调节和直流偏移（分别如 4.6.1 数字增益部分、4.6.2 相位调节部分和 4.6.3 直流偏移部分所述）允许补偿 I 和 Q 路径中由于 DAC I/Q 输出、正交调制器 I/Q 基带输入和 DAC/调制器接口 I/Q 路径之间的模拟失配造成的不平衡。这些不平衡会导致以下两个问题。在正交调制器的输出出现一个不需要的能量很大的边带信号。使用数字增益和相位调节来消除这个信号。调整正交增益和相位调节值可以优化单边带射频应用中的复镜像抑制，或者可以优化零中频(ZIF)架构中的误差矢量幅度(EVM)。在信号链中 SXD020 后面的正交调制器输出端的 LO 泄露，可以通过调节驱动调制器信号输入的每个 DAC 的直流电流输出来消除。4.6.1 数字增益：数字增益可独立调节每个被送入 DAC 的数字信号的幅度。数字增益码字可以保持其默认值，即提供 0 dB 的数字回退（增益为 1），或者可以对其进行编程，以提供更大的数字回退。可以对数字增益进行编程，以引入 I/Q 对增益不平衡，帮助信号链中跟随 SXD020 的正交调制器消除不需要的 SSB 边带。数字增益在默认情况下是使能的，不得禁用。所需的数字增益(GainCode)量可以在表 57 所示的寄存器中编程。数字增益设置在以下公式中描述。0 ⩽ Gain ⩽ 4095/2048；−∞ dB ⩽ dBGain ⩽ 6.018 dB；Gain = GainCode × (1/2048)；dBGain = 20 × log10(Gain)；GainCode = 2048 × Gain = 2048 × 10dBGain/20。其中 GainCode 是一个 12 位无符号二进制数。I/Q 数字增益的设置如表 57 所示，并可以按照 4.1 双页控制部分的描述进行分页控制。4.6.2 相位调节：通常情况下，每个 DAC 对的 I 和 Q 通道之间的角度为 90°。相位调整功能可以改变 I 和 Q 通道之间的角度，从而平衡进入调制器的相位。-14°⩽ DegreesAdjust < 14°；PhaseAdj = (DegreesAdjust/14) × 212。其中 PhaseAdj 是一个 13 位的 2 的补码。相位调节的设置如表 58 所示，并可以按照 4.1 双页控制部分的描述进行分页控制。4.6.3 直流偏移：直流偏移功能将送到 I 或 Q DAC 的数据单独进行偏移。这个功能可以消除调制器输出的 LO 泄漏。如表 59 所示，I 和 Q 的偏移量被单独编程，控制码字是以 LSB 为单位的 16 位 2 的补码，加上以 LSB 的十六分之一为单位的 5 位 2 的补码。直流偏移量并可以按照 4.1 双页控制部分的描述进行分页控制。-215 ⩽ LSBsOffset < 215；-16 ⩽ SixteenthsOffset ⩽ 15。4.6.4 粗群延迟：粗群延迟是对 DAC 延迟的全局调整，它对

I/Q 信号对中的两个 DAC 产生相同的影响。粗群延迟的范围是+7/-8 步。每一步是 1/2 个 DAC 时钟周期。默认值为 0x8，即将延迟设置为零。在用户需要对 DAC 路径的延迟进行精确调整的应用中很有用（例如在 DPD 环路延迟调整中）。将需要的群延迟值写入 COARSE_GROUP_DLY（寄存器 0x014），可以按照 4.1 双页控制部分的描述进行分页控制。4.6.5 群延迟补偿：群延迟补偿为每个数字信号对中的 I 或 Q 通道提供单独的延迟调整能力。用户可以对 I 或 Q 输出进行延迟，以调整其正交性。表 60 显示了用于群延迟补偿的寄存器设置。寄存器 0x046 是群延时补偿旁路寄存器。GROUPDELAYCOMP[7:0]值为二进制，默认值 0x00 是延迟补偿为零。群延时补偿的分页方式如 4.1 双页控制部分所述。

表57 数字增益寄存器 / Table 57. Digital Gain Registers

地址 / Address	值 / Value	描述 / Description
0x111[5]	DIG_GAIN_ENABLE	在每次复位后设为 1 以使能数字增益 / Set to 1 after every reset to enable digital gain
0x13C	GAINCODEI[7:0]	I DAC 的数字增益码字的 LSB / LSBs of the I DAC digital gain code
0x13D	GAINCODEI[11:8]	I DAC 的数字增益码字的 MSB / MSBs of the I DAC digital gain code
0x13E	GAINCODEQ[7:0]	Q DAC 的数字增益码字的 LSB / LSBs of the Q DAC digital gain code
0x13F	GAINCODEQ[11:8]	Q DAC 的数字增益码字的 MSB / MSBs of the Q DAC digital gain code

表58 I/Q 相位调节寄存器 / Table 58. I/Q Phase-Adjustment Registers

地址 / Address	值 / Value	描述 / Description
0x111[4]	PHASE_ADJ_ENABLE	设为 1 以使能相位调节 / Set to 1 to enable phase adjustment
0x11C	PHASEADJ[7:0]	相位调节码字的 LSB / LSBs of the phase-adjustment code
0x11D	PHASEADJ[12:8]	相位调节码字的 MSB / MSBs of the phase-adjustment code

表59 直流偏移寄存器 / Table 59. DC-Offset Registers

地址 / Address	值 / Value	描述 / Description
0x135[0]	DC_OFFSET_ON	设为 1 以使能直流偏移 / Set to 1 to enable DC offset
0x136	LSBOFFSETI[7:0]	I DAC 直流偏移码字的 LSB / LSBs of the I DAC DC-offset code
0x137	LSBOFFSETI[15:8]	I DAC 直流偏移码字的 MSB / MSBs of the I DAC DC-offset code
0x138	LSBOFFSETQ[7:0]	Q DAC 直流偏移码字的 LSB / LSBs of the Q DAC DC-offset code
0x139	LSBOFFSETQ[15:8]	Q DAC 直流偏移码字的 MSB / MSBs of the Q DAC DC-offset code
0x13A[4:0]	SIXTEENTHOFFSETI	I DAC 直流偏移码字的 sub-LSB / Sub-LSB of the I DAC DC-offset code
0x13B[4:0]	SIXTEENTHOFFSETQ	Q DAC 直流偏移码字的 sub-LSB / Sub-LSB of the Q DAC DC-offset code

表60 群延迟补偿寄存器 / Table 60. Group-Delay Compensation Registers

地址 / Address	值 / Value	描述 / Description
0x046	GROUP_DELAY_CMOP_BYPASS	设为 3 以旁路 I 和 Q 通路的补偿 / Set to 3 to bypass I- and Q-path compensation
0x044	GROUP_DELAY_COMP_I[7:0]	I 通路的群延迟补偿位 / I-path group-delay compensation bits
0x045	GROUP_DELAY_COMP_Q[7:0]	Q 通路的群延迟补偿位 / Q-path group-delay compensation bits

4.7 IQ 互换 / 4.7 IQ Swap

English: I_TO_Q (Register 0x111[0], page-controllable per 4.1) can be set to 1 to send the I-path data to the Q DAC. Note that this swap occurs at the end of the datapath (after any modulation, digital gain, phase adjustment and phase offset). If M=1 is used in dual-link mode (see 2.9.2), this bit must be set to route data to the DAC3 output.

中文： 可以将 I_TO_Q（寄存器 0x111[0]，可以按照 4.1 双页控制部分的描述进行分页控制）设置为 1，使 I 通路数据发送到 Q DAC。注意，这个交换发生在数据路径的末端（在任何调制、数字增益、相位调节和相位偏移之后）。如果在双链路模式下使用 M=1（如 2.9.2 DAC 断电设置部分所述），则需要设置该位来引导数据到 DAC3 的输出。

4.8 NCO 对齐 / 4.8 NCO Alignment

English: The NCO alignment function block phase-aligns the NCO outputs of multiple converters. The SXD020 supports two NCO alignment modes. The first is SYSREF± alignment mode, which phase-aligns the NCO output to the rising edge of a SYSREF± pulse. The second alignment mode is data-key alignment: when this mode is enabled, the NCO output is aligned when the user-specified data pattern arrives at the DAC input. Note that NCO alignment is performed per DAC pair and can be page-controlled per 4.1.

4.8.1 SYSREF± NCO alignment: As with LMFC alignment, in Subclass 1 one SYSREF± pulse can phase-align the NCO outputs of multiple devices in the system and multiple channels on the same device. In Subclass 0, this alignment mode can align the NCO outputs within one device to the internal processing-clock edge; SYSREF± is not required in Subclass 0, but multi-chip alignment cannot be achieved. Steps: 1. Set NCOCLRMODE (Register 0x050[1:0]) to 0b01 for SYSREF± NCO alignment mode. 2. Set NCOCLRARM to 1 (Register 0x050[7]). 3. Perform LMFC alignment to force NCO phase alignment (see 3.3.8). Phase alignment occurs at the next SYSREF± edge. Note that in one-shot sync mode, LMFC alignment must be started by setting Register 0x03A[6]=1. In continuous mode or one-shot-then-monitor mode, LMFC alignment does not need to be started; NCO alignment executes automatically at the next SYSREF± edge. 4. Check the alignment status: if NCO phase alignment succeeded, NCOCLRPASS (Register 0x050[4]) is 1; if phase alignment failed, NCOCLRFAIL (Register 0x050[3]) is 1.

4.8.2 Data-key NCO alignment: In addition to SYSREF± alignment mode, the SXD020 supports another alignment mode in which NCO phase alignment occurs when user-specified data are seen at the DAC input. Steps: Set NCOCLRMODE (Register 0x050[1:0]) to 0b10. Write the expected 16-bit data keys of the I and Q datapaths into NCOKEYI (Registers 0x051 to 0x052) and NCOKEYQ (Registers 0x053 to 0x054) respectively. Set NCOCLRARM (Register 0x050[7]) to 1. Send the expected 16-bit I and Q data keys to the device to achieve NCO alignment. Check the alignment status: if the expected data key is seen at the DAC input, NCOCLRMTCH (Register 0x050[5]) = 1. If NCO phase alignment succeeded, NCOCLRPASS (Register 0x050[4]) = 1. If phase alignment failed, NCO_ALIGN_FAIL (Register 0x050[3]) = 1. Multi-device NCO alignment can be achieved via data-key alignment mode: program the same expected data key on all devices, arm all devices, then send the data key to all devices/channels at the same time.

4.8.3 NCO alignment IRQ: Whether NCO alignment is triggered can be an IRQ event. Use Register 0x021[4] to enable the DAC Dual A (DAC0 and DAC1) NCO-alignment-triggered IRQ, then use Register 0x025[4] to read back its status and reset the IRQ signal. Use Register 0x022[4] for DAC Dual B (DAC2 and DAC3), then Register 0x026[4] likewise. See Section 8.

中文： NCO 对齐功能模块对多个转换器的 NCO 输出进行相位对齐。SXD020 支持两种 NCO 对齐模式。第一种是 SYSREF±对齐模式，将 NCO 输出与 SYSREF±脉冲的上升沿相位对齐。第二种对齐模式是数据键对齐；使能该模式后，当用户指定的数据模式到达 DAC 输入时，将对齐 NCO 输出。请注意，NCO 对准是按 DAC 对进行的，可以按照 4.1 双页控制部分的描述进行分页控制。4.8.1 SYSREF±NCO 对齐：与 LMFC 对齐一样，在子类 1 中，一个 SYSREF±脉冲可以对系统中的多个器件和同一器件上的多个通道的 NCO 输出进行相位对齐。请注意，在子类 0 中，这种对齐模式可以将一个器件中的 NCO 输出与内部处理时钟边沿对齐。在子类 0 中不需要 SYSREF±，但不能实现多芯片对齐。实现 SYSREF NCO 对齐的步骤如下：1. 设置 NCOCLRMODE（寄存器 0x050[1:0]）等于 0b01，为 SYSREF±NCO 对齐模式。2. 将 NCOCLRARM 设置为 1（寄存器 0x050[7]）。3. 执行 LMFC 对齐以强制 NCO 相位对齐（参见 3.3.8 同步 LMFC 信号部分）。相位对齐发生在下一个 SYSREF±边缘。注意，如果是 One-shot 同步模式，必须通过设置寄存器 0x03A[6]=1 来启动 LMFC 对齐。如果在连续模式或 One-shot 然后监测模式下，不需要启动 LMFC 对齐；NCO 对齐在下一个 SYSREF±边沿自动执行。4. 检查对齐状态。如果 NCO 相位对齐成功，NCOCLRPASS（寄存器 0x050[4]）为 1。如果相位对齐失败，NCOCLRFAIL（寄存器 0x050[3]）为 1。4.8.2 数据键 NCO 对齐：除了支持 SYSREF±对齐模式外，SXD020 还支持另一种对齐模式，即当在 DAC 输入端看到用户指定的数据时，NCO 相位会发生对齐。实现数据键 NCO 对齐的步骤如下：设置 NCOCLRMODE（寄存器 0x050[1:0]）等于 0b10。将 I 和 Q 数据通路的预期 16 位数据键分别写入 NCOKEYI（寄存器 0x051 到寄存器 0x052）和 NCOKEYQ（寄存器 0x053 到寄存器 0x054）中。设置 NCOCLRARM（寄存器 0x050[7]）为 1。向器件发送预期的 16 位 I 和 Q 数据键，以实现 NCO 对齐。检查对齐状态。如果在 DAC 输入端看到预期的数据键，那么 NCOCLRMTCH（寄存器 0x050[5]）=1。如果 NCO 相位对齐成功，NCOCLRPASS(寄存器 0x050[4])=1。如果相位对齐失败，NCO_ALIGN_FAIL（寄存器 0x050[3]）=1。多个器件的 NCO 对齐可以通过数据键对齐模式实现。为了实现多芯片 NCO 对齐，在所有器件上编程相同的预期数据键，启动所有器件，然后在同一时间向所有器件/通道发送数据键。4.8.3 NCO 对齐的 IRQ：NCO 对齐是否被触发可以作为一个 IRQ 事件。使用寄存器 0x021[4]使能 DAC Dual A（DAC0 和 DAC1）NCO 对齐是否被触发 IRQ，然后使用寄存器 0x025[4]读回其状态并重置 IRQ 信号。使用寄存器 0x022[4]使能 DAC Dual B（DAC2 和 DAC3）NCO 对齐是否被触发，然后使用寄存器 0x026[4]读回其状态并重置 IRQ 信号。更多信息请参见 8、中断请求操作部分。

4.9 下游保护 / 4.9 Downstream Protection

English: The SXD020 contains several function blocks designed to protect the power amplifier (PA) and other downstream blocks in its board-level signal chain. It includes a power-detection-and-protection (PDP) block, a blanking state machine (BSM) and a transmit-enable state machine (Tx ENSM), as shown in Figure 66. The PDP block monitors the incoming data. If the sliding average of the data power exceeds a threshold, the PDP block generates a signal (PDP_PROTECT) that can be routed externally from the PDPOUT0 and PDPOUT1 pins. The Tx ENSM is a relatively simple block that controls the delay between the TXENx and Tx_PROTECT signals. The Tx_PROTECT signal is used as an input to the BSM, and its inverted signal can optionally be routed externally. The Tx ENSM can also optionally power down its associated DAC pair. The BSM slowly brings data into the DAC and flushes the datapath. The BSM is activated by the Tx_PROTECT signal, or automatically by the LMFC synchronization logic during rotation. The digital gain function must be enabled for correct operation. Finally, some simple logic uses the outputs of these blocks to generate the required PDPOUTx signal on the external pins. This signal can enable/disable downstream components such as power amplifiers.

4.9.1 Power detection and protection: The input-signal PDP block detects the average power of the DAC input signal and prevents out-of-range signals from being passed to the next stage. Out-of-range signals can cause destructive faults in power-sensitive devices (such as PAs). The protection function provides a signal (PDP_PROTECT) that can be routed externally to shut down the PA. The PDP block uses an independent path with less latency than the datapath, ensuring PDP_PROTECT is asserted before an out-

of-range signal reaches the analog DAC core. The sum of I^2 and Q^2 is computed as the input signal power (using only the top 7 MSBs of the data samples). The computed sample powers are accumulated through a sliding-average filter whose output is the average input signal power over a number of samples. When the filter output is greater than the threshold, the internal signal PDP_PROTECT goes high, and it can optionally be configured to trigger a signal on the PDPOUTx pins. PDP block configuration is shown in Table 61 and can be page-controlled per 4.1. How to select PDP_AVG_TIME (Register 0x062) and PDP_THRESHOLD[12:0] (Registers 0x060 to 0x061) for effective protection depends on the application; experiment with real-world carriers to ensure correct configuration. When the input signal power exceeds the set power threshold, the PDP_POWER[12:0] readback registers (Registers 0x063 to 0x064) can store the maximum power.

4.9.1.1 PDP IRQ: The PDP_PROTECT signal can be an IRQ event. Use Register 0x021[7] to enable PDP_PROTECT for Dual A (DAC0 and DAC1), then Register 0x025[7] to read back its status and reset the IRQ signal. Use Register 0x022[7] for Dual B (DAC2 and DAC3), then Register 0x026[7] likewise. See Section 8.

4.9.2 Transmit-enable state machine: The Tx ENSM is a simple block controlling the delay between the TXENx signal and the Tx_PROTECT signal. This signal is used as an input to the BSM, and its inverted signal can optionally be routed to external pins (PDPOUTx) to turn downstream components on or off as needed. The falling edge of the TXENx signal can power down its associated DAC pair. On the rising edge of TXENx, if DACA_MASK (Register 0x012[6]) and DACB_MASK (Register 0x012[7]) are not enabled, the output is valid after the BSM settles (see 4.9.3). If DACA_MASK and DACB_MASK are enabled, there is an additional delay and the output is invalid until the BSM settles and the DACs are fully powered up. Tx ENSM configuration is shown in Table 62 and can be page-controlled per 4.1.

4.9.3 Blanking state machine (BSM): The BSM slowly brings data into the DAC and flushes the datapath. On the falling edge of Tx_PROTECT (the TXENx signal delayed by the Tx ENSM), the datapath holds the most recent data value and the digital gain slowly ramps down from its set value to 0; at the same time the datapath is flushed with 0 values. On the rising edge of Tx_PROTECT, data are allowed to flow through the datapath and the digital gain slowly raises the data from 0 to the set value. During phase rotation, the above two functions are also triggered automatically by the LMFC synchronization logic to prevent abrupt changes at the output. **4.9.3.1 Ramping:** The step size used when ramping the gain down to 0 or up to its specified value can be controlled via GAIN_RAMP_DOWN_STEPx (Registers 0x142 and 0x143) and GAIN_RAMP_UP_STEPx (Registers 0x140 and 0x141); these registers can be page-controlled per 4.1. The current BSM state can be read back as shown in Table 63. **4.9.3.2 BSM IRQ:** Blanking completion can be an IRQ event. Use Register 0x021[5] to enable blanking completion for DAC Dual A, then Register 0x025[5] to read back its status and reset the IRQ signal. Use Register 0x022[5] for DAC Dual B, then Register 0x026[5] likewise. See Section 8.

4.9.4 Generating PDPOUTx: Register 0x013 controls which signals are ORed and sent to the external PDPOUTx signal. Register 0x11F[2] can invert the PDPOUTx signal; by default, PDPOUTx output is valid when high. Both registers can be page-controlled per 4.1.

中文： SXD020 包含几个旨在保护其板级信号链中的功率放大器(PA)以及其他下游模块的功能模块。它包括一个功率检测和保护(PDP)模块、一个消隐状态机(BSM)和一个发送使能状态机(Tx ENSM)，如图 66 所示。PDP 模块监测传入的数据。如果数据功率的滑动平均值超过阈值，PDP 模块产生一个信号(PDP_PROTECT)，该信号可以从 PDP OUT0 和 PDP OUT1 引脚路由到外部。Tx ENSM 是一个比较简单的模块，它控制 TXENx 和 Tx_PROTECT 信号之间的延迟。Tx_PROTECT 信号被用作 BSM 的输入，其反相信号可以选择性地路由到外部。Tx ENSM 也可以选择性地关闭其相关的 DAC 对。BSM 使数据缓慢地进入 DAC 并冲刷数据通路。BSM 由

Tx_PROTECT 信号激活，或在旋转过程中由 LMFC 同步逻辑自动激活。数字增益功能必须被使能才能正常工作。最后，一些简单的逻辑使用这些模块的输出，在外部引脚上产生所需的 PDP OUTx 信号。该信号可以使能/禁用下游元件，如功率放大器等。4.9.1 功率检测和保护：输入信号 PDP 模块检测 DAC 输入信号的平均功率，并防止超范围的信号被传递到下一级。超范围的信号有可能对功率敏感的器件（如 PA）造成破坏性的故障。保护功能提供了一个可以路由到外部来关闭 PA 的信号(PDP_PROTECT)。PDP 模块采用比数据路径延迟更短的独立路径，以确保 PDP_PROTECT 在超范围信号到达模拟 DAC 核之前就被触发。计算出 I2 和 Q2 的总和作为输入信号功率（只使用数据样本的高 7 位 MSB）。计算出的样本功率数通过滑动平均滤波器累积，其输出为输入信号功率在一定数量样本中的平均值。当滤波器的输出大于阈值时，内部信号 PDP_PROTECT 变为高电平，它可以选择性地配置为在 PDP OUTx 引脚上触发一个信号。PDP 模块的配置如表 61 所示，并可以按照 4.1 双页控制部分的描述进行分页控制。如何选择 PDP_AVG_TIME（寄存器 0x062）和 PDP_THRESHOLD[12:0]（寄存器 0x060 至寄存器 0x061）进行有效保护取决于应用。用现实世界的载体进行实验，以确保正确的配置。当输入信号功率超过设定的功率阈值时，PDP_POWER[12:0]回读寄存器（寄存器 0x063 至寄存器 0x064）可以存储最大功率。4.9.1.1 功率检测和保护 IRQ：PDP_PROTECT 信号可作为一个 IRQ 事件。使用寄存器 0x021[7]来使能 DUAL A（DAC0 和 DAC1）的 PDP_PROTECT，然后使用寄存器 0x025[7]来读回其状态并重置 IRQ 信号。使用寄存器 0x022[7]来使能 DUAL B（DAC2 和 DAC3）的 PDP_PROTECT，然后使用寄存器 0x026[7]来读回它的状态并重置 IRQ 信号。更多信息请参见 8、中断请求操作部分。4.9.2 发送使能状态机：Tx ENSM 是一个简单的模块，控制 TXENx 信号和 Tx_PROTECT 信号之间的延迟。这个信号被用作 BSM 的输入，其反相信号可以选择性地路由到外部引脚(PDP_OUTx)，以根据需要打开或关闭下游组件。TXENx 信号的下降沿可以关闭其相关的 DAC 对。在 TXENx 的上升沿，如果没有使能 DACA_MASK（寄存器 0x012[6]）和 DACB_MASK（寄存器 0x012[7]），在 BSM 稳定后，输出有效（参见 4.9.3 消隐状态机(BSM)部分）。如果使能了 DACA_MASK 和 DACB_MASK，则会有一个额外的延迟，在 BSM 稳定和 DAC 完全上电之前，输出是无效的。Tx ENSM 的配置如表 62 所示，并可以按照 4.1 双页控制部分的描述进行分页控制。4.9.3 消隐状态机(BSM)：BSM 使数据缓缓地进入 DAC 并冲刷数据通路。在 Tx_PROTECT（由 Tx ENSM 延迟的 TXENx 信号）的下降沿，数据通路保持最近的数据值，数字增益从其设定值缓缓下降到 0。同时数据通路被 0 值冲刷。在 Tx_PROTECT 的上升沿，数据被允许流过数据通路，数字增益缓慢地将数据从 0 提升到设定值。在相位旋转过程中，上述两个功能也由 LMFC 同步逻辑自动触发，以防止输出出现突变。4.9.3.1 Ramping：将增益降至 0 或其指定值时使用的步长可以通过 GAIN_RAMP_DOWN_STEPx（寄存器 0x142 和寄存器 0x143）和 GAIN_RAMP_UP_STEPx（寄存器 0x140 和寄存器 0x141）控制。这些寄存器可以按照 4.1 双页控制部分的描述进行分页控制。可以回读当前的 BSM 状态，如表 63 所示。4.9.3.2 消隐状态机 IRQ：消隐完成可作为一个 IRQ 事件。使用寄存器 0x021[5]使能 DAC DUAL A（DAC0 和 DAC1）的消隐完成，然后使用寄存器 0x025[5]读回其状态并重置 IRQ 信号。使用寄存器 0x022[5]来使能 DAC DUAL B（DAC2 和 DAC3）的消隐完成，然后使用寄存器 0x026[5]来读回它的状态并重置 IRQ 信号。更多信息请参见 8、中断请求操作部分。4.9.4 生成 PDP OUTx：寄存器 0x013 控制使用哪些信号进行或运算，并送到外部 PDP OUTx 信号。寄存器 0x11F[2]可以反转 PDP OUTx 信号，默认情况下，PDP OUTx 为高电平时输出有效。这两个寄存器都可以按照 4.1 双页控制部分的描述进行分页控制。

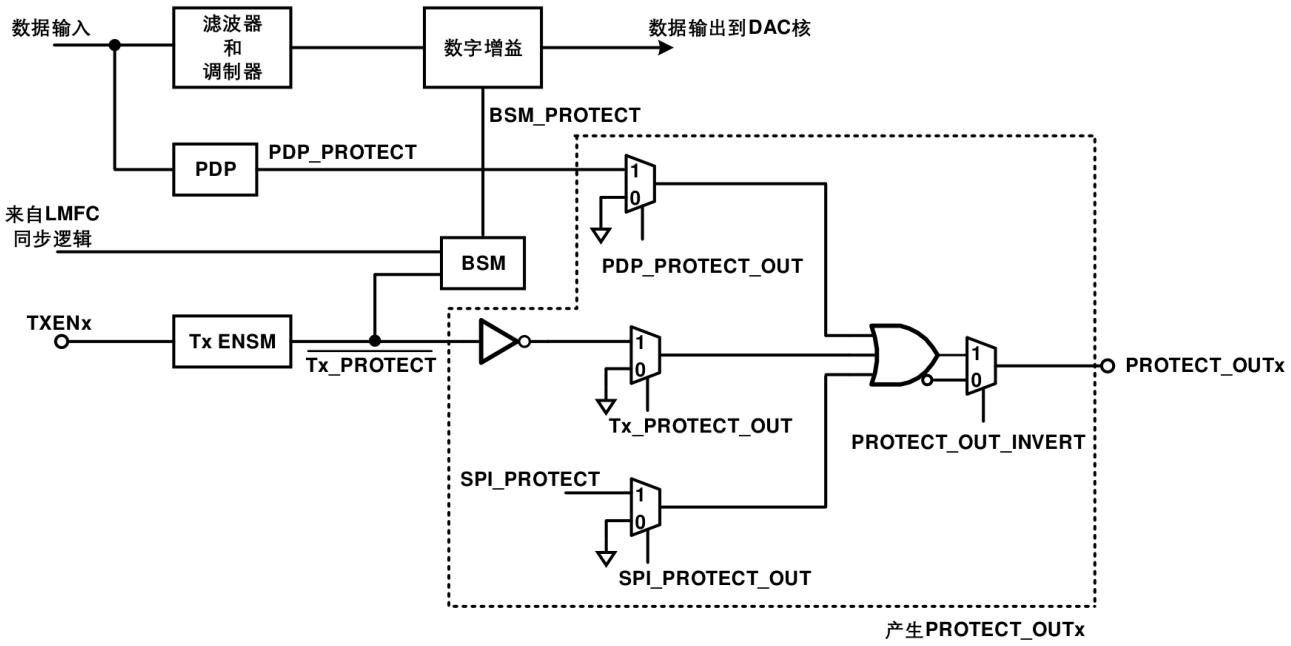


Figure 66: Downstream protection functional block diagram

表61 PDP 寄存器 / Table 61. PDP Registers

地址 / Address	位 / Bits	值 / Value	描述 / Description
0x060	[7:0]	PDP_THRESHOLD[7:0]	触发 PDP_PROTECT 信号的功率阈值的 8 位 LSB / 8 LSBs of the power threshold
0x061	[4:0]	PDP_THRESHOLD[12:8]	5 位 MSB / 5 MSBs
0x062	7	PDP_ENABLE	设为 1 以使能 PDP / Set to 1 to enable PDP
0x062	[3:0]	PDP_AVG_TIME	可以设为 0 到 10。对 2^(9+PDP_AVG_TIME) 个 IQ 样本对取平均 / 0 to 10; averages over 2^(9+PDP_AVG_TIME) IQ sample pairs
0x063	[7:0]	PDP_POWER[7:0]	如果超过 PDP_THRESHOLD，回读值为最大功率；如果没有超过，回读值为当前功率。8 位 LSB / Readback: maximum power if threshold exceeded, else current power; 8 LSBs
0x064	[4:0]	PDP_POWER[12:8]	5 位 MSB / 5 MSBs

表62 Tx ENSM 寄存器 / Table 62. Tx ENSM Registers

地址 / Address	位 / Bits	值 / Value	描述 / Description
0x11F	[7:6]	PA_FALL	要使用的下降计数器数量（1~2）/ Number of fall counters used (1–2)
0x11F	[5:4]	PA_RISE	使用的上升计数器数量（0~2）/ Number of rise counters used (0–2)
0x121	[7:0]	RISE_COUNT_0	将 Tx_PROTECT 的上升从 TXENx 上升沿推迟 32 × RISE_COUNT_0 个 DAC 时钟周期 / Delays the Tx_PROTECT rise by 32 × RISE_COUNT_0 DAC clock periods from the TXENx rising edge
0x122	[7:0]	RISE_COUNT_1	将 Tx_PROTECT 的上升从 TXENx 上升沿延迟 32 × RISE_COUNT_1 个 DAC 时钟周期 / Same with RISE_COUNT_1
0x123	[7:0]	FALL_COUNT_0	将 Tx_PROTECT 的下降从 TXENx 下降沿延迟 32 × FALL_COUNT_0 个 DAC 时钟周期 / Delays the Tx_PROTECT fall by 32 × FALL_COUNT_0 DAC clock periods from the TXENx falling edge

地址 / Address	位 / Bits	值 / Value	描述 / Description
0x124	[7:0]	FALL_COUNT_1	将 Tx_PROTECT 的下降从 TXENx 下降沿延迟 32 × FALL_COUNT_1 个 DAC 时钟周期 / Same with FALL_COUNT_1

表63 回读消隐状态机 / Table 63. Blanking State Machine Readback

地址 / Address	值 / Value	描述 / Description
0x147[7:6]	0b00	数据保持在中间值 / Data held at the mid value
0x147[7:6]	0b01	增益正在降为 0。数据正在降至中间值 / Gain ramping to 0; data ramping to the mid value
0x147[7:6]	0b10	增益正在升到指定值。数据正在升到正常幅度 / Gain ramping to the specified value; data ramping to normal amplitude
0x147[7:6]	0b11	数据处于正常幅度 / Data at normal amplitude

表64 PDP OUTx 寄存器 / Table 64. PDPOUTx Registers

地址 / Address	位 / Bit	描述 / Description
0x013	6	为 1 表示 PDP 模块可以触发 PDP_OUT / 1: the PDP block can trigger PDP_OUT
0x013	5	为 1 表示 Tx ENSM 可以触发 PDP_OUT / 1: the Tx ENSM can trigger PDP_OUT
0x013	3	为 1 表示 SPI_PROTECT 可以触发 PDP_OUT / 1: SPI_PROTECT can trigger PDP_OUT
0x013	2	设置 SPI_PROTECT / Sets SPI_PROTECT
0x11F	2	PDP OUTx 反相 / PDPOUTx inversion

4.10 数据通路 PRBS / 4.10 Datapath PRBS

English: Datapath PRBS can verify that the SXD020 datapath receives data and decodes it correctly. It can also verify that the JESD204B parameters of the transmitter and receiver match, that the receiver lanes are mapped correctly, that lanes are inverted appropriately, and, if necessary, that the startup flow was executed correctly. Datapath PRBS can all be page-controlled per 4.1. Steps to run a datapath PRBS test: 1. Use the startup procedure to set the device to the required operating mode. 2. Send PRBS7 or PRBS15 data. 3. Configure Register 0x14B[2] to 0 (PRBS7) or 1 (PRBS15). 4. Configure Register 0x14B[1:0] to 0b11 to enable and reset the PRBS test. 5. Configure Register 0x14B[1:0] to 0b01 to enable the PRBS test and release reset. 6. Wait 500 ms. 7. As described in 4.10.1, check the status via the DAC0-to-DAC3 PRBS IRQs. 8. If there is a fault, set Register 0x008 to 0x01 to view the Dual A (DAC0/DAC1) status; set Register 0x008 to 0x02 to view Dual B (DAC2/DAC3). 9. Read Registers 0x14B[7] and 0x14B[6]. If the I DAC of the selected DAC pair has any error, 0x14B[6] is 0. If the Q DAC of the selected pair has any error, 0x14B[7] is 0. 10. Read Register 0x14C for the I DAC error count of the selected pair; read Register 0x14D for the Q DAC error count. PRBS processes 32 bits of data at a time and compares each new 32-bit group with the previous group. Each 32-bit group detects and reports only 1 error; therefore the error count partly depends on when errors occur. Examples: Three groups — 32 correct; 31 correct, 1 error; 32 correct (2 errors). Three groups — 32 correct; 22 correct, 10 errors; 32 correct (2 errors). Four groups — 32 correct; 31 correct, 1 error; 31 correct, 1 error; 32 correct (3 errors).

4.10.1 Datapath PRBS IRQ: Each DAC's PRBS fault signal can be an IRQ event. Use Register 0x020[3:0] to enable the fault signals, then use Register 0x024[3:0] to read back their status and reset the IRQ signals. See Section 8.

中文： 数据通路 PRBS 可以验证 SXD020 数据通路是否接收到数据并正确解码。数据通路 PRBS 还可以验证发射机和接收机的 JESD204B 参数是否匹配，接收机的 Lane 是否映射正确，Lane 是否适当地反相，必要时可以验证启动流程是否正确执行。数据通路 PRBS 都可以按照 4.1 双页控制部分的描述进行分页控制。运行数据通路 PRBS 测试的步骤如下：1. 使用启动程序将电路设置为所需的工作模式。2. 发送 PRBS7 或 PRBS15 数据。3. 配置寄存器 0x14B[2]为 0(PRBS7)，或 1(PRBS15)。4. 配置寄存器 0x14B[1:0]为 0b11，使能并重置 PRBS 测试。5. 配置寄存器 0x14B[1:0]为 0b01，使能 PRBS 测试并释放复位。6. 等待 500 毫秒。7. 如 4.10.1 数据通路 PRBS IRQ 部分描述，通过检查 DAC0 到 DAC3 PRBS 的 IRQ 来检查状态。8. 如果有故障，设置寄存器 0x008 为 0x01 以查看 DUAL A(DAC0/DAC1)的状态。设置寄存器 0x008 为 0x02 来查看 DUAL B(DAC2/DAC3)的状态。9. 读取寄存器 0x14B[7]和 0x14B[6]。如果所选 DAC 对的 I DAC 有任何错误，0x14B[6]为 0。如果所选 DAC 对的 Q DAC 有任何错误，则 0x14B[7]为 0。10. 读取寄存器 0x14C 来读取所选的 DAC 对的 I DAC 的错误计数。读取寄存器 0x14D，读取所选 DAC 对的的 Q DAC 的错误计数。PRBS 每次处理 32 位数据，并将新的 32 位数据与前一组 32 位数据进行比较。每一组 32 位数据只检测并报告 1 个错误；因此错误计数部分取决于何时出现错误。例如：三组数据：32 个正确；31 个正确，1 个错误；32 个正确（2 个错误）；三组数据：32 个正确；22 个正确，10 个错误；32 个正确（2 个错误）；四组数据：32 个正确；31 个正确，1 个错误；31 个正确，1 个错误；32 个正确（3 个错误）。4.10.1 数据通路 PRBS IRQ：每个 DAC 的 PRBS 故障信号都可以作为 IRQ 事件。使用寄存器 0x020[3:0]来使能故障信号，然后使用寄存器 0x024[3:0]来读回它们的状态并重置 IRQ 信号。更多信息请参见 8、中断请求操作部分。

4.11 直流测试模式 / 4.11 DC Test Mode

English: When DC test mode is activated, the inputs of the digital datapath are set to a mid level (the specific value is set via Registers 0x521 to 0x524) in place of the JESD204B transport-layer data. DC test mode is enabled by setting Register 0x520[1] to 1 and Register 0x146[0] to 0. For all other operating modes, Register 0x146[0] must be set to 1. In DC test mode, the digital modulator can generate a fixed-amplitude sine wave. Functions such as digital gain, DC offset and phase adjustment can be applied on this sine wave.

中文： 当直流测试模式被激活时，数字处理通路的输入被设置为一个中间电平（通过寄存器 0x521 到 0x524 设置具体值），以取代 JESD204B 传输层的数据。直流测试模式通过设置寄存器 0x520[1]为 1 和寄存器 0x146[0]为 0 来使能。对于所有其他工作模式，寄存器 0x146[0]必须设置为 1。在直流测试模式下，数字调制器可以产生一个固定振幅的正弦波。数字增益、直流失调和相位调节等功能可以应用在这个在正弦波上。

5、模拟输出 / 5. Analog Output

5.1 DAC 工作原理 / 5.1 DAC Operating Principle

English: Figure 67 shows a simplified block diagram of the DAC core. There are four DAC cores in total: DAC0 and DAC2 are designated as I DACs; DAC1 and DAC3 as Q DACs. A DAC core consists of a current-switch array, digital control logic and full-scale output-current control. The output currents of the OUTx± pins are complementary, meaning the sum of the two currents always equals the full-scale current of the DAC. OUTx± are current sinks; current flows into the OUTx± ports. The digital input code of the DAC determines the differential current output. An external resistor RSET of 4 kΩ must be connected between the I120 pin and ground. This resistor, together with the reference control amplifier, sets the correct

internal bias current for each DAC. The full-scale current equation is as follows (where DACgain is set for each I DAC pair and each Q DAC pair in Registers 0x040 to 0x043): IOUTFS = (VREF/RSET) × (13.33 + (1/19.19) × DACgain). Figure 68 shows the full-scale output current versus DACgain.

中文： 图 67 显示了 DAC 核的简化框图。共有四个 DAC 核：DAC0 和 DAC2 被指定为 I DAC；DAC1 和 DAC3 被指定为 Q DAC。DAC 核由电流开关阵列、数字控制逻辑和满度输出电流控制组成。OUTx±引脚的输出电流是互补的，这意味着两个电流之和总是等于 DAC 的满度电流。OUTx±是电流沉，电流流向 OUTx±端口。DAC 的数字输入码字决定了差分电流输出。必须在 I120 引脚到地之间连接一个 4 kΩ 的外部电阻 RSET。这个电阻和基准控制放大器一起，为每个 DAC 设置了正确的内部偏置电流。满度电流方程如下式所示（其中 DACgain 是为每个 I DAC 核对和每个 Q DAC 核对设置的，在寄存器 0x040 到寄存器 0x043 中进行设置）：IOUTFS = (VREF/RSET) × (13.33 + ((1/19.19) × DACgain))。图 68 显示满度输出电流随 DACgain 变化的曲线。

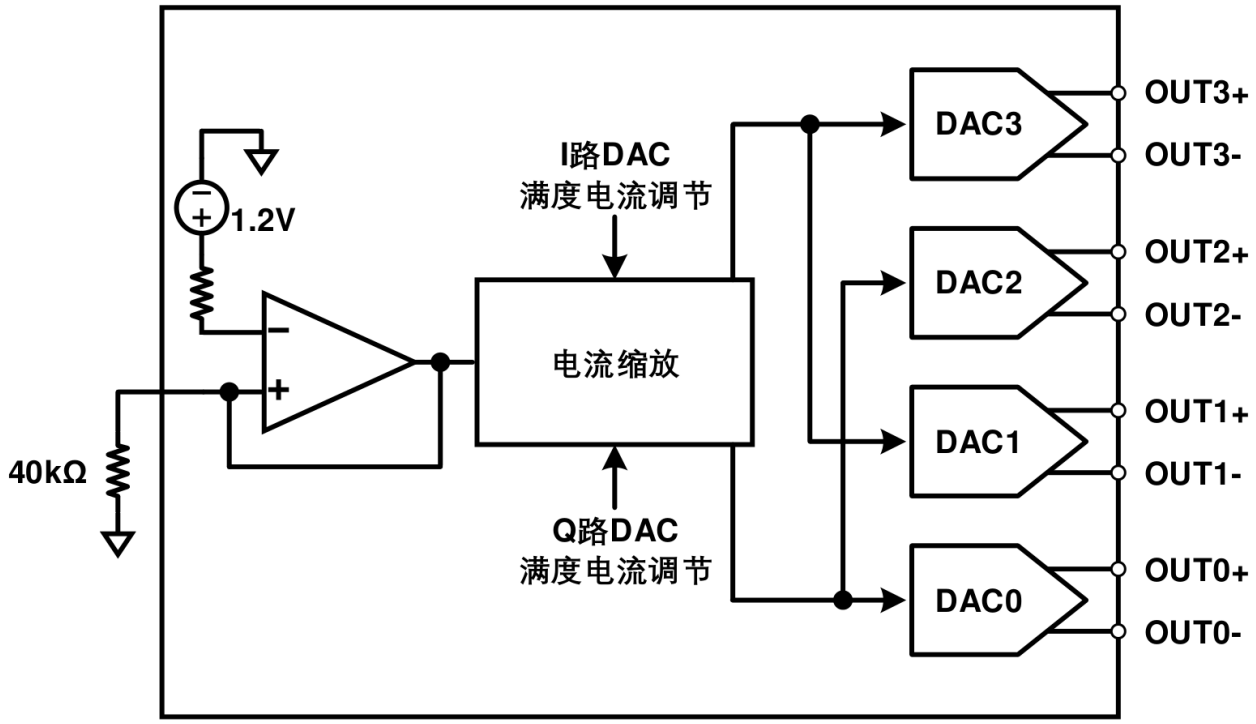


Figure 67: DAC core simplified functional block diagram

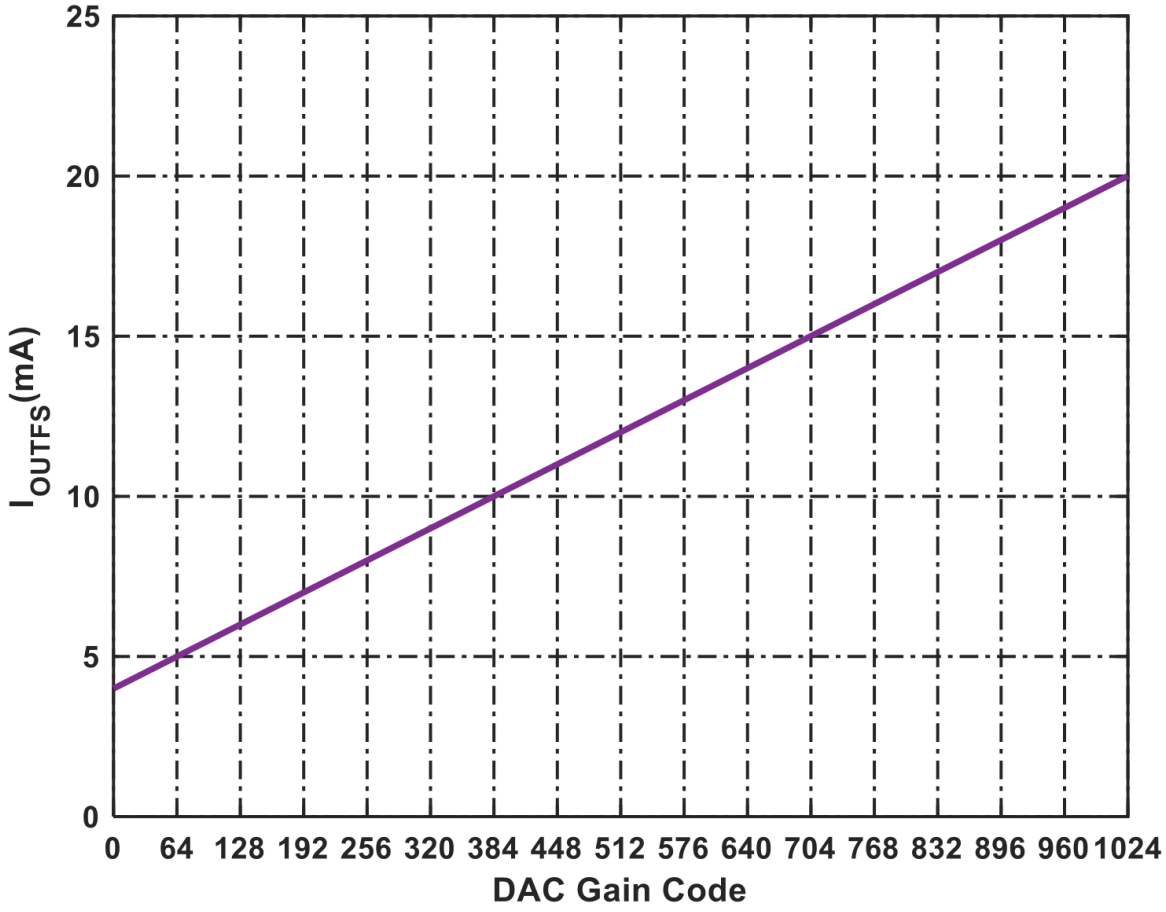


Figure 68: DAC full-scale current vs. DAC gain code

5.2 DAC 传输函数 / 5.2 DAC Transfer Function

English: The output currents obtained from the OUTx+ and OUTx− pins are complementary, meaning the sum of the two (positive plus negative) currents always equals the DAC full-scale current, IOUTFS. The digital input code of the DAC determines the differential current output. When all bits are high, the output current is maximum. The relationship between the DAC output current and DACCODE is: IOUTP = (DACCODE / 2^N) × IOUTFS; IOUTN = IOUTFS − IOUTP, where DACCODE = 0 to 2^N − 1 is the digital signal input to the DAC core, consisting of 16-bit samples.

中文： 由 OUTx+和 OUTx-引脚得出的输出电流是互补的，这意味着两个（正加负）电流之和总是等于 DAC 的满度电流，IOUTFS。DAC 的数字输入码字决定了差分电流的输出。当所有位都是高电平时，输出电流是最大的。DAC 输出的输出电流与 DACCODE 的关系表示为：IOUTP = (DACCODE/2N) × IOUTFS；IOUTN = IOUTFS − IOUTP。其中 DACCODE = 0 到 2N − 1，是输入到 DAC 核的数字信号，由 16 位样本组成。

5.3 正常工作模式和混频工作模式 / 5.3 Normal Mode and Mix-Mode

English: The DAC cores of the SXD020 have a quad-switch structure. In each DACCLK period, one input sample appears twice. Figure 69 shows the time-domain DAC core output when operating in normal mode (default): in normal mode, the same output signal appears twice in each DAC clock period. The DAC output mode is controlled by Register 0x04A[0]. Figure 70 shows the time-domain DAC output signal in mix-mode: in each DACCLK period, the input sample appears at the output on the rising edge, and the inverted input sample appears at the output on the DACCLK falling edge. Figure 71 describes the uncompensated DAC

Sinc roll-off. In normal mode, the output signal has the highest amplitude in the first Nyquist zone; the output images in the second and third Nyquist zones are attenuated. In mix-mode, the images in the second and third Nyquist zones are enhanced, while the signal in the first Nyquist zone is attenuated. This ability to change the operating mode gives the user's application flexibility: depending on the selected operating mode, the carrier can be placed anywhere in the first three Nyquist zones. Switching between baseband mode and mix-mode can reshape the inherent Sinc roll-off at the DAC output.

中文： SXD020 的 DAC 核是四开关结构的。在每个 DACCLK 周期中，一个输入样本出现两次。图 69 显示了在正常模式（默认）下工作时的时域 DAC 核的输出。在正常模式下，同一个输出信号在每个 DAC 时钟周期内出现两次。DAC 输出模式通过寄存器 0x04A[0]控制。图 70 显示了混频模式下的时域 DAC 输出信号。在每个 DACCLK 周期中，输入样本在上升沿出现在输出端，输入样本的反相在 DACCLK 的下降沿出现在输出端。图 71 是对未补偿的 DAC Sinc 滚降的描述。在正常模式下，输出信号在第一奈奎斯特区具有最高的振幅。在第二个奈奎斯特区的输出镜像和第三奈奎斯特区镜像被衰减。在混频模式下，第二和第三奈奎斯特区的镜像被加强，而第一奈奎斯特区的信号被衰减。这种改变工作模式的能力为用户的应用提供了灵活性，可以根据所选择的工作模式，将载波放在前三个奈奎斯特区的任何地方。在基带和混频模式之间切换，可以重塑 DAC 输出端固有的 Sinc 滚降。

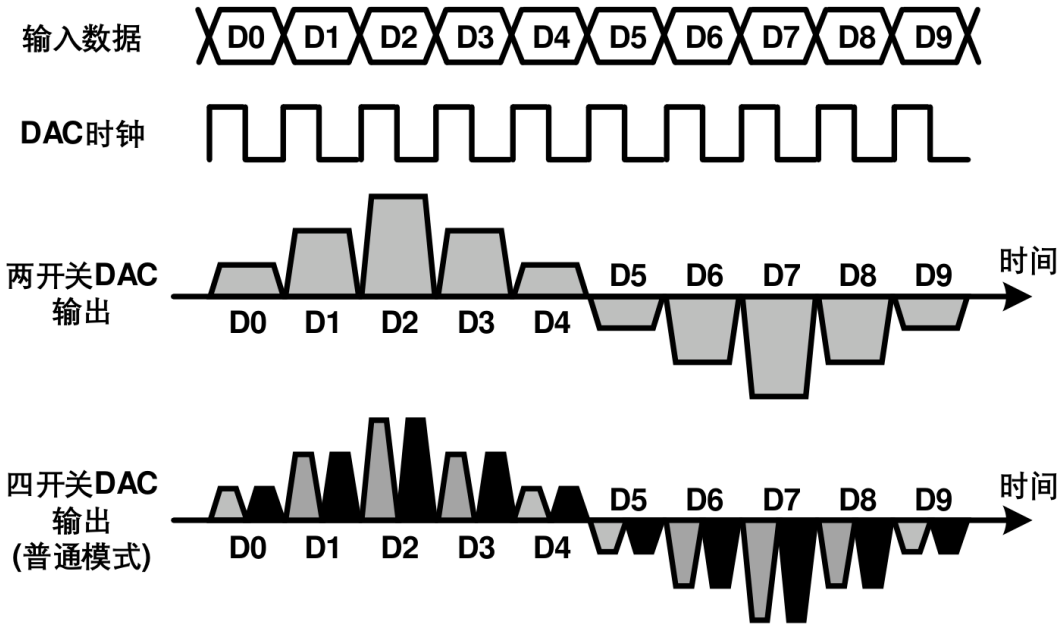


Figure 69: Two-switch and four-switch DAC output waveforms

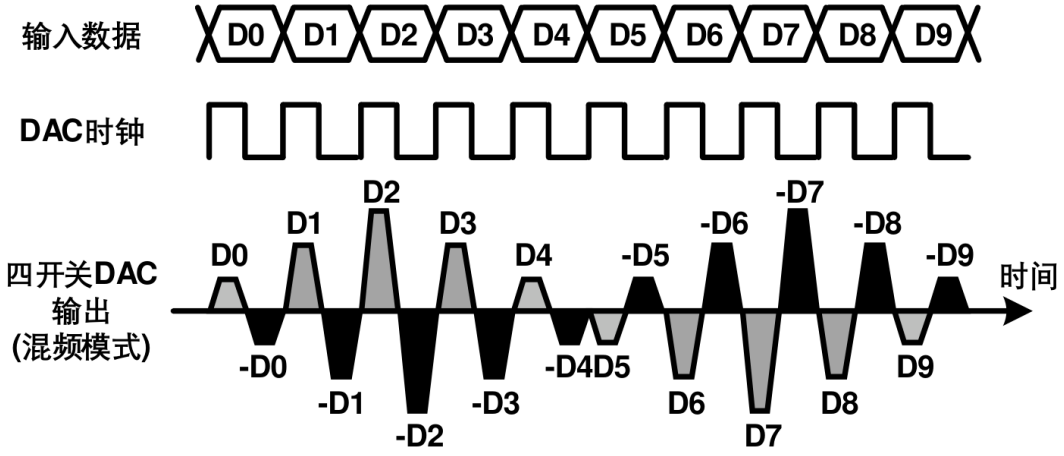


Figure 70: Mix-mode DAC output waveform

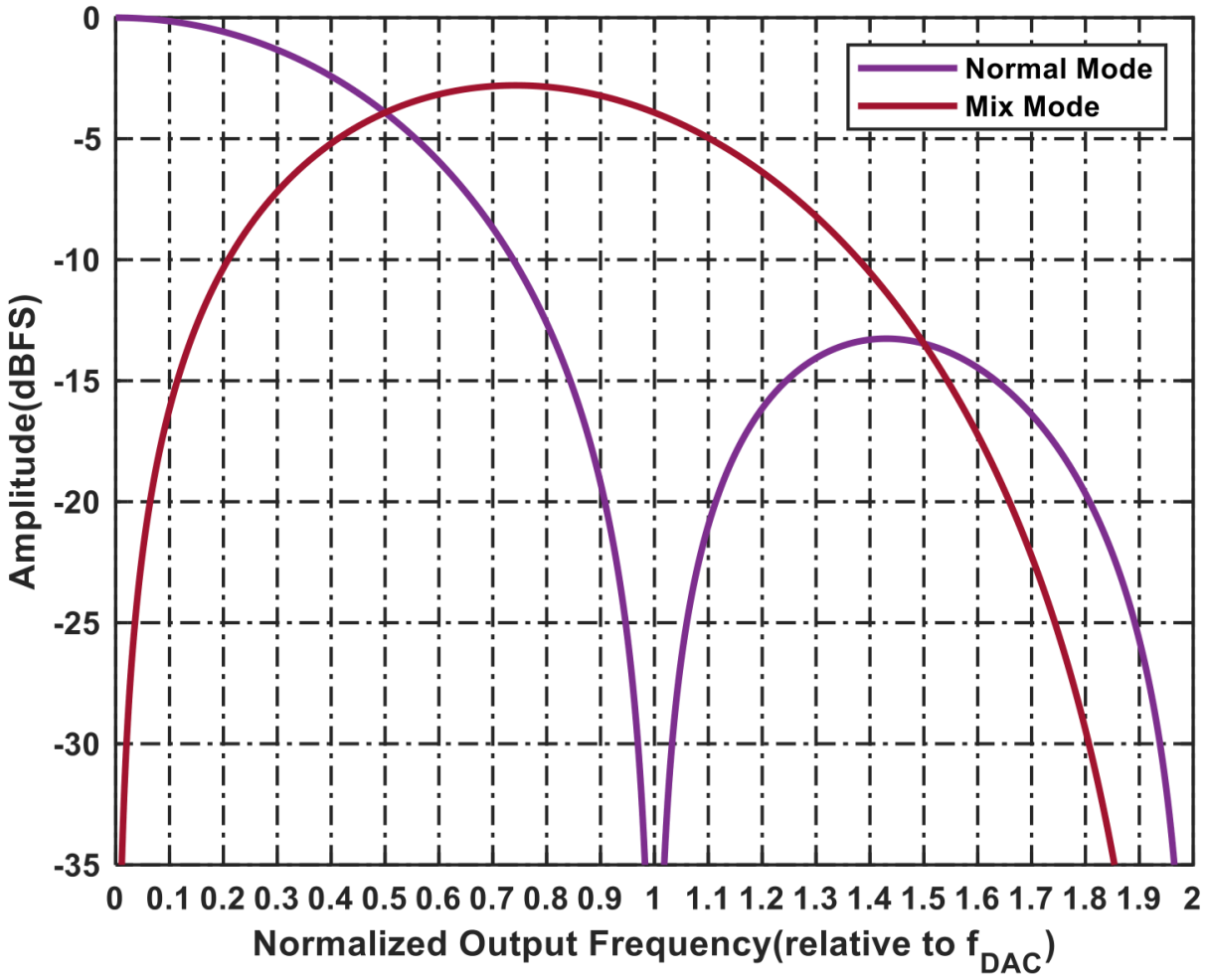


Figure 71: Sinc roll-off in normal mode and mix-mode

6、DAC 时钟输入 / 6. DAC Clock Input

6.1 时钟接收器输入 / 6.1 Clock Receiver Input

English: The low-noise clock input (CLK±) is located between Pin 2 (CLK+) and Pin 3 (CLK−). The input differential impedance of the clock receiver is 10 kΩ, internally self-biased at a common-mode voltage of about 600 mV. As shown in Figure 72, the clock signals can be DC- or AC-coupled to the input. See 9.2.5 for board-level termination guidance for the clock receiver. In general, the CLK± pins must be terminated with a 100 Ω resistor on the printed circuit board as close to the CLK± pins as possible. Differential drive is recommended.

中文： 低噪时钟输入(CLK±)在引脚 2(CLK+)和引脚 3(CLK-)之间。时钟接收器的输入差分阻抗为 10 kΩ，内部被自偏压到大约 600 mV 共模电压。如图 72 所示，时钟信号可以是直流耦合或交流耦合到输入。时钟接收器的板级终端指导如 9.2.6 所述。一般地，CLK±引脚必须用 100 Ω 的电阻在印制电路板上尽可能地靠近 CLK±引脚终接。推荐差分驱动。

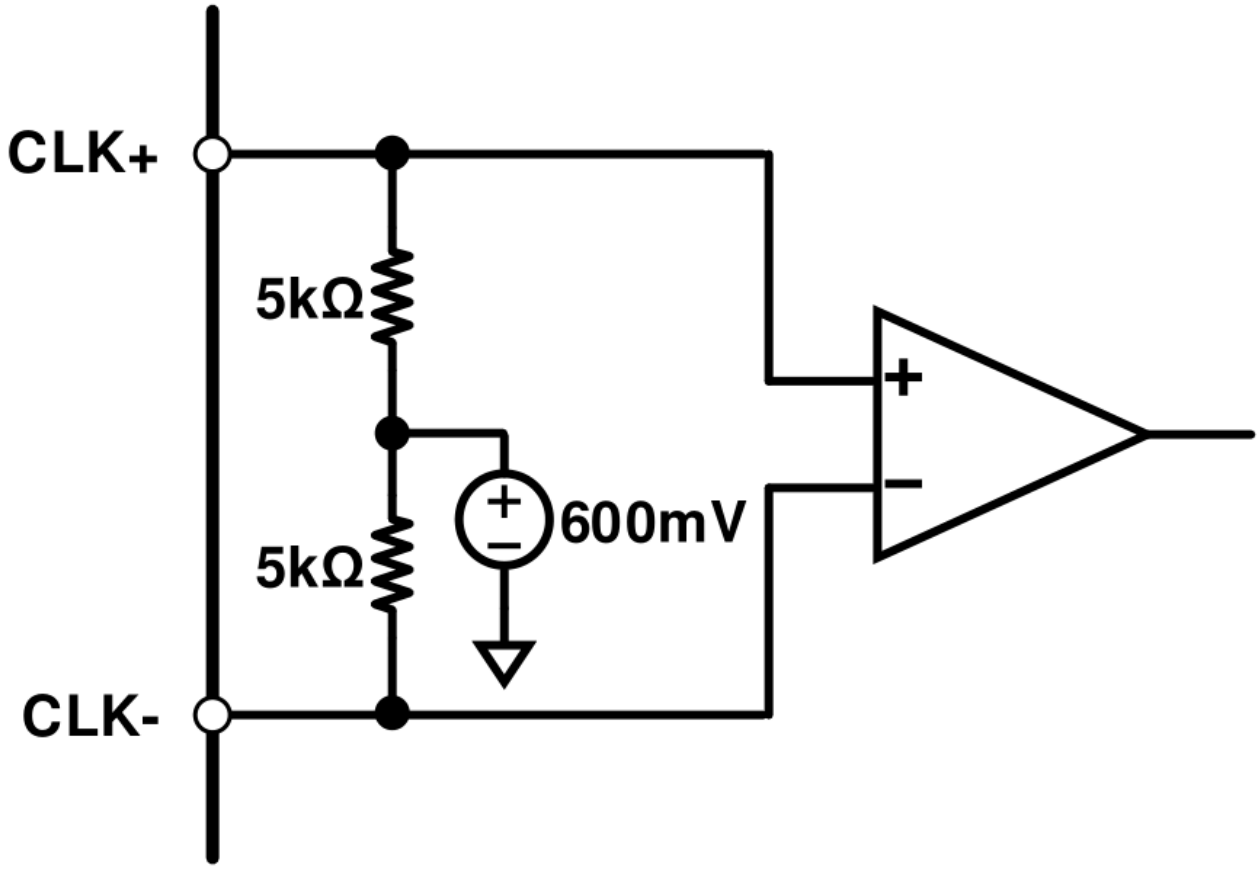


Figure 72: Clock receiver input equivalent circuit

6.2 DAC PLL 设置 / 6.2 DAC PLL Settings

English: When using the DAC PLL, the following registers must be set to fixed values. All eight DAC PLL registers (0x1B4, 0x1B6, 0x1BB, 0x1BC, 0x1BE, 0x1BF, 0x1C0, 0x1C4) must be set, because their fixed values are frequency-related (see 6.3.2). The following registers must be written with these fixed values during the setup of each DAC PLL, and the DAC PLL must be configured after the SPI reset is cleared: Register 0x087 = 0x62; Register 0x088 = 0xC9; Register 0x089 = 0x0E; Register 0x08A = 0x12; Register 0x08D = 0x7B; Register 0x1B0 = 0x00; Register 0x1B5 = 0xC9; Register 0x1B9 = 0x24; Register 0x1BC = 0x0D; Register 0x1BE = 0x02; Register 0x1BF = 0x8E; Register 0x1C0 = 0x2A; Register 0x1C4 = 0x7E; Register 0x1C5 = 0x06.

6.2.1 Loop filter: The external loop filter is shown in Figure 73. Use Register 0x087 to set the values of C1 and C2 of the loop filter. Use Register 0x088 to set the value of C3 of the loop filter. Use Register 0x089 to set the values of R1 and R3 of the loop filter. The values loaded via the loop-filter registers (Registers 0x087 to 0x089) are the values specified in 6.2.

6.2.2 Charge pump: The charge-pump current can be programmed from 0.1 mA to 6.4 mA via Register 0x08A[5:0]. When the charge-pump current increases, the PLL bandwidth increases. When the charge-pump current is written, the charge-pump calibration-valid flag (Register 0x084[5]) should be read. If it is low, the charge pump needs to be recalibrated (see 6.3.3).

中文： 当使用 DAC PLL 时，必须将以下寄存器设置为固定值。所有八个 DAC PLL 寄存器（0x1B4、0x1B6、0x1BB、0x1BC、0x1BE、0x1BF、0x1C0、0x1C4）必须设置，因为它们的固定值与频率有关（参见 6.3.2）。以下寄存器必须在每次 DAC PLL 设置时写入这些固定值，且必须在清除 SPI 的复位后配置 DAC PLL：寄存器

0x087=0x62；寄存器 0x088=0xC9；寄存器 0x089=0x0E；寄存器 0x08A=0x12；寄存器 0x08D=0x7B；寄存器 0x1B0=0x00；寄存器 0x1B5=0xC9；寄存器 0x1B9=0x24；寄存器 0x1BC=0x0D；寄存器 0x1BE=0x02；寄存器 0x1BF=0x8E；寄存器 0x1C0=0x2A；寄存器 0x1C4=0x7E；寄存器 0x1C5=0x06。6.2.1 环路滤波器：外部环路滤波器显示如图 73 所示。使用寄存器 0x087 设置环路滤波器的 C1 和 C2 的数值。使用寄存器 0x088 设置环路滤波器的 C3 的数值。使用寄存器 0x089 设置环路滤波器的 R1 和 R3 的数值。通过环路滤波器寄存器（寄存器 0x087 至 0x089）加载的值为 6.2 中规定的值。6.2.2 电荷泵：电荷泵电流可通过寄存器 0x08A[5:0]从 0.1 mA 到 6.4 mA 编程。当电荷泵电流增加时，PLL 带宽增加。当电荷泵电流被写入时，应读取电荷泵校准有效标志（寄存器 0x084[5]）。如果它是低的，电荷泵需要重新校准（参见 6.3.3 PLL 启动）。

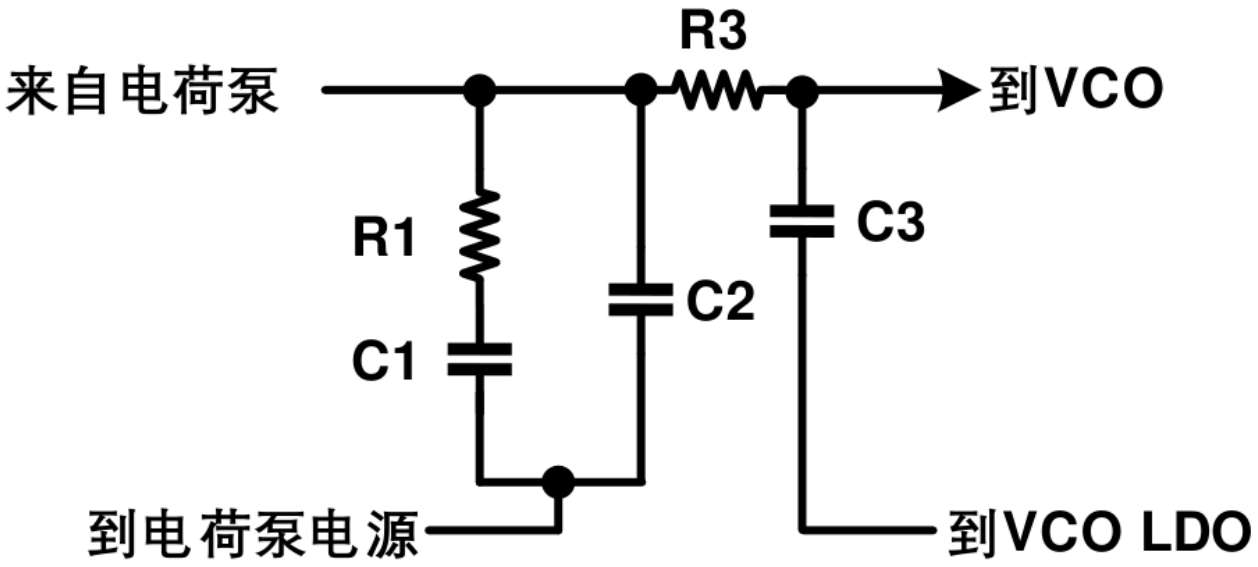


Figure 73: Loop filter

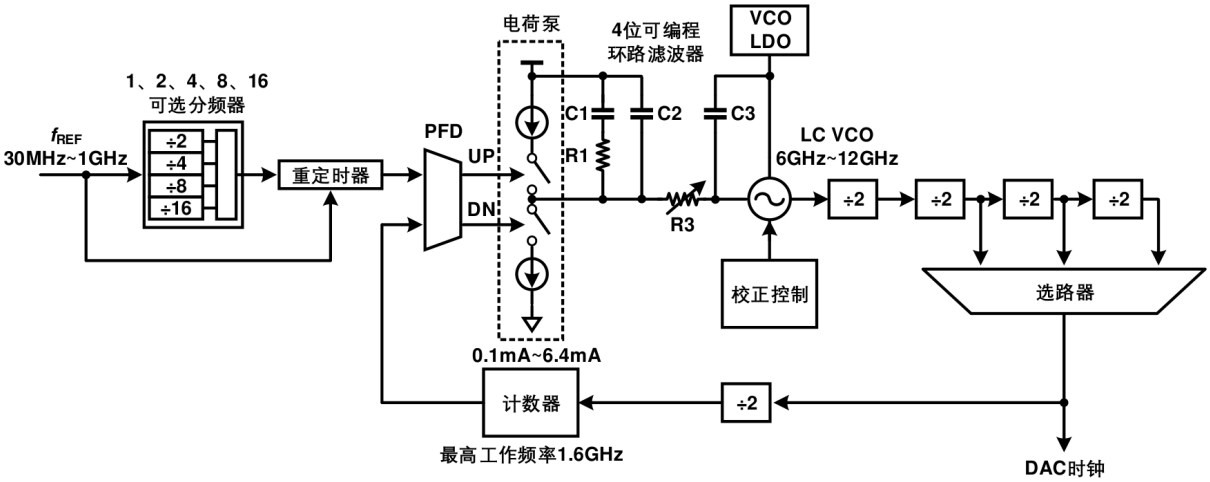


Figure 74: DAC PLL functional block diagram

6.3 DAC PLL 工作原理 / 6.3 DAC PLL Operating Principle

English: The DAC PLL block diagram is shown in Figure 74. On the SXD020, the PLL performs clock frequency multiplication. Figure 74 shows the PLL with a charge pump, phase-frequency detector (PFD), loop filter, voltage-controlled oscillator (VCO) and dividers. The PLL frequency multiplication works as follows: The reference clock (fREF) is first divided by an integer RefDivFactor set via REFDIVMODE (Register

0x08C[2:0]). Then the PFD performs phase alignment of the divided reference clock with the feedback clock. The feedback clock is the DAC clock divided by BCount × LODivFactor, where BCount is an integer in the range 6 to 127 set via the BCOUNT field (Register 0x085[7:0]). The VCO operating range must first be set by the BCount value; see the DAC PLL settings in 6.2. LODivFactor is an integer set via the LODIVMODE field (Register 0x08B[1:0]).

6.3.1 Clock frequency multiplication: The DAC PLL block diagram is shown in Figure 74. The PLL locks when the frequency of the divided reference clock equals or is very close to the frequency of the feedback clock. The VCO must satisfy the following constraints: The VCO oscillation frequency (fVCO) must be between 6 GHz and 12 GHz. The PFD frequency (fPFD) must be between 35 MHz and 80 MHz. Note: fREF: reference clock frequency; fPFD: phase-frequency detector clock frequency; fDACCLK: DAC core clock frequency. Note: LODivFactor is defined in Table 66; RefDivFactor in Table 65; BCount is set by the MEMORY MAP register 0x085. The PFD frequency is obtained from the following equation: fPFD = fREF/RefDivFactor. The VCO frequency is obtained from: fVCO = fDACCLK × LODivFactor. The other parameter values of the PLL must be selected according to Table 65 (reference-clock division factor), Table 66 (LO division factor) and Table 67 (common DAC PLL frequency multiplication examples) in later sections.

6.3.2 Temperature tracking: The DAC PLL operates from 6 GHz to 12 GHz. PLL performance varies over this range. Table 68 shows the loop-filter calibration settings for various VCO frequency ranges. A single-point temperature calibration is performed each time the PLL is powered up. Temperature tracking maintains jitter performance over temperature by monitoring the DAC PLL VCO bias voltage for drift. More complex schemes can be implemented using the die temperature sensor described in Section 7 to trigger a PLL recalibration at a specific temperature delta.

6.3.3 PLL startup: To start the DAC PLL, perform the following steps: 1. Select the page for Dual DAC (DAC0 to DAC3); see 4.1. 2. Set the LODivFactor bits according to Table 66 (Register 0x08B[1:0]). 3. Set the BCount bits according to the equation BCount = (fVCO/fPFD)/LODivFactor (Register 0x085[7:0]). 4. Set the REFDIVMODE bits according to Table 65 (Register 0x08C[2:0]). 5. Set the temperature-tracking values in Registers 0x1B4, 0x1B6 and 0x1BB using the frequency lookup table in Table 68. 6. Enable the DAC PLL block module by setting Register 0x083[4]=1. 7. Set Register 0x1BD[3] to 1 to enable the DAC PLL calibration assist; then set Register 0x1BD[3] to 0. 8. Poll the DAC PLL status in Register 0x084. Register 0x084[5]=1 indicates the DAC PLL calibration is complete. If this bit is 0, PLL calibration is still in progress and the PLL status bits do not reflect the real status. Register 0x084[1]=1 indicates the PLL is locked. After power-up, if the PLL is not in lock state, follow the startup procedure to make it lock. If the VCO frequency is near the band edge, Register 0x084[7:6] indicates this condition; the PLL must be powered down and reconfigured, and the calibration procedure (Register 0x083[7]=0, then Register 0x083[7]=1) restarted.

6.3.4 DAC PLL IRQ: Whether the PLL is locked can be an IRQ event. Use Register 0x01F[5] to enable the PLL lock-detect IRQ, then use Register 0x023[5] to read back its status and reset the IRQ signal. Use Register 0x01F[4] to enable the DAC PLL calibration-valid IRQ, then use Register 0x023[4] to read back its status and reset the IRQ signal. See Section 8.

中文： DAC PLL 的框图如图 74 所示。在 SXD020 上，PLL 对时钟进行倍频。图 74 显示了有电荷泵、鉴频鉴相器(PFD)、环路滤波器、压控振荡器(VCO)和分频器的 PLL。PLL 对时钟进行倍频的原理如下：首先基准时钟（fREF）通过一个整数 RefDivFactor 进行分频（通过 REFDIVMODE 设置，在寄存器 0x08C[2:0]中）。然后 PFD 把分频过的基准时钟和反馈时钟进行相位对准。反馈时钟是 DAC 时钟除以 BCount×LODivFactor。其中 BCount 是整数，范围为 6 到 127（通过 BCOUNT 域设置，在寄存器 0x085[7:0]中）。VCO 工作范围需要先通过 BCount 值进行设置；详见 6.2 DAC PLL 设置。LODivFactor 是整数（通过 LODIVMODE 域设置，在寄存器

0x08B[1:0]中）。6.3.1 时钟倍频：DAC PLL 框图如图 74 所示。PLL 锁定时，分频过的基准时钟的频率等于或非常接近反馈时钟的频率。VCO 须满足以下约束条件：VCO 振荡频率（fVCO）必须在 6 GHz 和 12 GHz 之间。PFD 频率（fPFD）必须在 35 MHz 和 80 MHz 之间。注：fREF：基准时钟的频率；fPFD：鉴频鉴相器的时钟频率；fDACCLK：DAC 核的时钟频率。注：LODivFactor 的定义在表 66 中；RefDivFactor 的定义在表 65 中；BCOUNT 设置在内存映射寄存器 0x085 中。用下面的公式可以得出 PFD 频率：fPFD = fREF/RefDivFactor。用下面的公式得到 VCO 频率：fVCO = fDACCLK × LODivFactor。PLL 的其他参数值须根据后面的表 65（基准时钟分频因子）、表 66（本振分频因子）和表 67（常见的 DAC PLL 倍频示例）选择。6.3.2 温度跟踪：DAC PLL 在 6 GHz 至 12 GHz 范围内运行。PLL 的性能在这个范围内有所不同。表 68 显示了不同 VCO 频率范围的环路校准设置。每次 PLL 开机时都会进行一次单点温度校准。温度跟踪通过监测 DAC PLL VCO 偏置电压的漂移来保持温度下的抖动性能。可以采用第 7 节温度传感器中描述的裸片温度传感器，在特定的温度变化时触发 PLL 重新校准，来实现更复杂的方案。6.3.3 PLL 启动：要启动 DAC PLL，应执行以下步骤：1. 选择 Dual DAC（DAC0 到 DAC3）的页面，见 4.1 双页控制部分。2. 根据表 66 设置 LODivFactor 位（寄存器 0x08B[1:0]）3. 根据等式 BCount = (fVCO/fPFD)/LODivFactor 设置 BCount 位（寄存器 0x085[7:0]）。4. 根据表 65 设置 REFDIVMODE 位（寄存器 0x08C[2:0]）。5. 利用表 68 中的频率查找表，设置寄存器 0x1B4、0x1B6 和 0x1BB 中的温度跟踪值。6. 设置寄存器 0x083[4]=1，使能 DAC PLL 块模块。7. 设置寄存器 0x1BD[3]等于 1，以使能 DAC PLL 校准辅助。然后设置寄存器 0x1BD[3]等于 0。8. 轮询寄存器 0x084 中的 DAC PLL 状态。寄存器 0x084[5]=1，表示 DAC PLL 校准完成；如果这个位是 0，PLL 校准仍在进行中，PLL 状态位并不反映真实状态。寄存器 0x084[1]=1，表示 PLL 锁定。上电后如果 PLL 不在锁定的状态，则按照启动程序进行，使其锁定。如果 VCO 频率接近频带边缘，寄存器 0x084[7:6]表明这一状况；必须关闭 PLL 电源并重新配置，重新启动校准程序（寄存器 0x083[7]=0，然后寄存器 0x083[7]=1）。6.3.4 DAC PLL 的 IRQ：PLL 是否被锁定可以作为一个 IRQ 事件。使用寄存器 0x01F[5]来使能 PLL 锁定检测 IRQ，然后使用寄存器 0x023[5]来读回其状态并重置 IRQ 信号。使用寄存器 0x01F[4]来使能 DAC PLL 校准有效 IRQ，然后使用寄存器 0x023[4]读回其状态并重置 IRQ 信号。更多信息请参见 8、中断请求操作部分。

表65 基准时钟分频因子 / Table 65. Reference-Clock Division Factor

fREF（MHz）/ fREF (MHz)	分频系数 / RefDivFactor	REFDIVMODE[2:0]（寄存器 0x08C）/ Register 0x08C
35 到 80 / 35 to 80	1	0
80 到 160 / 80 to 160	2	1
160 到 320 / 160 to 320	4	2
320 到 640 / 320 to 640	8	3
640 到 1000 / 640 to 1000	16	4

表66 DAC PLL 本振分频因子 / Table 66. DAC PLL LO Division Factor

fDACCLK（MHz）/ fDACCLK (MHz)	分频系数 / LODivFactor	LODIVMODE[1:0]（寄存器 0x08B）/ Register 0x08B
>1500（fDACCLK = fVCO/4）	4	1
750~1500（fDACCLK = fVCO/8）	8	2
420~750（fDACCLK = fVCO/16）	16	3

表67 常见的 DAC PLL 倍频示例 / Table 67. Common DAC PLL Frequency-Multiplication Examples

基准频率（MHz）/ Ref Freq (MHz)	fDACCLK（MHz）	VCO 频率（MHz）/ fVCO (MHz)	RefDivFactor	LODivFactor	BCount
368.64	1474.56	11796.48	8	8	16
184.32	1474.56	11796.48	4	8	16

基准频率（MHz）/ Ref Freq (MHz)	fDACCLK（MHz）	VCO 频率（MHz）/ fVCO (MHz)	RefDivFactor	LODivFactor	BCount
307.2	1228.88	9831.04	8	8	16
122.88	983.04	7864.35	2	8	8
61.44	983.04	7864.35	1	8	8
491.52	1966.08	7864.35	8	4	16
245.76	1966.08	7864.35	4	4	16

表68 温度跟踪设置 / Table 68. Temperature-Tracking Settings

VCO 频率（GHz）/ fVCO (GHz)	寄存器 0x1B4 / Register 0x1B4	寄存器 0x1B6 / Register 0x1B6	寄存器 0x1BB / Register 0x1BB
<6.85	0x60	0x49	0x15
6.85 到 8.72 / 6.85 to 8.72	0x60	0x49	0x13
8.72 到 10.7 / 8.72 to 10.7	0x60	0x4D	0x13
≥10.7	0x78	0x4D	0x04

7、温度传感器 / 7. Temperature Sensor

English: The on-chip die temperature sensor allows the temperature of the SXD020 die to be monitored via SPI. The temperature sensor must first be calibrated: its output code was measured during production test at two different temperatures T1 and T2, giving DIE temperature setting codes at those two temperatures, CODE_T1 and CODE_T2; the reference temperature and reference code can be computed from these two measured values (CODE_REF and TREF). Each device has its own calibrated reference code and reference temperature; a single-point calibration is performed per device. The die temperature can be read from DIE_TEMP (Registers 0x132 and 0x133). The die temperature sensor is enabled by setting DIE_TEMP_EN (Register 0x12F[0]) to 1. Setting the UPDATE_TARGET bit (Register 0x134[0]) to 1 [sets the current temperature code queue to update]. Before reading the temperature code (Registers 0x132 to 0x133), Register 0x134[0] must first be written to 1 to ensure an updated read. TX = TREF + 4.8 × (CODE_X − CODE_REF)/1000.

中文： 片上裸片温度传感器允许通过 SPI 监测 SXD020 裸片的温度。温度传感器须先行校准：在生产中对温度传感器的输出码字进行了校准测试，在 T1 和 T2 两种温度下对其输出进行了测试，得到了两组温度下的 DIE 温度设置码字 CODE_T1 和 CODE_T2；可以根据这两个测量值计算出其参考温度和参考码字（CODE_REF 和 TREF）。每个器件都有自己的校准参考码字和参考温度，每个器件将执行一次单点校准。裸片温度可以从 DIE_TEMP（寄存器 0x132 和寄存器 0x133）读取。裸片温度传感器通过设置 DIE_TEMP_EN（寄存器 0x12F[0]）为 1 来使能。设置 UPDATE_TARGET 位（寄存器 0x134[0]）为 1。读取温度码字（寄存器 0x132 至寄存器 0x133）之前，应先将寄存器 0x134[0]设置为 1，以确保更新读取。TX = TREF + 4.8 × (CODE_X − COOERREF)/1000。

例 / Example	数值 / Value
T1	27 °C
CODE_T1	28755
T2	89 °C
CODE_T2	29148
TREF	25 °C

例 / Example	数值 / Value
CODE_REF	28740

注：TX 是温度（以摄氏度为单位）；TREF 是预先计算好的参考温度（以摄氏度为单位）；CODE_X 是从寄存器 0x132 和 0x133 读出的 CODE；CODE_REF 是预先计算好的参考码字。 Note: TX is the temperature in °C; TREF is the precomputed reference temperature in °C; CODE_X is the CODE read from Registers 0x132 and 0x133; CODE_REF is the precomputed reference code.

8、中断请求操作 / 8. Interrupt Request Operation

English: The SXD020 is equipped with interrupt requests to support common faults and other effects the user needs to monitor. All interrupt requests in the SXD020 are sent via the IRQ pin (open-drain, active-low), which requires an external pull-up resistor. Multiple devices can be wire-ORed on the IRQ pin; if there are multiple devices on this pin, each must be checked individually to determine the source of the interrupt request. Figure 75 shows a simplified block diagram of the IRQ module.

An IRQ block maintains an input-signal-side enable setting (IRQ_EN), an interrupt-source register (INTERRUPT_SOURCE), an event-status register (EVENT_STATUS) and a status-mode setting (STATUS_MODE). EVENT_STATUS = INTERRUPT_SOURCE AND IRQ_EN, and decides whether the IRQ pin is asserted. Each IRQ block follows one of two models: (1) INTERRUPT_SOURCE persists until it is reset (via an IRQ_RESET bit). (2) STATUS_MODE directly sets INTERRUPT_SOURCE: STATUS_MODE = IRQ_EN. The source of an interrupt request can be cleared by writing STATUS_MODE = IRQ_RESET = 1. This reset can also reset the IRQ enable for that event signal (IRQ_EN = 0), but a subsequent write of IRQ_EN = 1 can re-enable it again (note that after re-enabling, the IRQ_EN of a Type 1 block must be read back to check whether the event is still valid). In the first IRQ model, the INTERRUPT_SOURCE value is obtained by reading the EVENT_STATUS register. The chip has IRQ events from various sources, up to 75 interrupt events. All interrupt blocks of the same type are combined into a single register, and IRQ_EN bits are also combined into a single register. Table 69 shows how the interrupt blocks are aggregated. The interrupt block registers for 0x46D to 0x473 and 0x47B[4] appear only in the register table for those addresses. Table 70 shows the valid combinations of signals and their addresses. It is recommended to read back the enable status (IRQ_EN) to check whether an event is still valid; each block in Table 70 has a STATUS_MODE bit defined.

Integrated-circuit IRQ events: The via-type IRQ events are combined into registers 0x01F to 0x026. Each of these registers contains the enable/disable and reset/status bits for up to 8 events.

Link IRQ events: For per-link, per-lane fault events (link events), the three IRQ blocks for BAD DISPARITY, NIT DISPARITY and UNEXPECTED K CHARACTER are combined into registers 0x46D to 0x46F. The eight JESD204B lanes share common information sources for these events. Each of these registers can be powered down, but all IRQ blocks share a single IRQ enable and a single IRQ reset (Register 0x47A). The information source of the three IRQ blocks is the error-count threshold overflow. For each overflow, STATUS_MODE = 1. When the error count exceeds the threshold, the per-event error flag is set.

中文： SXD020 配有中断请求，支持常见故障和其他用户需要监控的影响。SXD020 中的所有中断请求都通过 IRQ 引脚（漏极开路，有效低电平）发送，该引脚需要上拉外部电阻。可以将多个器件在 IRQ 引脚上进行线或。如果这个引脚上有多个器件，必须分别检查每个器件以确定中断请求的来源。图 75 显示了 IRQ 模块的简化框图。IRQ 模块维持一个输入信号侧使能设置（IRQ_EN）、一个中断源寄存器（INTERRUPT_SOURCE）、一个事件状态寄存器（EVENT_STATUS）和一个状态模式设置（STATUS_MODE）。

EVENT_STATUS=INTERRUPT_SOURCE AND IRQ_EN，并决定了 IRQ 引脚是否被中断。每个 IRQ 模块都遵循以下两个模型之一：(1) INTERRUPT_SOURCE 一直保持，直到被重置（通过 IRQ_RESET 位）。(2) STATUS_MODE 直接设置 INTERRUPT_SOURCE，STATUS_MODE = IRQ_EN。中断请求的源可以通过写入 STATUS_MODE = IRQ_RESET = 1 来清除。这种重置也可以重置该事件信号的 IRQ 使能（IRQ_EN = 0），但随后的 IRQ_EN = 1 也可以再次使能（注意，重新使能后，必须回读类型 1 模块的 IRQ_EN，以检查事件是否仍有效）。在第一种 IRQ 模型中，INTERRUPT_SOURCE 的值通过读 EVENT_STATUS 寄存器获得。芯片具有各种来源的 IRQ 事件，有高达 75 个中断事件。同一类型的所有中断块都合并到一个寄存器中，IRQ_EN 位也合并到一个寄存器中。表 69 显示了中断块的集合。0x46D 到 0x473 和 0x47B[4]的中断块寄存器只会出现在这些地址的寄存器表中。表 70 显示了有效的信号组合以及它们的地址。建议回读使能状态（IRQ_EN），以检查某个事件是否仍然有效；表 70 中的每个块都有一个 STATUS_MODE 位的定义。集成电路 IRQ 事件：通孔式 IRQ 事件被合并成寄存器 0x01F 到 0x026。这些寄存器中的每一个都包含最多 8 个事件的使能/禁用和重置/状态位。链路 IRQ 事件：对于每个链路、每个通道的故障事件（链路事件），BADDISPARITY、NITDISPARITY 和 UNEXPECTED K CHARACTER 的三个 IRQ 块合并到寄存器 0x46D 到 0x46F。八条 JESD204B 通道共用这些事件的共同信息源。这些寄存器中的每一个都可以关闭电源，但所有的 IRQ 块共享一个 IRQ 使能和一个 IRQ 复位（寄存器 0x47A）。三个 IRQ 块的信息源是错误计数阈值的溢出。对于每个溢出，STATUS_MODE = 1。当错误计数超过阈值时，每个事件的错误标志被设置。

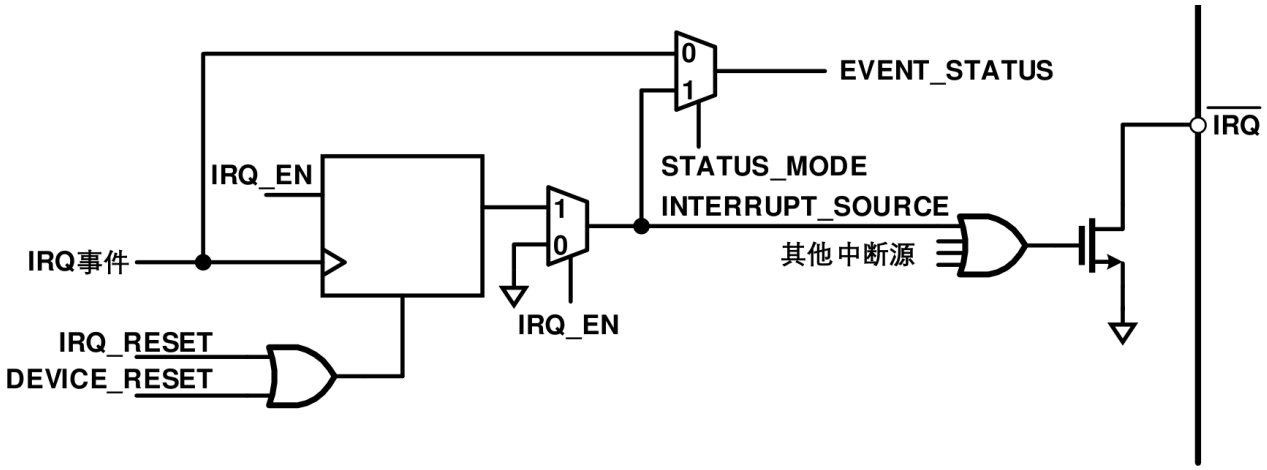


Figure 75: IRQ module simplified functional block diagram

表69 中断块的 IRQ 寄存器 / Table 69. Interrupt-Block IRQ Registers

状态模式 / Status Mode	信号 / Signal
IRQ_EN（或 / or STATUS_MODE=IRQ_EN）	寄存器 0x01F 到寄存器 0x026；寄存器 0x46D 到寄存器 0x46F；寄存器 0x470 到寄存器 0x473
中断源 / INTERRUPT_SOURCE	使能在寄存器 0x47A；复位在寄存器 0x46D 到寄存器 0x46F，寄存器 0x470 到寄存器 0x473
INTERRUPT SOURCE 状态 / INTERRUPT_SOURCE Status	—
配置不匹配 / Configuration mismatch	IRQ_EN 在寄存器 0x47B[3]；复位/状态在寄存器 0x47B[4] / IRQ_EN in Register 0x47B[3]; reset/status in 0x47B[4]

表70 信号地址 / Table 70. Signal Addresses

地址 / Address	比特名称 / Bit Name	信号描述 / Signal Description
0x01F	IRQ_EN	IRQ 使能，读/写 / IRQ enable, R/W
0x020	IRQ_EN	IRQ 使能，读/写 / IRQ enable, R/W
0x021	IRQ_EN	IRQ 使能，读/写 / IRQ enable, R/W
0x022	IRQ_EN	IRQ 使能，读/写 / IRQ enable, R/W
0x023	IRQ_RESET、EVENT_STATUS 和 STATUS_MODE=IRQ_EN / IRQ_RESET, EVENT_STATUS, STATUS_MODE=IRQ_EN	IRQ 复位，写；事件状态，读 / IRQ reset, W; event status, R
0x024	IRQ_RESET、EVENT_STATUS 和 STATUS_MODE=IRQ_EN	同上 / Same as above
0x025	IRQ_RESET、EVENT_STATUS 和 STATUS_MODE=IRQ_EN	同上 / Same as above
0x026	IRQ_RESET、EVENT_STATUS 和 STATUS_MODE=IRQ_EN	同上 / Same as above
0x47A	IRQ_EN、EVENT_STATUS 和 STATUS_MODE=INTERRUPT_SOURCE	IRQ 使能，写；事件状态，读 / IRQ enable, W; event status, R
0x46D	IRQ_RESET 和 EVENT_STATUS / IRQ_RESET and EVENT_STATUS	IRQ 复位，写；事件事件，读 / IRQ reset, W; event status, R
0x46E	IRQ_RESET 和 EVENT_STATUS	同上 / Same as above
0x46F	IRQ_RESET 和 EVENT_STATUS	同上 / Same as above
0x470	IRQ_RESET（STATUS_MODE=INTERRUPT_SOURCE）和 EVENT_STATUS	IRQ 复位和事件状态。复位（IRQ_RESET=1）使事件状态复位 / IRQ reset and event status; reset (IRQ_RESET=1) resets the event status
0x471	IRQ_RESET 和 EVENT_STATUS	同上 / Same as above
0x472	IRQ_RESET 和 EVENT_STATUS	同上 / Same as above
0x473	IRQ_RESET 和 EVENT_STATUS	同上 / Same as above
0x47B	IRQ_EN 和 STATUS MODE=INTERRUPT_SOURCE / IRQ_EN and STATUS_MODE=INTERRUPT_SOURCE	CMM 启用复位（寄存器 0x47B[3]），事件状态（寄存器 0x47B[4]）/ CMM enable-reset (Register 0x47B[3]); event status (Register 0x47B[4])

8.1 中断服务流程 / 8.1 Interrupt Service Flow

English: The interrupt service flow is as follows: 1. Read the event-status flags in all EVENT_STATUS registers to determine the cause of the interrupt. 2. Write IRQ_EN = 0 to ensure the event is disabled before handling the interrupt. Clearing the source of the interrupt request can re-enable the event. 3. Read the INTERRUPT_SOURCE to determine the detailed source of the interrupt event. 4. Clear the cause of the current interrupt. 5. Ensure that all interrupt causes have been cleared. 6. Write IRQ_RESET = 1. This clears the EVENT_STATUS bit and thus deasserts the IRQ pin. 7. Write IRQ_EN = 1 to re-enable the interrupt to ensure the next occurrence of the event is captured.

中文： 中断服务流程如下：1. 读取所有 EVENT_STATUS 寄存器中的事件状态标志以确定中断原因。2. 写入 IRQ_EN = 0，以确保在处理中断之前该事件被禁用。清除中断请求的来源可以重新使能事件。3. 读取 INTERRUPT_SOURCE 以确定中断事件的详细来源。4. 清除当前中断的原因。5. 确保所有中断的原因都被清除了。6. 写入 IRQ_RESET = 1。这将清除 EVENT_STATUS 位，从而去使能 IRQ 引脚。7. 写入 IRQ_EN = 1 以重新使能中断，以确保捕获该事件的下一次发生。

9、板级硬件考虑 / 9. Board-Level Hardware Considerations

9.1 电源建议 / 9.1 Power Recommendations

English: The SXD020 uses a variety of power supplies for different system functions. The following is how the SXD020 is powered in its respective functions. See Table 71 for the supply summary.

中文： SXD020 使用多种电源为不同的系统功能供电。以下介绍 SXD020 在其各自的供电方式。电源汇总见表 71。

表71 电源 / Table 71. Power Supplies

电源 / Supply	推荐电压（V）/ Recommended Voltage (V)	功能 / Function
DVDD12	1.2	数字核 / Digital core
PVDD12	1.2	DAC PLL 和时钟接收器 / DAC PLL and clock receiver
SVDD12	1.2	JESD204B 接口 / JESD204B interface
CVDD12	1.2	DAC 时钟 / DAC clock
IOVDD	3.3	SPI / SPI
VTT	1.2	JESD204B 接口 / JESD204B interface
SIOVDD33	3.3	LVDS 输出 / LVDS outputs
AVDD33	3.3	DAC 核 / DAC core

注：a) 对于最大的 DAC 更新速率和 JESD204B 接口速率，电源需要 1.3 V。b) 可以共用一个电源供电，但需要单独的滤波和旁路。c) 可以直接连接到 SVDD12。d) 对噪声尤其敏感，必须特别注意降噪处理。 Notes: a) For maximum DAC update rate and JESD204B interface rate, a 1.3 V supply is required. b) May share one supply, with separate filtering and bypass. c) May be connected directly to SVDD12. d) Particularly noise-sensitive; special attention to noise reduction is required.

9.2 SERDES 通道布局指南 / 9.2 SERDES Channel Layout Guidelines

English: 9.2.1 Insertion loss: The SERDES receiver uses a continuous-time linear equalizer (CTLE) to compensate for board losses, allowing the board designer to choose trace length and materials based on the loss budget. For low insertion loss, use high-quality board materials such as Megtron or Rogers materials. Microstrip traces have lower loss than stripline traces; trace construction is a key factor in the channel loss budget.

Principles of insertion loss and trace layout: Lay out the traces as transmission lines, taking care of routing constraints such as length, via count and layer changes. Keep the number of vias to a minimum: vias change the characteristic impedance of the transmission line; although vias can be optimized for high-speed signals, each via adds some loss. When vias are needed, place ground vias near the signal vias; with fully differential signals, these ground vias are not necessary in principle, but they may be needed to reduce crosstalk. Use wide traces where possible: wider traces have lower loss, but cannot exceed the width of the solder pad on the ball. Consider the ball pad size below the surface finish; also consider lead-in traces joining the DAC and the FPGA; avoid right-angle bends. Stripline traces have higher loss than microstrip traces, but offer better EMI advantages; use stripline for long traces if possible; an example stripline layout design is shown in Figure 76. Stubs in vias cause serious problems: vias passing through

the whole board (i.e., printed-circuit-board holes) have a stub reaching the opposite side of the board. This is not a major problem if the stripline is next to the main trace. Ample ground vias around the differential pair and the power vias can greatly reduce this problem. Ground-via placement and grounding strategy must be carefully observed. The so-called "problem" bandwidth is only half the signal frequency. Positive vias connected to the ground layer form a ground cavity. Generally, the frequency period of the ground-layer cavity must be much smaller than the "problem" bandwidth, i.e., signals must be placed so that ground vias have a λ/20 spacing. As shown in Figure 76, stubs cause energy reflection and increase return loss. By using 8-mil vias, the stub effect can be reduced, achieving a differential stripline with smaller via stubs top and bottom and additional ground vias.

9.2.2 Return loss: The impact of reflection depends on the magnitude of the impedance mismatch and the channel. In general, use typical CML loads, which provide a 100 Ω termination. The transmitter and receiver have 100 Ω differential characteristic impedance. Reflection after the termination point also affects the signal reaching the receiver. Board areas where return loss is degraded include package transitions and exits, board-to-board connectors, and cables.

9.2.3 Skew: Skew is caused by mismatch in the total path length of the two wires of the differential pair. Skew arises in two ways: (1) routing the pairs with unequal lengths; (2) unequal etch widths (fabrication tolerance) of the two differential wires, causing different propagation speeds. The most accurate way to measure skew is to use a time-domain reflectometer (TDR) or a vector network analyzer (VNA) to measure the propagation delay of each single-ended wire. To optimize the skew of a differential pair, lay out the two wires of the pair from start to finish without vias if possible. If vias are necessary, each wire should have the same number of vias and perforations in similar locations. In addition, lay out one wire of the pair immediately adjacent to the other. For data rates up to 10.6 Gbps, the matching length within the pair shall be within 15 mm.

9.2.4 Differential-pair design and topology: The differential pair must be carefully designed to maintain balanced loading on both wires of the pair. Each half of the differential pair should have a characteristic impedance of 50 Ω. Coplanar and broadside-coupled lines are two common types of differential-pair topology. Coplanar lines have the impedance of each wire determined primarily by the wire itself, and are usually easier to achieve. Coupling between the two wires of the pair can be tight or loose; loose coupling makes the impedance less sensitive to fabrication tolerances, but increases the spacing between the two wires. As shown in Figure 77, for the same target impedance, coplanar lines require wider spacing than broadside-coupled lines. Figure 78 shows tightly and loosely coupled differential lines.

9.2.5 Board design for synchronous differential signals: SYNCOUTx±, SYSREF± and CLK± must be terminated with 100 Ω differential (or 50 Ω to ground) impedance. The output (SYNCOUTx±) uses the same drivers as the input pads (SYSREF± and CLK±). Therefore, these signals must be carefully laid out to control impedance and isolate noise from other signals, especially high-speed digital (JESD204B) signals. For Subclass 1 operation (deterministic latency), all SYSREF± and CLK± traces on the board must be carefully length-matched. As shown in Figure 79, the SYSREF± and CLK± traces must have the same path-length delay from the timer chip output to the inputs of all converters and logic devices; the clock-distribution device (for example, an HMC7043) drives these signals according to their respective design considerations.

9.2.6 AC-coupling capacitors: Use 100 nF AC-coupling capacitors and place them as close as possible to the transmit logic device. The capacitance depends on the frequency of the lowest signal component of interest.

中文： 9.2.1 插入损耗：SERDES 接收器使用连续时间线性均衡器（CTLE）来补偿板上的损耗，允许板设计师根据损耗预算选择走线长度和材料。对于低插入损耗，使用 Megtron 或罗杰斯材质等优质板材料。微带走线与带状线走线相比，损耗较低；走线结构是通道损耗预算的一个关键因素。插入损耗及走线布局原则：把走线布局为传输线，注意布线限制，如长度、过孔数量和层的变化。保持过孔的数量最小：过孔会改变传输线的特征阻抗；虽然过孔可以为高速信号优化，但每个孔都会增加一定的损失。当需要过孔时，在信号过孔附近放置接地过孔；使用完全差分信号时，原则上这些接地孔并非必需，但减少串扰可能需要接地过孔。使用尽可能宽的走线：更宽的走线损耗更低，但不能超过球上的焊盘宽度。考虑表面光洁度下球垫的尺寸；另外，还要考虑与 DAC 和 FPGA 交汇的引入线迹；避免直角弯曲。带状线走线的损耗比微带走线大，但能提供更好的 EMI 优势；如果可能的话，长走线应使用带状线，带状线布局设计的例子如图 76 所示。过孔中的桩点会引起严重的问题：通过整个电路板的过孔（即印刷电路板孔），其桩点延伸到电路板的对面。若带状线在主走线的旁边，这就不是什么大问题了。差分对和电源过孔周围有充足的地过孔，可以大大地减少这个问题。必须认真遵守接地过孔的放置和接地策略。所谓"问题"带宽仅为信号频率的一半。连接到地层的正过孔形成一个地腔。一般来说，接地层腔的频率周期必须远远小于"问题"带宽，也就是说信号的放置必须使地过孔有 λ/20 的间距。如图 76 所示，桩会引起能量反射，增加回波损耗的问题。通过采用 8 密耳过孔，可以降低桩的影响实现低过孔桩的上下差分带状线，并增加地过孔。9.2.2 回波损耗：反射的影响取决于阻抗失配的程度和通道情况。一般情况下，使用典型的 CML 负载，它能提供一个 100 Ω 的终端。发送器和接收器具有 100 Ω 的差分特征阻抗。终端点后的反射也会对到达接收器的信号产生影响。回波损耗减弱的电路板区域包括封装转换和出口、电路板与电路板之间的连接器以及电缆。9.2.3 倾斜：倾斜是由于差分对的两个导线的总路径长度不匹配所引起的。倾斜的产生有两条途径：(1)将配对的导线长度不相等；(2)两根差分导线的蚀刻宽度不等（制造公差），导致传播速度不同。测量倾斜最精确的方法是使用时域反射仪(TDR)或矢量网络分析仪（VNA)来测量每根单端导线的传播延迟。为了优化差分对的倾斜，如果可能的话，从头到尾不带过孔地将两根配对导线敷设好。如果有必要使用过孔，每根导线都应有相同数量的过孔和穿孔，且在相似位置。另外，将对中的一条导线紧邻另一条布局。对于高达 10.6Gbps 的数据速率，在差分对内的匹配长度应在 15 毫米内。9.2.4 差分对设计和拓扑结构：差分对必须经过精心设计，以保持差分对两根导线上的平衡负载。差分对的每一半的特征阻抗都应该是 50 Ω。共面和宽边耦合线是差分对拓扑结构中两种常见的类型。共面线的每一根导线的阻抗主要由导线本身决定，通常更容易实现。一对导线之间的耦合可以是紧耦合，也可以是松耦合；松耦合使阻抗对制造公差的敏感度降低，但增加了两导线之间的距离。如图 77 所示，对于相同的目标阻抗，共面线比宽边耦合线需要更宽的间隔。图 78 显示了紧耦合和松耦合的差分线。9.2.5 同步差分信号的电路板设计：SYNCOUTx±、SYSREF±和 CLK±必须用 100 Ω 的差分阻抗（或者 50 Ω 的接地）终端。输出（SYNCOUTx±）使用与输入焊盘（SYSREF±和 CLK±）相同的驱动器。因此，这些信号的布局必须仔细，以控制阻抗并隔离来自其他信号的噪声，特别是高速数字（JESD204B）信号。对于子类 1 的运行（确定性延迟），电路板上所有 SYSREF±和 CLK±轨迹必须进行仔细的长度匹配。如图 79 所示，SYSREF±和 CLK±轨迹必须从定时器芯片输出到所有转换器和逻辑器件的输入端有相同的路径长度延迟，时钟分配器件（例如 HMC7043）根据其各自的设计考虑来驱动这些信号。9.2.6 交流耦合电容：使用 100 nF 的交流耦合电容，并将它们尽可能地靠近发送逻辑器件。电容容值取决于感兴趣的最低信号分量的频率。

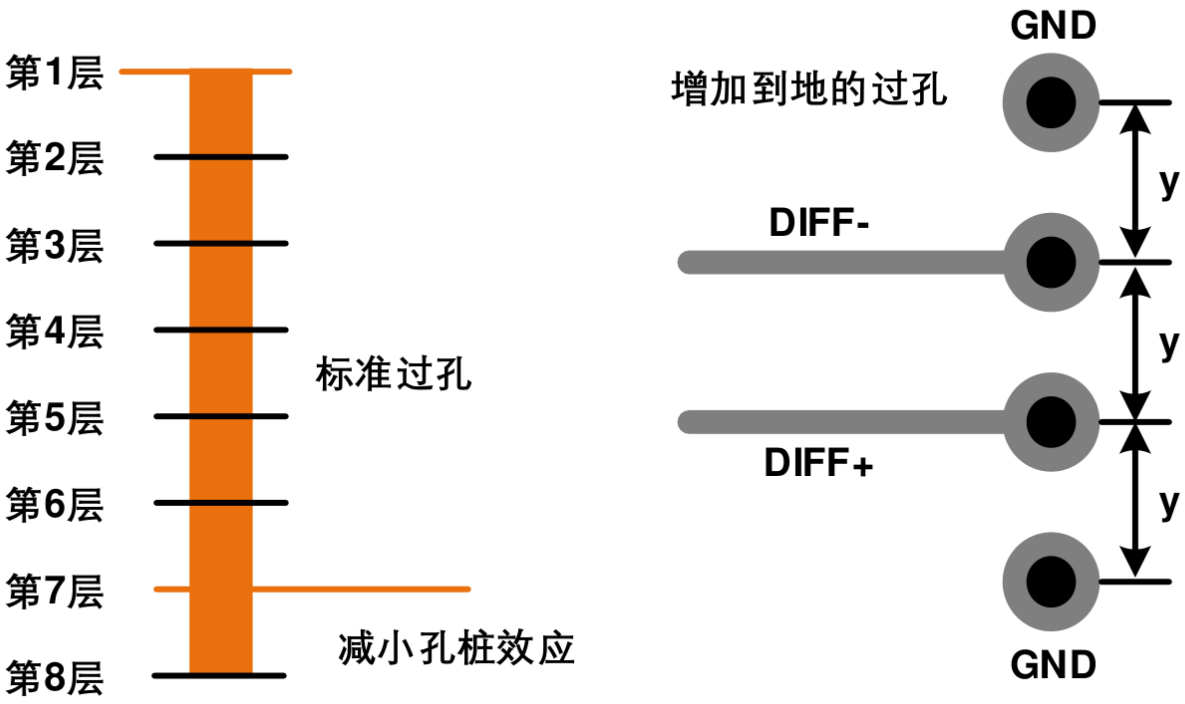


Figure 76: Differential stripline reducing via-stub effects and adding ground vias

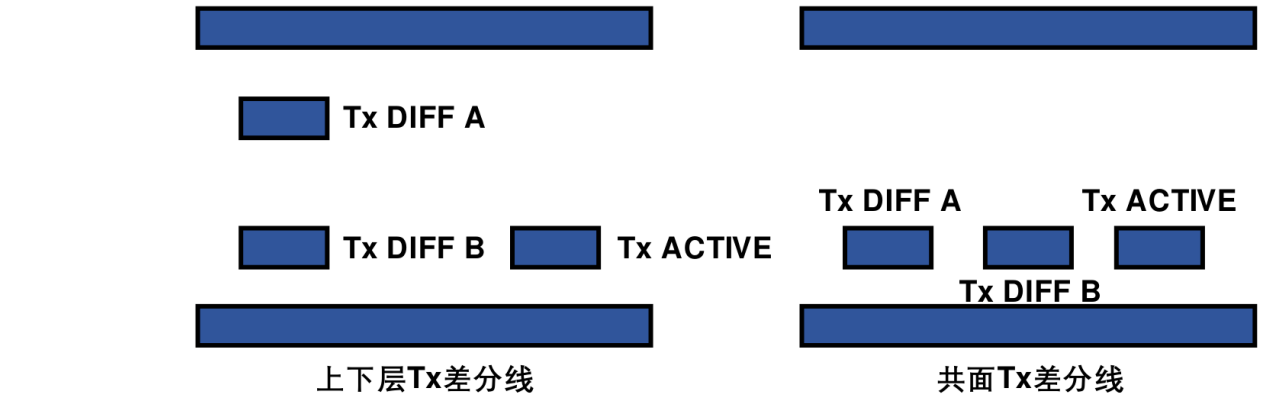


Figure 77: Differential stripline upper/lower-layer routing and coplanar routing

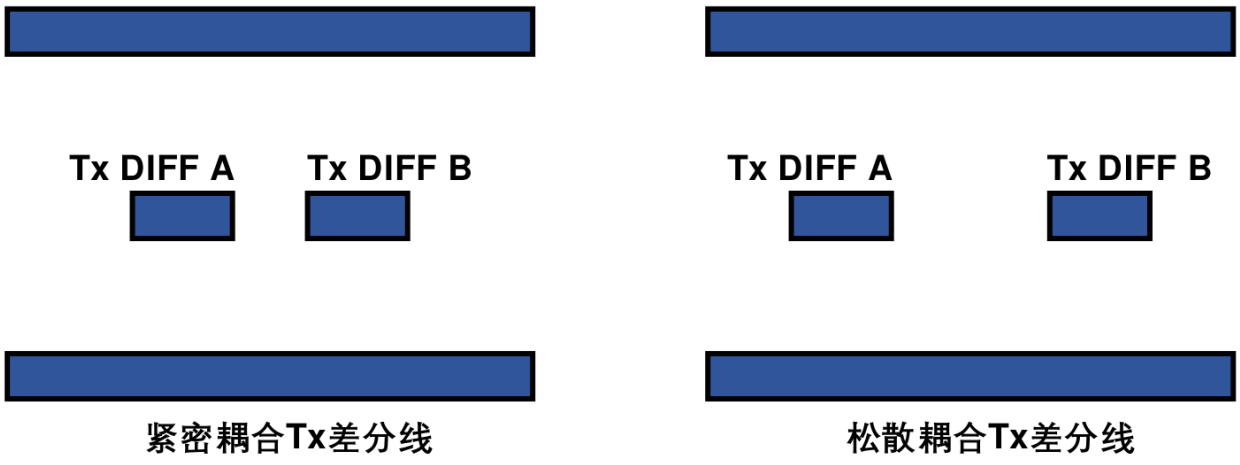


Figure 78: Tightly coupled and loosely coupled differential lines

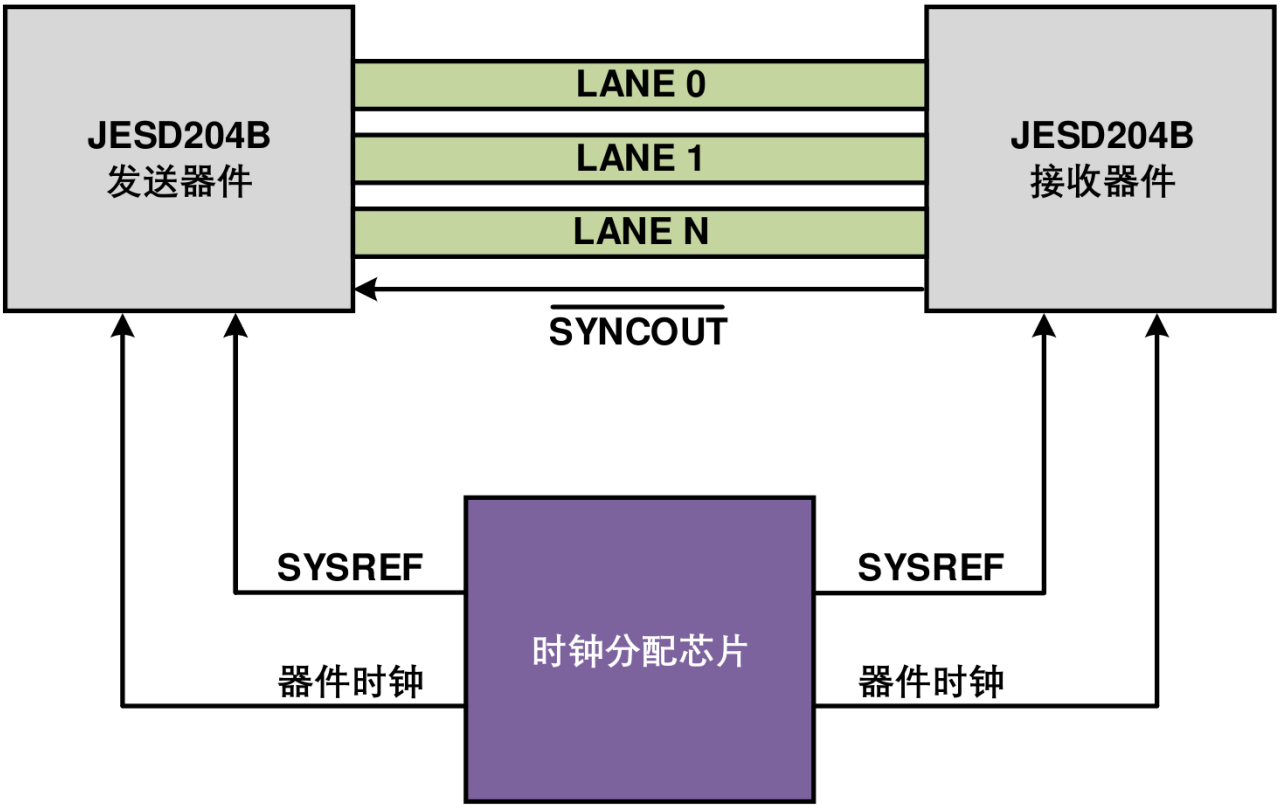


Figure 79: CLK± and SYSREF± signal path lengths

10、启动顺序示例 / 10. Startup Sequence Example

English: The startup sequence example below shows the startup flow required to configure the SXD020 device to the desired configuration. DAC sample rate: 1474.56 MHz; interpolation rate: 2×; DAC PLL reference: 368.64 MHz; JESD204B mode: Mode 4, dual-link, Subclass 1; all eight lanes at 7.3728 Gbps; input data format: two's complement; no crossbar reconfiguration. Recommended startup steps: 1. Power up the device / perform power-on initialization. 2. Configure the DATAPATH. 3. Configure the physical layer. 4. Configure the data-link layer. 5. Check the link status.

中文： 以下启动顺序示例显示了将 SXD020 器件配置为所需配置所需的启动流程。DAC 采样率：1474.56 MHz。内插率：2 倍。DAC PLL 参考：368.64 MHz。JESD204B 模式：模式 4，双链接，子类 1；全部 8 个 Lane 速度为 7.3728 Gbps。输入数据格式：2 的补码。不使用交叉开关重新配置。推荐的启动步骤：1. 器件上电/进行上电初始化。2. 配置 DATAPATH。3. 配置物理层。4. 配置数据链路层。5. 检查链路状态。

表72 上电和 DAC 初始化 / Table 72. Power-Up and DAC Initialization

步骤 / Step	操作 / Operation	地址 / Address	数据 / Data	描述 / Description
1	写 / Write	0x000	0xBD	SPI 复位 / SPI reset
2	写 / Write	0x000	0x3C	解除 SPI 复位 / Clear SPI reset
3	写 / Write	0x011	0x00	使能所有的 DAC / Enable all DACs
4	写 / Write	0x080	0x04	

步骤 / Step	操作 / Operation	地址 / Address	数据 / Data	描述 / Description
				关闭时钟；使能占空比校正电路 / Power down clocks; enable duty-cycle correction circuit
5	写 / Write	0x081	0x00	使能 SYSREF 接收机 / Enable the SYSREF receiver

表73 器件配置要求 / Table 73. Required Device Configuration

步骤 / Step	操作 / Operation	地址 / Address	数据 / Data	描述 / Description
1	写 / Write	0x12D	0x8B	要求的值 / Required value
2	写 / Write	0x146	0x01	要求的值 / Required value
3	写 / Write	0x333	0x01	要求的值 / Required value

表74 配置 DAC PLL / Table 74. DAC PLL Configuration

步骤 / Step	操作 / Operation	地址 / Address	数据 / Data	描述 / Description
1	写 / Write	0x087	0x62	固定的值 / Fixed value
2	写 / Write	0x088	0xC9	固定的值 / Fixed value
3	写 / Write	0x089	0x0E	固定的值 / Fixed value
4	写 / Write	0x08A	0x12	固定的值 / Fixed value
5	写 / Write	0x08D	0x7B	固定的值 / Fixed value
6	写 / Write	0x1B0	0x00	固定的值 / Fixed value
7	写 / Write	0x1B5	0xC9	固定的值 / Fixed value
8	写 / Write	0x1B6	0x4D	为温度跟踪设置的 VCO 频率值 / VCO frequency value for temperature tracking
9	写 / Write	0x1BB	0x04	为温度跟踪设置的 VCO 频率值 / VCO frequency value
10	写 / Write	0x1B9	0x24	固定的值 / Fixed value
11	写 / Write	0x1B4	0x78	为温度跟踪设置的 VCO 频率值 / VCO frequency value
12	写 / Write	0x1BC	0x0D	固定的值 / Fixed value
13	写 / Write	0x1BE	0x02	固定的值 / Fixed value
14	写 / Write	0x1BF	0x8E	固定的值 / Fixed value
15	写 / Write	0x1C0	0x2A	固定的值 / Fixed value
16	写 / Write	0x1C5	0x06	为温度跟踪设置的 VCO 频率值 / VCO frequency value
17	写 / Write	0x1C1	0x2A	固定的值 / Fixed value
18	写 / Write	0x1C4	0x7E	固定的值 / Fixed value
19	写 / Write	0x08B	0x02	设置 LoDivFactor 为 8 / Set LODivFactor to 8
20	写 / Write	0x08C	0x03	设置 RefDivFactor 为 8 / Set RefDivFactor to 8
21	写 / Write	0x085	0x10	设置 BCount 为 16 / Set BCount to 16
22	写 / Write	0x083	0x10	使能 DAC PLL / Enable the DAC PLL
23	写 / Write	0x1BD	0x08	使能校准辅助 / Enable calibration assist

步骤 / Step	操作 / Operation	地址 / Address	数据 / Data	描述 / Description
24	写 / Write	0x1BD	0x00	关闭校准辅助 / Disable calibration assist
25	读 / Read	0x084	—	检查位 1 是否为高电平（DAC PLL 锁定）/ Check that bit 1 is high (DAC PLL locked)

表75 配置数据通路 / Table 75. Datapath Configuration

步骤 / Step	操作 / Operation	地址 / Address	数据 / Data	描述 / Description
1	写 / Write	0x112	0x01	内插率 2 倍 / 2× interpolation
2	写 / Write	0x110	0x00	输入数据格式：2 的补码 / Input data format: two's complement

表76 配置链路 0（传输层）/ Table 76. Link 0 Configuration (Transport Layer)

步骤 / Step	操作 / Operation	地址 / Address	数据 / Data	描述 / Description
1	写 / Write	0x200	0x00	使能 SERDES 块 / Enable the SERDES block
2	写 / Write	0x201	0x00	使能所有的 SERDES 通道 / Enable all SERDES lanes
3	写 / Write	0x300	0x08	选择链路 0 / Select Link 0
4	写 / Write	0x450	0x00	DID=0
5	写 / Write	0x451	0x00	BID=0
6	写 / Write	0x452	0x00	LID=0
7	写 / Write	0x453	0x83	SCR=1，L=3（4 个 Lane）/ SCR=1, L=3 (4 lanes)
8	写 / Write	0x454	0x00	F=0（每帧 1 字节）/ F=0 (1 byte per frame)
9	写 / Write	0x455	0x1F	K=31（每多帧 32 帧）/ K=31 (32 frames per multiframe)
10	写 / Write	0x456	0x01	M=1（两个转换器）/ M=1 (two converters)
11	写 / Write	0x457	0x0F	CS=0，N=15（转换器分辨率为 16）/ CS=0, N=15 (16-bit resolution)
12	写 / Write	0x458	0x2F	SUBCLASSV=1，NP=15（16 位打包）/ SUBCLASSV=1, NP=15 (16-bit packed)
13	写 / Write	0x459	0x20	JESDVER=1（204B），S=0（每个转换器 1 个样本）/ JESDVER=1 (204B), S=0 (1 sample per converter)
14	写 / Write	0x45A	0x80	HD=1，CF=0 / HD=1, CF=0
15	写 / Write	0x45D	0x45	计算得到的校验和 / Computed checksum
16	写 / Write	0x46C	0x0F	使能第 0 到第 3 通道的 Deskew 功能 / Enable deskew on lanes 0–3
17	写 / Write	0x476	0x01	每多帧 32 帧 / 32 frames per multiframe
18	写 / Write	0x47D	0x0F	使能第 0 到第 3 的通道 / Enable lanes 0–3

表77 配置链路 1（传输层）/ Table 77. Link 1 Configuration (Transport Layer)

步骤 / Step	操作 / Operation	地址 / Address	数据 / Data	描述 / Description
1	写 / Write	0x300	0x0C	选择链路 1 / Select Link 1
2	写 / Write	0x452	0x04	

步骤 / Step	操作 / Operation	地址 / Address	数据 / Data	描述 / Description
				LID=4（不使用此模式；参见第 2 步注释）/ LID=4 (not used in this mode; see the step 2 note)
3-15	写 / Write	—	—	与表 76 的第 4 步到第 15 步相同 / Same as Table 76 steps 4–15
16	写 / Write	0x46C	0xF0	使能第 4 到第 7 通道的 Deskew 功能 / Enable deskew on lanes 4–7
17	写 / Write	0x476	0x01	每多帧 32 帧 / 32 frames per multiframe
18	写 / Write	0x47D	0xF0	使能第 4 到第 7 的通道 / Enable lanes 4–7

注：LID=4 表示通道 4 ID。/ Note: LID=4 denotes Lane 4 ID.

表78 SERDES 通道配置（物理层）/ Table 78. SERDES Lane Configuration (Physical Layer)

步骤 / Step	操作 / Operation	地址 / Address	数据 / Data	描述 / Description
1	写 / Write	0x2A7	0x01	触发SERDES通道终端校准 / Trigger SERDES lane termination calibration
2	写 / Write	0x2AE	0x01	触发SERDES通道终端校准 / Trigger termination calibration
3	写 / Write	0x314	0x01	确保 SPI 同步 / Ensure SPI synchronization
4	写 / Write	0x230	0x28	CDR 半速率工作模式 / CDR half-rate operating mode
5	写 / Write	0x206	0x00	关闭 CDR 复位 / Deassert CDR reset
6	写 / Write	0x206	0x01	断言复位 / Assert reset
7	写 / Write	0x289	0x04	设置 CDR 过采样模式 / Set CDR oversampling mode
8	写 / Write	0x284	0x62	SERDES PLL 的固定值 / SERDES PLL fixed value
9	写 / Write	0x285	0xC9	固定的值 / Fixed value
10	写 / Write	0x286	0x0E	固定的值 / Fixed value
11	写 / Write	0x287	0x12	固定的值 / Fixed value
12	写 / Write	0x28A	0x7B	固定的值 / Fixed value
13	写 / Write	0x28B	0x00	固定的值 / Fixed value
14	写 / Write	0x290	0x89	固定的值 / Fixed value
15	写 / Write	0x291	0x4C	固定的值 / Fixed value
16	写 / Write	0x294	0x24	固定的值 / Fixed value
17	写 / Write	0x296	0x1B	固定的值 / Fixed value
18	写 / Write	0x297	0x0D	固定的值 / Fixed value
19	写 / Write	0x299	0x02	固定的值 / Fixed value
20	写 / Write	0x29A	0x8E	固定的值 / Fixed value
21	写 / Write	0x29C	0x2A	固定的值 / Fixed value
22	写 / Write	0x29F	0x7E	固定的值 / Fixed value
23	写 / Write	0x2A0	0x06	固定的值 / Fixed value
24	写 / Write	0x280	0x01	使能 SERDES PLL / Enable the SERDES PLL

步骤 / Step	操作 / Operation	地址 / Address	数据 / Data	描述 / Description
25	写 / Write	0x298	0x08	使能 VCO 校准 / Enable VCO calibration
26	写 / Write	0x298	0x00	关闭 VCO 校准，PLL 校准模式 / Disable VCO calibration, PLL calibration mode
27	读 / Read	0x281	—	SERDES PLL 锁定 / SERDES PLL lock
28	写 / Write	0x268	0x62	均衡器（低功率模式）/ Equalizer (low-power mode)

表79 设置数据链路层 / Table 79. Data-Link Layer Setup

步骤 / Step	操作 / Operation	地址 / Address	数据 / Data	描述 / Description
1	写 / Write	0x301	0x01	设置 Subclass 为 1 / Set Subclass 1
2	写 / Write	0x304	0x00	设置 LMFC 延迟=0 / Set LMFC delay = 0
3	写 / Write	0x305	0x00	设置 LMFC 延迟=0 / Set LMFC delay = 0
4	写 / Write	0x306	0x0A	设置 LMFCVAR=10 / Set LMFCVAR = 10
5	写 / Write	0x307	0x0A	设置 LMFCVAR=10 / Set LMFCVAR = 10
6	写 / Write	0x03A	0x01	一次性模式 / One-shot mode
7	写 / Write	0x03A	0x81	使能 LMFC 同步 / Enable LMFC synchronization
8	写 / Write	0x03A	0xC1	启动 LMFC 旋转 / Start LMFC rotation
9	—	—	—	等待 SYSREF±的上升沿 / Wait for the SYSREF± rising edge
10	写 / Write	0x300	0x0B	选择链路 0 / Select Link 0

注：这个程序不能保证确定性延迟。/ Note: This procedure does not guarantee deterministic latency.

表80 检查链路 0 状态 / Table 80. Link 0 Status Checks

步骤 / Step	操作 / Operation	地址 / Address	数据 / Data	描述 / Description
1	读 / Read	0x470	0x0F	四/K28.5/符合同步 / Four /K28.5/ code-group synchronizations
2	—	—	SYNCOUT0±	应为高电平 / Should be high
3	—	—	—	供应商逻辑器件发送 ILAS 和数据 / Vendor logic device sends ILAS and data
4	读 / Read	0x471	0x0F	帧同步状态 / Frame-sync status
5	读 / Read	0x472	0x0F	校验和状态 / Checksum status
6	读 / Read	0x473	0x0F	ILAS 状态 / ILAS status

表81 检查链路 1 状态 / Table 81. Link 1 Status Checks

步骤 / Step	操作 / Operation	地址 / Address	数据 / Data	描述 / Description
1	写 / Write	0x300	0x0F	选择链路 1 / Select Link 1
2	读 / Read	0x470	0x0F	四/K28.5/符合同步 / Four /K28.5/ synchronizations
3	—	—	SYNCOUT1±	应为高电平 / Should be high

步骤 / Step	操作 / Operation	地址 / Address	数据 / Data	描述 / Description
4	—	—	—	供应商逻辑器件发送 ILAS 和数据 / Vendor logic device sends ILAS and data
5	读 / Read	0x471	0x0F	帧同步状态 / Frame-sync status
6	读 / Read	0x472	0x0F	校验和状态 / Checksum status
7	读 / Read	0x473	0x0F	ILAS 状态 / ILAS status

寄存器 / Registers

English: 1. **Defaults:** After reset, the key registers are loaded with default values. The register defaults are given in the memory-map register table. 2. **Dual-page channel control:** The four channels of the SXD020 are divided into two IQ pairs. Some channel-configuration functions — input data format, downstream protection, interpolation, modulation, inverse Sinc, digital gain, phase offset, DC offset, group delay, IQ swap, datapath PRBS, LMFC synchronization, NCO alignment and DAC operating mode — can have a different value for each IQ pair. In this case, the bit address of each channel's register is the same. Register 0x008 is used to select Pair A (DAC0 and DAC1) or Pair B (DAC2 and DAC3). 3. **SPI soft reset:** After issuing a soft-reset command by configuring Register 0x000 to 0x81, 10 ms are required for recovery. When used in application settings, ensure the firmware programming includes sufficient delay after the soft reset before starting operation. 4. **Memory-map register table:** see Table 82.

中文： 1、默认值：复位后，关键寄存器加载默认值。寄存器的默认值在存储器映射寄存器表中。2、通道双页控制：SXD020 的四通道分为两个"IQ 对"，一些通道设置功能，如输入数据格式、下游保护、插值、调制、反 Sinc、数字增益、相位偏移、直流失调、群延迟、IQ 交换、数据路径 PRBS、LMFC 同步、NCO 对齐和 DAC 工作模式，每个"IQ 对"可以是不同的值。在这种情况下，每个通道的寄存器的位地址是一致的。寄存器 0x008 用于选中"A 对"（DAC0 和 DAC1）或"B 对"（DAC2 和 DAC3）。3、SPI 软复位：将寄存器 0x000 配置 0x81 发出软复位指令后，需要 10ms 才能恢复。当用于应用设置时，确保在开始运行之前软复位编程到固件中有足够的延迟。4、内存映射寄存器表：见表 82。

表82 SPI 寄存器 / Table 82. SPI Registers

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x000	SPI_INTFCONFA	7	SOFTRESET_M	软复位（镜像）/ Soft reset (mirror)	0x0	R
0x000	SPI_INTFCONFA	6	LSBFIRST_M	LSB 优先（镜像）/ LSB first (mirror)	0x0	R
0x000	SPI_INTFCONFA	5	ADDRINC_M	地址递增（镜像）/ Address increment (mirror)	0x0	R
0x000	SPI_INTFCONFA	4	SDOACTIVE_M	激活 SDO（镜像）/ SDO active (mirror)	0x0	R
0x000	SPI_INTFCONFA	3	SDOACTIVE	激活 SDO / SDO active	0x0	R/W
0x000	SPI_INTFCONFA	2	ADDRINC	地址递增。置位时 SPI 地址递增，否则递减。1=地址递增，0=地址递减 / Address increment: 1 = increment, 0 = decrement	0x0	R/W

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x000	SPI_INTFCONFA	1	LSBFIRST	LSB 优先。置位时输入输出数据以 LSB 为先，否则 MSB 为先。1=先移入 LSB，0=先移入 MSB / LSB first: 1 = LSB shifted in first, 0 = MSB first	0x0	R/W
0x000	SPI_INTFCONFA	0	SOFTRESET	软复位。设置该位启动一次复位，复位完成后自动清零。1=软复位，0=释放软复位 / Soft reset: 1 = reset, self-clearing; 0 = release	0x0	R/W
0x008	DUAL_PAGE	[7:2]	RESERVED	保留 / Reserved	0x0	R
0x008	DUAL_PAGE	[1:0]	PAGEINDX	页面或索引指针。1=选择链路 A，2=选择链路 B，3=选择链路 A 和链路 B / Page index: 1 = Link A, 2 = Link B, 3 = both	0x3	R/W
0x011	PWRCNTRL0	7	PD_BG	基准下电。0=基准上电，1=基准下电（覆盖 TXENx 屏蔽位）/ Reference power-down: 0 = powered up, 1 = powered down (overrides TXENx mask)	0x1	R/W
0x011	PWRCNTRL0	6	PDDAC0	I 通道 DAC0 下电。0=使能 Dual A 的 I 通道 DAC，1=下电（覆盖 TXENx 屏蔽位）/ DAC0 (I, Dual A) power-down	0x1	R/W
0x011	PWRCNTRL0	5	PDDAC1	Q 通道 DAC1 下电。0=使能 Dual A 的 Q 通道 DAC，1=下电（覆盖 TXENx 屏蔽位）/ DAC1 (Q, Dual A) power-down	0x1	R/W
0x011	PWRCNTRL0	4	PDDAC2	I 通道 DAC2 下电。0=使能 Dual B 的 I 通道 DAC，1=下电（覆盖 TXENx 屏蔽位）/ DAC2 (I, Dual B) power-down	0x1	R/W
0x011	PWRCNTRL0	3	PDDAC3	Q 通道 DAC3 下电。0=使能 Dual B 的 Q 通道 DAC，1=下电（覆盖 TXENx 屏蔽位）/ DAC3 (Q, Dual B) power-down	0x1	R/W
0x011	PWRCNTRL0	[2:0]	RESERVED	保留 / Reserved	0x0	R
0x012	TXENMASK1	7	DACB_MASK	TXEN1（DAC2 和 DAC3）的下电屏蔽。0=默认下电只由 SPI 下电位控制；1=TXEN1 为低时 DAC2、DAC3 下电，否则为单独下电状态 / TXEN1 power-down mask for DAC2/DAC3	0x0	R/W
0x012	TXENMASK1	6	DACA_MASK	TXEN0（DAC0 和 DAC1）的下电屏蔽。0=默认下电只由下电位控制；1=TXEN0 为低时 DAC0、DAC1 下电 / TXEN0 power-down mask for DAC0/DAC1	0x0	R/W
0x012	TXENMASK1	[5:0]	RESERVED	保留 / Reserved	0x0	R/W
0x013	PWRCNTRL3	7	RESERVED	保留 / Reserved	0x0	R
0x013	PWRCNTRL3	6	ENA_PA_CTRL_FROM_PAPROT_ERR	通过 PAProt 模块控制 PA 使能 / PA enable controlled by the PAProt block	0x0	R/W
0x013	PWRCNTRL3	5	ENA_PA_CTRL_FROM_TXENSM		0x1	

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
				通过 TXEN 状态机控制 PA 使能 / PA enable controlled by the TXEN state machine		R/W
0x013	PWRCNTRL3	4	ENA_PA_CTRL_FROM_BLSM	通过消隐状态机控制 PA 使能 / PA enable controlled by the blanking state machine	0x0	R/W
0x013	PWRCNTRL3	3	ENA_PA_CTRL_FROM_SPI	通过 SPI 控制 PA 使能 / PA enable controlled by SPI	0x0	R/W
0x013	PWRCNTRL3	2	SPI_PA_CTRL	通过 SPI 控制 PA 开/关 / PA on/off control via SPI	0x0	R/W
0x013	PWRCNTRL3	1	ENA_SPI_TXEN	从 SPI 控制 TXENx / TXENx control from SPI	0x0	R/W
0x013	PWRCNTRL3	0	SPI_TXEN	SPI TXENx。1=TXENx SPI 为高，0=为低 / SPI TXENx: 1 = high, 0 = low	0x0	R/W
0x014	COARSE_GROUP_DLY	[7:4]	RESERVED	保留 / Reserved	0x0	R
0x014	COARSE_GROUP_DLY	[3:0]	COARSE_GROUP_DLY	粗群延时。延迟范围 −4 到 +3 个 DAC 时钟周期，分辨率 1/2 个 DAC 时钟周期。0=最小延迟，15=最大延迟 / Coarse group delay: −4 to +3 DAC clock periods, 1/2-period resolution; 0 = min delay, 15 = max delay [与 4.6.4 节 +7/−8 步口径的出入见该节标注 / see the note in 4.6.4]	0x8	R/W
0x01F	IRQ_ENABLE0	[7:6]	RESERVED	保留 / Reserved	0x0	R/W
0x01F	IRQ_ENABLE0	5	EN_DACPLLLOST	使能 DAC PLL 失锁检测。使能 DACPLLLOCK 时显示 DAC PLL 已失去锁定。1=使能失锁 / Enable DAC PLL loss-of-lock detection	0x0	R/W
0x01F	IRQ_ENABLE0	4	EN_DACPLLLOCK	使能 DAC PLL 锁定检测。使能 DACPLLLOCK 时显示 DAC PLL 已达到锁定。1=使能锁定 / Enable DAC PLL lock detection	0x0	R/W
0x01F	IRQ_ENABLE0	3	EN_SERPLLLOST	使能 SERDES PLL 失锁检测。使能 SERPLLLOCK 后显示 SERDES PLL 失去锁定。1=使能失锁 / Enable SERDES PLL loss-of-lock detection	0x0	R/W
0x01F	IRQ_ENABLE0	2	EN_SERPLLLOCK	使能 SERDES PLL 锁定检测。使能 SERPLLLOCK 时显示 SERDES PLL 已达到锁定。1=使能锁定 / Enable SERDES PLL lock detection	0x0	R/W
0x01F	IRQ_ENABLE0	1	EN_LANEFIFOERR	使能 Lane FIFO 错误检测。解串器块与数字 core 之间任一 FIFO 满或空时发生 Lane FIFO 错误，该错误需一次链路重新使能来消除；FIFO 状态见寄存器 0x30C（满）和 0x30D（空）。1=使能 / Enable Lane	0x0	R/W

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
				FIFO error detection; FIFO status in 0x30C (full) and 0x30D (empty)		
0x01F	IRQ_ENABLE0	0	RESERVED	保留 / Reserved	0x0	R/W
0x020	IRQ_ENABLE1	[7:4]	RESERVED	保留 / Reserved	0x0	R
0x020	IRQ_ENABLE1	3	EN_PRBSQ1	使能 Dual B 虚数 DAC 的 PRBS 中断。1=使能 PRBS Q1 / Enable PRBS interrupt, Dual B Q DAC	0x0	R/W
0x020	IRQ_ENABLE1	2	EN_PRBSI1	使能 Dual B 实数 DAC 的 PRBS 中断。1=使能 PRBS I1 / Enable PRBS interrupt, Dual B I DAC	0x0	R/W
0x020	IRQ_ENABLE1	1	EN_PRBSQ0	使能 Dual A 虚数 DAC 的 PRBS 中断。1=使能 PRBS Q0 / Enable PRBS interrupt, Dual A Q DAC	0x0	R/W
0x020	IRQ_ENABLE1	0	EN_PRBSI0	使能 Dual A 虚数 DAC 的 PRBS 中断。1=使能 PRBS I0 / Enable PRBS interrupt, Dual A I DAC	0x0	R/W
0x021	IRQ_ENABLE2	7	EN_PAERR0	链路 A PA 错误。1=使能 PA 错误 / Link A PA error enable	0x0	R/W
0x021	IRQ_ENABLE2	6	RESERVED	保留 / Reserved	0x0	R/W
0x021	IRQ_ENABLE2	5	EN_BLNKDONE0	链路 A 消隐完成。1=使能 / Link A blanking-done enable	0x0	R/W
0x021	IRQ_ENABLE2	4	EN_REFNCOCLR0	链路 A NCO 清零触发。1=NCO 清零触发 / Link A NCO-clear trigger enable	0x0	R/W
0x021	IRQ_ENABLE2	3	EN_REFLOCK0	链路 A 对齐锁定。1=使能对齐锁定中断 / Link A alignment-lock enable	0x0	R/W
0x021	IRQ_ENABLE2	2	EN_REFROTA0	链路 A 对齐旋转。1=使能对齐旋转中断 / Link A alignment-rotation enable	0x0	R/W
0x021	IRQ_ENABLE2	1	EN_REFWLIM0	链路 A 超过/未超过阈值。1=使能中断 / Link A window-limit enable	0x0	R/W
0x021	IRQ_ENABLE2	0	EN_REFTRIP0	链路 A 对齐触发。1=使能对齐触发中断 / Link A alignment-trip enable	0x0	R/W
0x022	IRQ_ENABLE3	7	EN_PAERR1	链路 B PA 错误。1=使能 PA 错误 / Link B PA error enable	0x0	R/W
0x022	IRQ_ENABLE3	6	RESERVED	保留 / Reserved	0x0	R/W
0x022	IRQ_ENABLE3	5	EN_BLNKDONE1	链路 B 消隐完成。1=使能链路 A 消隐完成 / Link B blanking-done enable	0x0	R/W
0x022	IRQ_ENABLE3	4	EN_REFNCOCLR1	链路 B NCO 清零触发。1=NCO 清零触发 / Link B NCO-clear trigger enable	0x0	R/W
0x022	IRQ_ENABLE3	3	EN_REFLOCK1	链路 B 对齐锁定。1=使能对齐锁定中断 / Link B alignment-lock enable	0x0	R/W

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x022	IRQ_ENABLE3	2	EN_REFROTA1	链路 B 对齐旋转。1=使能对齐旋转中断 / Link B alignment-rotation enable	0x0	R/W
0x022	IRQ_ENABLE3	1	EN_REFWLIM1	链路 B 超过/未超过阈值。1=使能中断 / Link B window-limit enable	0x0	R/W
0x022	IRQ_ENABLE3	0	EN_REFTRIP1	链路 B 对齐触发。1=使能对齐触发中断 / Link B alignment-trip enable	0x0	R/W
0x023	IRQ_STATUS0	[7:6]	RESERVED	保留 / Reserved	0x0	R
0x023	IRQ_STATUS0	5	IRQ_DACPLLLOST	DAC PLL 失锁。1=DAC PLL 失锁 / DAC PLL lost lock	0x0	R
0x023	IRQ_STATUS0	4	IRQ_DACPLLLOCK	DAC PLL 锁定。1=DAC PLL 锁定 / DAC PLL locked	0x0	R
0x023	IRQ_STATUS0	3	IRQ_SERPLLLOST	SERDES PLL 失锁。1=SERDES PLL 失锁 / SERDES PLL lost lock	0x0	R
0x023	IRQ_STATUS0	2	IRQ_SERPLLLOCK	SERDES PLL 锁定。1=SERDES PLL 锁定 / SERDES PLL locked	0x0	R
0x023	IRQ_STATUS0	1	IRQ_LANEFIFOERR	Lane FIFO 错误。1=Lane FIFO 错误 / Lane FIFO error	0x0	R
0x023	IRQ_STATUS0	0	RESERVED	保留 / Reserved	0x0	R
0x024	IRQ_STATUS1	[7:4]	RESERVED	保留 / Reserved	0x0	R
0x024	IRQ_STATUS1	3	IRQ_PRBSQ1	Dual B 虚数 DAC PRBS 数据检查错误。1=服务于 PRBS Q1 / Dual B Q DAC PRBS check error	0x0	R
0x024	IRQ_STATUS1	2	IRQ_PRBSI1	Dual B 实数 DAC PRBS 数据检查错误。1=服务于 PRBS I1 / Dual B I DAC PRBS check error	0x0	R
0x024	IRQ_STATUS1	1	IRQ_PRBSQ0	Dual A 虚数 DAC PRBS 数据检查错误。1=服务于 PRBS Q0 / Dual A Q DAC PRBS check error	0x0	R
0x024	IRQ_STATUS1	0	IRQ_PRBSI0	Dual A 实数 DAC PRBS 数据检查错误。1=服务于 PRBS I0 / Dual A I DAC PRBS check error	0x0	R
0x025	IRQ_STATUS2	7	IRQ_PAERR0	链路 A 的 PA 错误。1=服务于链路 A 的 PA 错误 / Link A PA error	0x0	R
0x025	IRQ_STATUS2	6	RESERVED	保留 / Reserved	0x0	R
0x025	IRQ_STATUS2	5	IRQ_BLNKDONE0	链路 A 消隐完成。1=链路 A 消隐完成 / Link A blanking done	0x0	R
0x025	IRQ_STATUS2	4	IRQ_REFNCOCLR0	链路 A NCO 清零触发。1=NCO 清零触发 / Link A NCO-clear trigger	0x0	R
0x025	IRQ_STATUS2	3	IRQ_REFLOCK0	链路 A 对齐锁定。1=链路 A 对齐锁定 / Link A alignment lock	0x0	R
0x025	IRQ_STATUS2	2	IRQ_REFROTA0	链路 A 对齐旋转。1=发生旋转中断 / Link A alignment rotation	0x0	R

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x025	IRQ_STATUS2	1	IRQ_REFWLIM0	链路 A 超过/未超过阈值。1=超过/未超过阈值中断 / Link A window limit	0x0	R
0x025	IRQ_STATUS2	0	IRQ_REFTRIP0	链路 A 对齐触发。1=发生触发中断 / Link A alignment trip	0x0	R
0x026	IRQ_STATUS3	7	IRQ_PAERR1	链路 B 的 PA 错误。1=服务于链路 A 的 PA 错误 / Link B PA error	0x0	R
0x026	IRQ_STATUS3	6	RESERVED	保留 / Reserved	0x0	R
0x026	IRQ_STATUS3	5	IRQ_BLNKDONE1	链路 B 消隐完成 / Link B blanking done	0x0	R
0x026	IRQ_STATUS3	4	IRQ_REFNCOCLR1	链路 B NCO 清零触发。1=NCO 清零触发 / Link B NCO-clear trigger	0x0	R
0x026	IRQ_STATUS3	3	IRQ_REFLOCK1	链路 B 对齐锁定。1=链路 B 对齐锁定 / Link B alignment lock	0x0	R
0x026	IRQ_STATUS3	2	IRQ_REFROTA1	链路 B 对齐旋转。1=发生旋转中断 / Link B alignment rotation	0x0	R
0x026	IRQ_STATUS3	1	IRQ_REFWLIM1	链路 B 超过/未超过阈值。1=超过/未超过阈值中断 / Link B window limit	0x0	R
0x026	IRQ_STATUS3	0	IRQ_REFTRIP1	链路 B 对齐触发。1=发生触发中断 / Link B alignment trip	0x0	R
0x030	JESD_CHECKS	[7:6]	RESERVED	保留 / Reserved	0x0	R
0x030	JESD_CHECKS	5	ERR_DLYOVER	LMFC_Delay > JESD_K。1=LMFC_Delay > JESD_K / LMFC delay exceeds K	0x0	R
0x030	JESD_CHECKS	4	ERR_WINLIMIT	不支持的窗口限制。1=不支持的窗口限制 / Unsupported window limit	0x0	R
0x030	JESD_CHECKS	3	ERR_JESDBAD	不支持的 M/L/S/F 选择。1=不支持这种 JESD 组合 / Unsupported M/L/S/F combination	0x0	R
0x030	JESD_CHECKS	2	ERR_KUNSUPP	不支持的 K 值。1=不支持的 K 值 / Unsupported K	0x0	R
0x030	JESD_CHECKS	1	ERR_SUBCLASS	不支持的 SUBCLASSV 值。1=不支持的子类值 / Unsupported subclass value	0x0	R
0x030	JESD_CHECKS	0	ERR_INTSUPP	不支持的插值倍数。1=内插倍数值的错误 / Unsupported interpolation factor	0x0	R
0x034	SYNC_ERRWINDOW	[7:3]	RESERVED	保留 / Reserved	0x0	R
0x034	SYNC_ERRWINDOW	[2:0]	ERRWINDOW	同步误差窗口。同步基于"内部时钟当前相位的采样值"与"基于 SYSREF± 采样时间的可编程目标"之间的差异旋转时钟；误差窗口允许 SYSREF± 采样相位在窗口范围内变化而不触发时钟调整。设置值与容限：0=±1/2，1=±1，2=±2，3=±3，4=±4，5=±5，6=±6，7=±7 / Sync error window tolerance by setting value	0x0	R/W
0x038	SYNC_LASTERR_L	[7:0]	LASTERROR_L	Sync Last Error[7:0]。SYNC_LASTERR_L 与 SYNC_LASTERR_H[0] 之值为	0x0	R

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
				SYNC_LASTERR 回读值，即 SYSREF 采样相位与引起最后一次时钟调整的目标值之间的误差；该值粘性，时钟调整发生前不更新，用 SYNCCLRLAST 位清除；单位为 DAC 时钟 / Last sync error, bits [7:0] (sticky)		
0x039	SYNC_LASTERR_H	7	LASTUNDER	最后同步误差低标识。SYSREF 采样点与目标之间的相位误差低于误差窗口容限。1=最后一个相位误差在窗口容限之下 / Last error below window tolerance	0x0	R
0x039	SYNC_LASTERR_H	6	LASTOVER	最后同步误差高标识。相位误差高于误差窗口容限。1=最后一个相位误差在窗口容限之上 / Last error above window tolerance	0x0	R
0x039	SYNC_LASTERR_H	[5:1]	RESERVED	保留 / Reserved	0x0	R
0x039	SYNC_LASTERR_H	0	LASTERROR_H	Sync Last Error[8] / Last sync error, bit [8]	0x0	R
0x03A	SYNC_CONTROL	7	SYNCENABLE	使能同步逻辑。1=使能，0=禁用 / Enable sync logic	0x0	R/W
0x03A	SYNC_CONTROL	6	SYNCARM	同步启动选通脉冲。1=启动 One-shot 同步 / Arm one-shot sync	0x0	R/W
0x03A	SYNC_CONTROL	5	SYNCCLRSTKY	清除同步粘性状态位。1=清除粘性状态位 REFROTA 和 REFTRIP / Clear sticky status bits REFROTA and REFTRIP	0x0	R/W
0x03A	SYNC_CONTROL	4	SYNCCLRLAST	1=清除 LAST 错误 / Clear LAST error	0x0	R/W
0x03A	SYNC_CONTROL	[3:0]	SYNCMODE	同步模式。0=保留，1=One-shot 模式，2=连续模式，5=保留，6=保留，8=只监控模式，9=One-shot 然后监控模式，A=One-shot 然后监控模式，D=保留，E=保留 / Sync mode	0x0	R/W
0x03B	SYNC_STATUS	7	REFBUSY	同步状态机忙。1=同步状态机忙 / Sync state machine busy	0x0	R
0x03B	SYNC_STATUS	[6:4]	RESERVED	保留 / Reserved	0x0	R
0x03B	SYNC_STATUS	3	REFLOCK	同步对齐锁定。1=同步逻辑在误差窗口内对齐 / Alignment locked within the error window	0x0	R
0x03B	SYNC_STATUS	2	REFROTA	同步旋转。1=同步逻辑根据 SYSREF± 旋转（粘性状态位）/ Rotation occurred (sticky)	0x0	R
0x03B	SYNC_STATUS	1	REFWLIM	同步对齐限制范围。1=相位误差超出指定窗口误差阈值 / Phase error beyond window threshold	0x0	R
0x03B	SYNC_STATUS	0	REFTRIP		0x0	R

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
				启动后触发同步。1=同步器收到 SYSREF 脉冲（粘性状态位）/ SYSREF pulse received (sticky)		
0x03C	SYNC_CURRERR_L	[7:0]	CURRERROR_L	同步对齐错误。实时访问 SYSREF± 到内部时钟计数器；SYNC_CURRERR=(SYNC_CURRERR_H[0], SYNC_CURRERR_L) 为"SYSREF± 相对于时钟分频器的位置"与"相对于内部计数器的目标位置"之差；监控模式下监控内部时钟相位；时钟被调整时相位误差值放入 SYNC_LASTERR，SYNC_CURRERR 被强制为 0 / Current sync error, bits [7:0]	0x0	R
0x03D	SYNC_CURRERR_H	7	CURRUNDER	当前同步误差低标识。1=当前相位误差在窗口容限之下 / Current error below tolerance	0x0	R
0x03D	SYNC_CURRERR_H	6	CURROVER	当前同步误差高标识。1=当前相位误差在窗口容限之上 / Current error above tolerance	0x0	R
0x03D	SYNC_CURRERR_H	[5:1]	RESERVED	保留 / Reserved	0x0	R
0x03D	SYNC_CURRERR_H	0	CURRERROR_H	Sync Current Error[8] / Current sync error, bit [8]	0x0	R
0x040	DAC_GAIN0_I	[7:2]	RESERVED	保留 / Reserved	0x0	R
0x040	DAC_GAIN0_I	[1:0]	DAC_GAIN_I1	I DAC 电流缩放 MSBs / I DAC current scaling, MSBs	0x3	R/W
0x041	DAC_GAIN1_I	[7:0]	DAC_GAIN_I0	I DAC 电流缩放 LSBs / I DAC current scaling, LSBs	0xFF	R/W
0x042	DAC_GAIN0_Q	[7:2]	RESERVED	保留 / Reserved	0x0	R
0x042	DAC_GAIN0_Q	[1:0]	DAC_GAIN_Q1	Q DAC 电流缩放 MSBs / Q DAC current scaling, MSBs	0x3	R/W
0x043	DAC_GAIN1_Q	[7:0]	DAC_GAIN_Q0	Q DAC 电流缩放 LSB / Q DAC current scaling, LSBs	0xFF	R/W
0x044	GROUPDELAY COMP_I	[7:0]	GROUP DELAY COMP I [7:0]	I 通道的群延时补偿位，设置 I 通道 DAC 的群延迟补偿 / I-channel group-delay compensation bits	0x0	R/W
0x045	GROUPDELAY COMP_Q	[7:0]	GROUP DELAY COMP Q [7:0]	Q 通道的群延迟补偿位，设置 Q 通道 DAC 的群延迟补偿 / Q-channel group-delay compensation bits	0x0	R/W
0x046	GROUPDELAY COMP_BYP	[7:2]	RESERVED	保留 / Reserved	0x0	R
0x046	GROUPDELAY COMP_BYP	1	GROUPCOMP_BYPI	旁路 I 通道群延时补偿电路 / Bypass I-channel group-delay compensation	0x1	R/W
0x046	GROUPDELAY COMP_BYP	0	GROUPCOMP_BYPQ	旁路 Q 通道组延迟补偿电路 / Bypass Q-channel group-delay compensation	0x1	R/W
0x04A	MIX_MODE	[7:1]	RESERVED	保留 / Reserved	0x0	R

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x04A	MIX_MODE	0	MIX_MODE	使能混频模式。0=关闭混频模式，1=开启混频模式 / Mix-mode enable: 0 = off, 1 = on	0x0	R/W
0x050	NCO_CLRMODE	7	NCOCLRARM	启动 NCO 清零。1=启动 NCO 清零 / Arm NCO clear	0x0	R/W
0x050	NCO_CLRMODE	6	RESERVED	保留 / Reserved	0x0	R
0x050	NCO_CLRMODE	5	NCOCLRMTCH	NCO 清零数据键匹配。1=NCO 清零数据键匹配 / NCO-clear data-key match	0x0	R
0x050	NCO_CLRMODE	4	NCOCLRPASS	NCO 清零通过。1=NCO 清零生效 / NCO clear passed	0x0	R
0x050	NCO_CLRMODE	3	NCOCLRFAIL	NCO 清零失败。1=旋转过程中 NCO 复位 / NCO clear failed	0x0	R
0x050	NCO_CLRMODE	2	RESERVED	保留 / Reserved	0x0	R
0x050	NCO_CLRMODE	[1:0]	NCOCLRMODE	NCO 清零模式。0=禁用 NCO 清零，1=SYSREF NCO 清零，2=数据键 NCO 清零 / NCO clear mode: 0 = disabled, 1 = SYSREF, 2 = data key	0x0	R/W
0x051	NCOKEY_ILSB	[7:0]	NCOKEYILSB	I 通道 NCO 数据键 LSB / I-channel NCO data key, LSB	0x0	R/W
0x052	NCOKEY_IMSB	[7:0]	NCOKEYIMSB	I 通道 NCO 数据键 MSB / I-channel NCO data key, MSB	0x0	R/W
0x053	NCOKEY_QLSB	[7:0]	NCOKEYQLSB	I 通道 NCO 数据键 LSB / Q-channel NCO data key, LSB	0x0	R/W
0x054	NCOKEY_QMSB	[7:0]	NCOKEYQMSB	I 通道 NCO 数据键 MSB [同上标注 / see the note at 0x053] / Q-channel NCO data key, MSB	0x0	R/W
0x060	PA_THRES0	[7:0]	PDP_THRESHOLD[7:0]	用于比较的平均功率阈值 / Average-power threshold for comparison	0x0	R/W
0x061	PA_THRES1	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x061	PA_THRES1	[4:0]	PA_THRESHOLD_MSB	用于比较的平均功率阈值 / Average-power threshold, MSBs	0x0	R/W
0x062	PDP_AVG_TIME	7	PDP_ENABLE	1=启用平均功率计算和错误检测 / Enable average-power calculation and error detection	0x0	R/W
0x062	PDP_AVG_TIME	6	PA_BUS_SWAP	交换通道 A 或通道 B 的数据总线进行功率计算 / Swap channel A/B data bus for power calculation	0x0	R/W
0x062	PDP_AVG_TIME	[5:4]	RESERVED	保留 / Reserved	0x0	R
0x062	PDP_AVG_TIME	[3:0]	PDP_AVG_TIME	设置功率平均时间 / Power averaging time	0x0	R/W
0x063	PA_POWER0	[7:0]	PDP_POWER[7:0]		0x0	R

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
				平均功率=I^2+Q^2（I/Q 使用数据总线的 6 个 MSB）/ Average power = I^2+Q^2 (6 MSBs of the data bus)		
0x064	PA_POWER1	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x064	PA_POWER1	[4:0]	PDP_POWER[12:8]	平均功率=I^2+Q^2（I/Q 使用数据总线的 6 个 MSB）/ Average power, bits [12:8]	0x0	R
0x080	CLKCFG0	7	PD_CLK01	Dual A 时钟下电。0=使能 Dual A 时钟，1=禁用 / Dual A clock power-down	0x1	R/W
0x080	CLKCFG0	6	PD_CLK23	Dual B 时钟下电。0=使能，1=禁用 / Dual B clock power-down	0x1	R/W
0x080	CLKCFG0	5	PDCLOCKDIG	所有 DAC 时钟下电。0=使能所有 DAC 时钟，1=禁用 / All DAC clocks power-down	0x1	R/W
0x080	CLKCFG0	4	PD_PCLK	SERDES PLL 时钟下电。0=使能送到 SERDES PLL 的时钟，1=禁用 / Clock to SERDES PLL power-down	0x1	R/W
0x080	CLKCFG0	3	PDCLOCKREC	时钟接收器下电。0=使能时钟接收模拟缓冲器，1=禁用 / Clock receiver power-down	0x1	R/W
0x080	CLKCFG0	2	DUTY_EN	使能时钟接收器的占空比控制，总是设为 1 / Clock-receiver duty-cycle control; always set to 1	0x1	R/W
0x080	CLKCFG0	1	RF_SYNC_EN	使能 RF 时钟链的 SYSREF± 时序 / Enable SYSREF± timing in the RF clock chain	0x1	R/W
0x080	CLKCFG0	0	RF_CLKDIV_EN	启用 RF 时钟分频器（将输入时钟除以 2 供 DAC 采样）。0=禁用分频器，1=使能 / RF clock divider enable (divides input clock by 2)	0x0	R/W
0x081	SYSREF_ACTRL0	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x081	SYSREF_ACTRL0	4	PDSYSREF	SYSREF± 缓冲器下电。关闭 SYSREF± 接收器电源；子类 1 操作时缓冲器必须启用 / SYSREF± buffer power-down; must be enabled for Subclass 1	0x1	R/W
0x081	SYSREF_ACTRL0	3	HYS_ON	开启迟滞。使能 SYSREF± 接收器的可编程迟滞控制。0=使用接收器迟滞，1=禁用迟滞 / Hysteresis enable	0x0	R/W
0x081	SYSREF_ACTRL0	2	SYSREF_RISE	使能 SYSREF± 上升沿。0=使用下降沿对齐，1=使用上升沿对齐 / Use SYSREF± rising edge for alignment	0x0	R/W
0x081	SYSREF_ACTRL0	[1:0]	HYS_CNTRL1	迟滞控制的 MSBs。迟滞控制位共 10 位，每位为接收器输入增加 10 mV 差分迟滞；本寄存器含其中 2 位，其余 8 位在 HYS_CNTRL0 / Hysteresis control MSBs (10 bits total, 10 mV/bit)	0x0	R/W
0x082	SYSREF_ACTRL1	[7:0]	HYS_CNTRL0	迟滞控制的 LSBs（10 位中的 8 位，其余 2 位在 HYS_CNTRL1）/ Hysteresis control LSBs (8 of 10 bits)	0x0	R/W
0x083	DACPLLCNTRL	7	SYNTH_RECAL	重新校准 DAC PLL 的 VCO 频段。置位可重新初始化 VCO 频段校准；不对 DAC PLL 重新上电、不重新校准电荷泵；改变任何 PLL 相关设置后请置位；实现初始 PLL 锁定之前不要置位 / Recalibrate the DAC PLL VCO band	0x0	R/W
0x083	DACPLLCNTRL	[6:5]	RESERVED	保留 / Reserved	0x0	R
0x083	DACPLLCNTRL	4	ENABLE_SYNTH	使能频率合成器。初始化 DAC PLL 启动顺序：1. 使能偏置电流；2. 使能 DAC PLL LDO；3. 等待 LDO 稳定；4. 校准电荷泵（仅第一次设置时校准）；5. 校准 PLL 频带；6. 稳定和锁定。0=禁用频率合成器（含所有电流和校准代码），1=频率合成器上电、启动校准程序 / Enable synthesizer and start the calibration sequence	0x0	R/W
0x083	DACPLLCNTRL	[3:0]	RESERVED	保留 / Reserved	0x0	R
0x084	DACPLLSTATUS	7	CP_OVERRANGE_H	电荷泵电压高于范围。电荷泵电压过高，必须重新校准。0=控制电压不过高，1=过高 / Charge-pump voltage too high; recalibration required	0x0	R
0x084	DACPLLSTATUS	6	CP_OVERRANGE_L	电荷泵电压低于范围。电压过低，必须重新校准。0=不过低，1=过低 / Charge-pump voltage too low	0x0	R
0x084	DACPLLSTATUS	5	CP_CAL_VALID	电荷泵校准生效。表示电荷泵已成功校准；是否在启动时校准的选择见寄存器 0x1B9。CP_CAL_EN 为低时该位保持低；为高（默认）且校准成功时该位为高 / Charge-pump calibration valid	0x0	R
0x084	DACPLLSTATUS	4	VCO_CAL_PROGRESS	VCO 校准正在进行中。校准进行中该位为高；高电平超过 1 秒表示 VCO 校准有问题。0=VCO 正在校准，1=VCO 校准结束 / VCO calibration in progress	0x0	R
0x084	DACPLLSTATUS	[3:2]	RESERVED	保留 / Reserved	0x0	R
0x084	DACPLLSTATUS	1	RFPLL_LOCK	PLL 锁定位。PLL 达到寄存器 0x1C0 中 LOCK_MODE 位设置的计数锁定后置高。0=PLL 失锁，1=PLL 锁定 / PLL lock status	0x0	R
0x084	DACPLLSTATUS	0	RESERVED	保留 / Reserved	0x0	R

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x085	DACINTEGER WORD0	[7:0]	BCOUNT	整数调谐字位 [7:0]，控制 DAC PLL 的整数反馈分频器。fDAC = fREF/(REFDIVMODE) × 2 × BCount；fVCO = fREF/(REFDIVMODE) × 2 × BCount × LODivMode；最小值为 6 / Integer feedback divider word; minimum 6	0x6	R/W
0x087	DACLOOPFILT1	[7:4]	LF_C2_WORD	C2 控制字 / C2 control word	0x8	R/W
0x087	DACLOOPFILT1	[3:0]	LF_C1_WORD	C1 控制字 / C1 control word	0x8	R/W
0x088	DACLOOPFILT2	[7:4]	LF_R1_WORD	R1 控制字 / R1 control word	0x8	R/W
0x088	DACLOOPFILT2	[3:0]	LF_C3_WORD	C3 控制字 / C3 control word	0x8	R/W
0x089	DACLOOPFILT3	7	LF_BYPASS_R3	旁路 R3。0=使能 R3（编程起点为 0），1=若 LF_R3_WORD=0 则禁用 R3 / Bypass R3	0x0	R/W
0x089	DACLOOPFILT3	6	LF_BYPASS_R1	旁路 R1。0=使能 R1，1=若 LF_R1_WORD=0 则禁用 R1 / Bypass R1	0x0	R/W
0x089	DACLOOPFILT3	5	LF_BYPASS_C2	旁路 C2。0=使能 C2，1=若 LF_C2_WORD=0 则禁用 C2 / Bypass C2	0x0	R/W
0x089	DACLOOPFILT3	4	LF_BYPASS_C1	旁路 C1。0=使能 C1，1=若 LF_C1_WORD=0 则禁用 C1 / Bypass C1	0x0	R/W
0x089	DACLOOPFILT3	[3:0]	LF_R3_WORD	R3 控制字 / R3 control word	0x8	R/W
0x08A	DACCPCNTRL	7	RESERVED	保留 / Reserved	0x0	R
0x08A	DACCPCNTRL	6	VT_FORCE	输出 VT 控制电压。0=不输出，1=输出控制电压供测试 / Force VT control voltage output for test	0x0	R/W
0x08A	DACCPCNTRL	[5:0]	CP_CURRENT	电荷泵电流设置 / Charge-pump current setting	0x20	R/W
0x08B	DACLOGEN CNTRL	[7:6]	RESERVED	保留 / Reserved	0x0	R
0x08B	DACLOGEN CNTRL	[5:4]	LO_POWER_MODE	本地振荡器功率模式。0=全功率（fVCO 8–12 GHz），1=半功率（fVCO 6–8 GHz），3=关闭 / LO power mode: 0 = full (8–12 GHz), 1 = half (6–8 GHz), 3 = off	0x0	R/W
0x08B	DACLOGEN CNTRL	[3:2]	RESERVED	保留 / Reserved	0x0	R
0x08B	DACLOGEN CNTRL	[1:0]	LODIVMODE	本振分频。0=保留，1=除以 4，2=除以 8，3=除以 16（VCO 到 DAC 时钟）/ LO divide mode: 1 = ÷4, 2 = ÷8, 3 = ÷16	0x0	R/W
0x08C	DACLDOCNTRL1	7	LDO_REF_SEL	参考来源选择位。0=从带隙基准产生参考，1=从电源产生参考 / LDO reference source select	0x0	R/W
0x08C	DACLDOCNTRL1	6	LDO_BYPASS_FILT	禁用 LDO 电压滤波器。0=使能 LDO 输入电压滤波器，1=禁用 / Disable LDO input voltage filter	0x0	R/W
0x08C	DACLDOCNTRL1	[5:3]	RESERVED	保留 / Reserved	0x0	R
0x08C	DACLDOCNTRL1	[2:0]	REFDIVMODE	参考时钟分频比。0=1×，1=2×，2=4×，3=8×，4=16×，5=32×，6=16×，7=32× / Reference-clock divide ratio	0x0	R/W
0x08D	DACLDOCNTRL2	7	LDO_BYPASS	旁路 LDO。0=LDO 正常运行，1=LDO 输出与 VDD 短路 / Bypass LDO	0x0	R/W
0x08D	DACLDOCNTRL2	[6:5]	LDO_INRUSH	LDO 启动速度控制 / LDO inrush (startup speed) control	0x1	R/W
0x08D	DACLDOCNTRL2	[4:2]	LDO_SEL	LDO 电压和功率设置。0=1.08V 低功率，1=1.08V 中功率，2=1.08V 高功率，3=不使用，4=1.02V 低功率，5=1.02V 中功率，6=1.02V 高功率，7=不使用 / LDO voltage/power select	0x2	R/W
0x08D	DACLDOCNTRL2	[1:0]	LDO_VDROP	LDO PASSGATE 控制。0=一个 PASSGATE，1=两个，2=三个，3=四个 / LDO pass-gate count select	0x3	R/W
0x110	DATA_FORMAT	7	BINARY_FMT	数据总线上的二进制格式或 2 的补码格式。1=输入数据为 2 的补码，0=输入数据为二进制偏移 / Input data format: two's complement or offset binary	0x0	R/W
0x110	DATA_FORMAT	[6:0]	RESERVED	保留 / Reserved	0x0	R
0x111	DATAPATH_CTRL	7	INVSINC_ENABLE	使能反 Sinc 滤波器。1=使能 / Enable inverse-Sinc filter	0x1	R/W
0x111	DATAPATH_CTRL	6	RESERVED	保留 / Reserved	0x0	R
0x111	DATAPATH_CTRL	5	DIG_GAIN_ENABLE	使能数字增益。1=使能 / Enable digital gain	0x1	R/W
0x111	DATAPATH_CTRL	4	PHASE_ADJ_ENABLE	使能相位补偿。1=使能 / Enable phase adjustment	0x0	R/W
0x111	DATAPATH_CTRL	[3:2]	MODULATION_TYPE	选择调制类型。0=无调制，1=精细调制（使用 NCO），2=fS/4 调制，3=fS/8 调制 / Modulation type select	0x0	R/W
0x111	DATAPATH_CTRL	1	SEL_SIDEBAND	从调制结果中选择高边带或低边带。1=选择 / Sideband select	0x0	R/W
0x111	DATAPATH_CTRL	0	I_TO_Q	将 I 数据通路送入 Q DAC。1=送入 / Route I datapath into the Q DAC	0x0	R/W
0x112	INTERPMODE	[7:3]	RESERVED	保留 / Reserved	0x0	R
0x112	INTERPMODE	[2:0]	INTERPMODE	插值模式。0=1×（旁路），1=2×，3=4×，4=8× / Interpolation mode: 0 = 1× bypass, 1 = 2×, 3 = 4×, 4 = 8×	0x1	R/W
0x113	NCO_FTW_UPDATE	[7:2]	RESERVED	保留 / Reserved	0x0	R
0x113	NCO_FTW_UPDATE	1	FTW_UPDATE_ACK	频率调谐字更新确认 / FTW update acknowledge	0x0	R
0x113	NCO_FTW_UPDATE	0	FTW_UPDATE_REQ	频率调谐字更新请求，来自 SPI / FTW update request from SPI	0x0	R/W
0x114	FTW0	[7:0]	FTW0	NCO 频率调谐字 FTW[7:0] / NCO FTW bits [7:0]	0x0	R/W

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x115	FTW1	[7:0]	FTW1	NCO 频率调谐字 FTW[15:8] / FTW bits [15:8]	0x0	R/W
0x116	FTW2	[7:0]	FTW2	NCO 频率调谐字 FTW[23:16] / FTW bits [23:16]	0x0	R/W
0x117	FTW3	[7:0]	FTW3	NCO 频率调谐字 FTW[31:24] / FTW bits [31:24]	0x0	R/W
0x118	FTW4	[7:0]	FTW4	NCO 频率调谐字 FTW[39:32] / FTW bits [39:32]	0x0	R/W
0x119	FTW5	[7:0]	FTW5	NCO 频率调谐字 FTW[47:40] / FTW bits [47:40]	0x10	R/W
0x11A	NCO_PHASE_OFFSET0	[7:0]	NCO_PHASE_OFFSET0	NCO 相位偏移 NCO_PHASE_OFFSET[7:0] / NCO phase offset bits [7:0]	0x0	R/W
0x11B	NCO_PHASE_OFFSET1	[7:0]	NCO_PHASE_OFFSET1	NCO 相位偏移 NCO_PHASE_OFFSET[15:8] / NCO phase offset bits [15:8]	0x0	R/W
0x11C	NCO_PHASEADJ	[7:0]	PHASEADJ[7:0]	IQ 相位补偿字 PHASE_ADJ[7:0] / IQ phase-adjustment word bits [7:0]	0x0	R/W
0x11D	NCO_PHASEADJ	[7:0]	PHASEADJ[12:8]	IQ 相位补偿字 PHASE_ADJ[12:8] / IQ phase-adjustment word bits [12:8]	0x0	R/W
0x11F	TXEN_SM_0	[7:6]	PA_FALL	PA 下降控制 / PA fall control	0x2	R/W
0x11F	TXEN_SM_0	[5:4]	PA_RISE	PA 上升控制 / PA rise control	0x0	R/W
0x11F	TXEN_SM_0	3	RESERVED	保留 / Reserved	0x0	R
0x11F	TXEN_SM_0	2	GP_PA_ON_INVERT	PDP_OUTx 信号反相 / PDPOUTx signal inversion	0x0	R/W
0x11F	TXEN_SM_0	1	GP_PA_CTRL	外部 PA 控制。默认使能，允许外部调制器控制，而不是通过该引脚的同步信号 / External PA control (enabled by default)	0x1	R/W
0x11F	TXEN_SM_0	0	TXEN_SM_EN	使能 TXEN 状态机 / Enable the TXEN state machine	0x1	R/W
0x121	TXEN_SM_2	[7:0]	RISE_COUNT_0	上升计数 0（见表 62）/ Rise count 0 (see Table 62)	0xF	R/W
0x122	TXEN_SM_3	[7:0]	RISE_COUNT_1	上升计数 1 / Rise count 1	0x0	R/W
0x123	TXEN_SM_4	[7:0]	FALL_COUNT_0	下降计数 0 / Fall count 0	0xFF	R/W
0x124	TXEN_SM_5	[7:0]	FALL_COUNT_1	下降计数 1 / Fall count 1	0xFF	R/W
0x12D	DEVICE_CONFIG_REG0	[7:0]	DEVICE_CONFIG_0	必须设置为 0x8B 以进行正确的数字数据通路配置 / Must be set to 0x8B for correct datapath configuration	0x46	R/W
0x12F	DIE_TEMP_CTRL0	[7:1]	RESERVED	保留 / Reserved	0x10	R/W
0x12F	DIE_TEMP_CTRL0	0	AUXADC_ENABLE	1=使能 AUXADC 模块 / Enable the AUXADC block	0x0	R/W
0x132	DIE_TEMP0	[7:0]	DIE_TEMP_LSB	AUXADC 回读值位 [7:0]，LSB / AUXADC readback bits [7:0]	0x0	R
0x133	DIE_TEMP1	[7:0]	DIE_TEMP_MSB	AUXADC 回读值位 [15:8]，MSB / AUXADC readback bits [15:8]	0x0	R
0x134	DIE_TEMP_UPDATE	[7:1]	RESERVED	保留 / Reserved	0x0	R
0x134	DIE_TEMP_UPDATE	0	DIE_TEMP_UPDATE	片上温度更新。更新时收到新的温度代码 / On-chip temperature update	0x0	R/W
0x135	DC_OFFSET_CTRL	[7:1]	RESERVED	保留 / Reserved	0x0	R
0x135	DC_OFFSET_CTRL	0	DC_OFFSET_ON	1=启用直流偏移模块 / Enable the DC-offset block	0x0	R/W
0x136	IPATH_DC_OFFSET_1PART0	[7:0]	IPATH_DC_OFFSET_1PART0	I 通路直流偏移值第一部分的 LSB / I-path DC offset, part 1 LSBs	0x0	R/W
0x137	IPATH_DC_OFFSET_1PART1	[7:0]	IPATH_DC_OFFSET_1PART1	I 通路直流偏移值第一部分的 MSB / I-path DC offset, part 1 MSBs	0x0	R/W
0x138	QPATH_DC_OFFSET_1PART0	[7:0]	QPATH_DC_OFFSET_1PART0	Q 通路直流偏移值第一部分的 LSB / Q-path DC offset, part 1 LSBs	0x0	R/W
0x139	QPATH_DC_OFFSET_1PART1	[7:0]	QPATH_DC_OFFSET_1PART1	Q 通路直流偏移值第一部分的 MSB / Q-path DC offset, part 1 MSBs	0x0	R/W
0x13A	IPATH_DC_OFFSET_2PART	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x13A	IPATH_DC_OFFSET_2PART	[4:0]	IPATH_DC_OFFSET_2PART	I 通路直流偏移值第二部分 sub-LSB / I-path DC offset, part 2 sub-LSBs	0x0	R/W
0x13B	QPATH_DC_OFFSET_2PART	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x13B	QPATH_DC_OFFSET_2PART	[4:0]	QPATH_DC_OFFSET_2PART	I 通路直流偏移值第二部分 sub-LSB / Q-path DC offset, part 2 sub-LSBs	0x0	R/W
0x13C	IDAC_DIG_GAIN0	[7:0]	IDAC_DIG_GAIN0	I DAC 数字增益的 LSB / I DAC digital gain LSBs	0x0	R/W
0x13D	IDAC_DIG_GAIN1	[7:4]	RESERVED	保留 / Reserved	0x0	R
0x13D	IDAC_DIG_GAIN1	[3:0]	IDAC_DIG_GAIN1	I DAC 数字增益的 MSB / I DAC digital gain MSBs	0x8	R/W
0x13E	QDAC_DIG_GAIN0	[7:0]	QDAC_DIG_GAIN0	Q DAC 数字增益的 LSB / Q DAC digital gain LSBs	0x0	R/W
0x13F	QDAC_DIG_GAIN1	[7:4]	RESERVED	保留 / Reserved	0x0	R
0x13F	QDAC_DIG_GAIN1	[3:0]	QDAC_DIG_GAIN1	Q DAC 数字增益的 MSB / Q DAC digital gain MSBs	0x8	R/W
0x140	GAIN_RAMP_UP_STEP0	[7:0]	GAIN_RAMP_UP_STEP0	数字增益上升的 LSB / Gain ramp-up step LSBs	0x4	R/W
0x141	GAIN_RAMP_UP_STEP1	[7:4]	RESERVED	保留 / Reserved	0x0	R
0x141	GAIN_RAMP_UP_STEP1	[3:0]	GAIN_RAMP_UP_STEP1	数字增益上升的 MSB / Gain ramp-up step MSBs	0x0	R/W
0x142	GAIN_RAMP_DOWN_STEP0	[7:0]	GAIN_RAMP_DOWN_STEP0	数字增益下降的 LSB / Gain ramp-down step LSBs	0x9	R/W
0x143	GAIN_RAMP_DOWN_STEP1	[7:4]	RESERVED	保留 / Reserved	0x0	R
0x143	GAIN_RAMP_DOWN_STEP1	[3:0]	GAIN_RAMP_DOWN_STEP1	数字增益下降的 MSB / Gain ramp-down step MSBs	0x0	R/W
0x146	DEVICE_CONFIG_REG1	[7:0]	DEVICE_CONFIG_1	在启动期间必须设置为 0x01 / Must be set to 0x01 during startup	0x0	R/W

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x147	BLSM_STAT	[7:6]	BE_ROTATE_REQ	BSM 状态值（见表 63）/ BSM state value (see Table 63)	0x0	R/W
0x147	BLSM_STAT	[5:0]	RESERVED	保留 / Reserved	0x0	R/W
0x14B	PRBS	7	PRBS_GOOD_Q	虚数通道的数据正确指示器。0=检测到不正确的序列，1=检测到正确的 PRBS 序列 / Q-channel data-good indicator	0x0	R
0x14B	PRBS	6	PRBS_GOOD_I	实数通道的数据正确指示器。0=不正确，1=正确 / I-channel data-good indicator	0x0	R
0x14B	PRBS	5	RESERVED	保留 / Reserved	0x0	R
0x14B	PRBS	[4:3]	RESERVED	保留 / Reserved	0x1	R/W
0x14B	PRBS	2	PRBS_MODE	多项式选择。0=PRBS7：x^7+x^6+1，1=PRBS15：x^15+x^14+1 / Polynomial select: 0 = PRBS7, 1 = PRBS15	0x0	R/W
0x14B	PRBS	1	PRBS_RESET	重置错误计数器。0=正常操作，1=重置计数器 / Reset error counters	0x0	R/W
0x14B	PRBS	0	PRBS_EN	使能 PRBS 检查器。0=禁用，1=使能 / Enable PRBS checker	0x0	R/W
0x14C	PRBS_ERROR_I	[7:0]	PRBS_COUNT_I	实数通道错误计数值 / I-channel error count	0x0	R
0x14D	PRBS_ERROR_Q	[7:0]	PRBS_COUNT_Q	虚数通道错误计数值 / Q-channel error count	0x0	R
0x1B0	DACPLLT0	7	VCO_PD_IN	VCO 下电。0=若禁用电源机则 VCO 上电，1=下电 / VCO power-down	0x1	R/W
0x1B0	DACPLLT0	6	VCO_PD_PTAT	VCO PTAT 电流源下电。0=上电，1=下电 / VCO PTAT current-source power-down	0x1	R/W
0x1B0	DACPLLT0	5	VCO_PD_ALC	VCO ALC 电路下电。0=上电，1=下电 / VCO ALC power-down	0x1	R/W
0x1B0	DACPLLT0	4	SYNTH_PD	整个频率合成器/复位状态机下电。0=上电，1=下电 / Synthesizer/reset state machine power-down	0x1	R/W
0x1B0	DACPLLT0	3	LDO_PD	LDO 下电。0=上电，1=下电 / LDO power-down	0x1	R/W
0x1B0	DACPLLT0	2	RESERVED	保留 / Reserved	0x0	R
0x1B0	DACPLLT0	1	LOGEN_PD	LO 产生器下电。0=Prescaler/DAC 时钟产生器上电，1=下电 / LO generator power-down	0x1	R/W
0x1B0	DACPLLT0	0	RESERVED	保留 / Reserved	0x0	R
0x1B1	DACPLLT1	[7:4]	RESERVED	保留 / Reserved	0x0	R
0x1B1	DACPLLT1	[3:2]	PFD_DELAY	PFD 延时。0=最短延迟，1=较长延迟，2=仍然较长延迟，3=最长延时 / PFD delay	0x1	R/W
0x1B1	DACPLLT1	1	PFD_EDGE	PFD 时钟边缘。0=参考上升沿，1=参考下降沿 / PFD clock edge	0x0	R/W
0x1B1	DACPLLT1	0	RESERVED	保留 / Reserved	0x0	R
0x1B2	DACPLLT2	7	EXT_ALC_WORD_EN	外部强制设置 ALC 控制字。0=ALC 自动工作，1=手动设置 ALC / External ALC word enable	0x0	R/W
0x1B2	DACPLLT2	[6:0]	EXT_ALC_WORD	外部 ALC 字 / External ALC word	0x0	W
0x1B3	DACPLLT3	[7:0]	EXT_BAND1	外部强制设置的 VCO 调谐频带控制字的 LSB / External VCO band word, LSBs	0x0	W
0x1B4	DACPLLT4	7	BYP_LOAD_DELAY	旁路负载延时 / Bypass load delay	0x0	R/W
0x1B4	DACPLLT4	[6:3]	VCO_CAL_OFFSET	VCO 校准的起始偏移量 / VCO calibration starting offset	0xF	R/W
0x1B4	DACPLLT4	2	RESERVED	保留 / Reserved	0x0	R
0x1B4	DACPLLT4	1	EXT_BAND_EN	外部强制设置的 VCO 调谐频带。0=正常自动调谐模式，1=手动调整 VCO 频段 / External VCO band enable	0x0	R/W
0x1B4	DACPLLT4	0	EXT_BAND2	外部强制设置的 VCO 调谐频带控制字的 MSB / External VCO band word, MSBs	0x0	W
0x1B5	DACPLLT5	[7:4]	INIT_ALC_VALUE	ALC 扫描初始值 / ALC sweep initial value	0x8	R/W
0x1B5	DACPLLT5	[3:0]	VCO_VAR	变容器 KVCO 设置 / Varactor KVCO setting	0x3	R/W
0x1B6	DACPLLT6	7	RESERVED	保留 / Reserved	0x0	R
0x1B6	DACPLLT6	6	PORESETB_VCO	复位 VCO 逻辑 / Reset VCO logic	0x1	R/W
0x1B6	DACPLLT6	[5:4]	EXT_VCO_BITSEL	外部 VCO 选择位 / External VCO select bits	0x0	R/W
0x1B6	DACPLLT6	[3:0]	VCO_LVL_OUT	VCO 幅度控制 / VCO amplitude control	0xA	R/W
0x1B7	DACPLLT7	7	LD_SYNTH	频率合成器的手动重新校准。1=使能电路以降低校准偏移目标点的电压，0=禁用 / Manual synthesizer recalibration	0x0	R/W
0x1B7	DACPLLT7	6	RESERVED	保留 / Reserved	0x0	R
0x1B7	DACPLLT7	[5:0]	CP_IBLEED	电荷泵失调控制 / Charge-pump offset (ibleed) control	0x0	R/W
0x1B8	DACPLLT8	7	RESERVED	保留 / Reserved	0x0	R
0x1B8	DACPLLT8	6	COMP_OUT	CP 校准比较器输出 / CP calibration comparator output	0x0	R
0x1B8	DACPLLT8	5	CP_CAL_DONE	CP 校准已完成 / CP calibration done	0x0	R
0x1B8	DACPLLT8	4	VCO_CAL_IN_PROG	VCO 正在校准 / VCO calibration in progress	0x0	R
0x1B8	DACPLLT8	[3:0]	CP_CALBITS	CP 的校准结果 / CP calibration result	0x0	R
0x1B9	DACPLLT9	7	HALF_VCO_CAL_CLK	减慢 VCO 校准时钟 / Slow the VCO calibration clock	0x0	R/W

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x1B9	DACPLLT9	6	DITHER_MODE	颤振模式—不使用 / Dither mode — not used	0x0	R/W
0x1B9	DACPLLT9	5	MACHINE_ENABLE	使能 PLL 电源模式机 / Enable the PLL power-mode machine	0x1	R/W
0x1B9	DACPLLT9	4	CP_OFFSET_OFF	关闭 CP 失调 / Turn off CP offset	0x1	R/W
0x1B9	DACPLLT9	3	FORCE_CP_CALBITS	从外部强制配置 CP 校准码字。0=若禁用电源机则 CP 自动校准，1=手动校准 / Force CP calibration bits externally	0x0	R/W
0x1B9	DACPLLT9	2	CAP_CAL_EN	使能 CP 校准。0=禁用电荷泵校准，1=使能 / Enable CP calibration	0x1	R/W
0x1B9	DACPLLT9	[1:0]	CP_TEST	CP 测试模式 / CP test mode	0x0	R/W
0x1BA	DACPLLTA	[7:4]	MACHINE_STATE	上电机状态 / Power-machine state	0x0	R
0x1BA	DACPLLTA	[3:0]	FCP_CALBITS	CP 外部校准位。上电机不使用时为 PLL 中电荷泵的外部强制校准位；上电机自动校准电荷泵并将该值存储在器件中 / External CP calibration bits	0x0	R/W
0x1BB	DACPLLTB	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x1BB	DACPLLTB	[4:3]	VCO_BIAS_TCF	VCO 偏置的温度系数 / VCO bias temperature coefficient	0x1	R/W
0x1BB	DACPLLTB	[2:0]	VCO_BIAS_REF	VCO 偏置控制 / VCO bias control	0x4	R/W
0x1BC	DACPLLTC	7	VCO_BYP_BIASR	旁路 VCO 偏置电阻 / Bypass VCO bias resistor	0x0	R/W
0x1BC	DACPLLTC	[6:5]	RESERVED	保留 / Reserved	0x0	R/W
0x1BC	DACPLLTC	4	VCO_COMP_BYP_BIASR	旁路 VCO 比较器电阻 / Bypass VCO comparator resistor	0x0	R/W
0x1BC	DACPLLTC	3	RESERVED	保留 / Reserved	0x0	R/W
0x1BC	DACPLLTC	2	LAST_ALC_EN	使能最后一次 ALC / Enable last ALC	0x0	R/W
0x1BC	DACPLLTC	[1:0]	RESERVED	保留 / Reserved	0x0	R/W
0x1BD	DACPLLTD	[7:4]	RESERVED	保留 / Reserved	0x0	R
0x1BD	DACPLLTD	3	VCO_CAL_REF_MON	向外界送出控制电压 / Route the control voltage out (monitor)	0x0	R/W
0x1BD	DACPLLTD	[2:0]	VCO_CAL_REF_TCF	校准参考的温度系数 / Calibration-reference temperature coefficient	0x0	R/W
0x1BE	DACPLLTE	[7:4]	RESERVED	保留 / Reserved	0x0	R
0x1BE	DACPLLTE	3	VCO_PDO_VR	变容管参考下电超控 / Varactor-reference power-down override	0x0	R/W
0x1BE	DACPLLTE	2	VCO_PDO_VRTCF	变容器温度系数下电超控 / Varactor-TCF power-down override	0x0	R/W
0x1BE	DACPLLTE	1	VCO_PDO_CALTCF	校准温度系数下电超控 / Calibration-TCF power-down override	0x0	R/W
0x1BE	DACPLLTE	0	VCO_PDO_VCOBUF	VCO 缓冲器下电超控 / VCO-buffer power-down override	0x0	R/W
0x1BF	DACPLLTF	7	I_CAL_EN	使能 VCO 频带校准 / Enable VCO band calibration	0x1	R/W
0x1BF	DACPLLTF	[6:4]	I_ALC_WAIT_D	频带变化时 VCO 校准等待 ALC 校准 / VCO calibration ALC wait on band change	0x0	R/W
0x1BF	DACPLLTF	[3:2]	I_CAL_COUNT	校准计数长度 / Calibration count length	0x3	R/W
0x1BF	DACPLLTF	[1:0]	FDBCK_DELAY	调节反馈时钟延迟 / Feedback-clock delay adjust	0x1	R/W
0x1C0	DACPLLT10	[7:6]	RESERVED	保留 / Reserved	0x0	R
0x1C0	DACPLLT10	5	USE_NEW_CAL	使用新校准器。0=使用旧校准器，1=使用新校准器 / Use new calibrator	0x1	R/W
0x1C0	DACPLLT10	4	DOUBLE_F0_CAL_CNT	校准器计数增加到 2 倍—旧校准器 / Double calibrator count — old calibrator	0x0	R/W
0x1C0	DACPLLT10	[3:2]	LOCKDETECT_COUNT	锁定检测器的计数长度 / Lock-detector count length	0x3	R/W
0x1C0	DACPLLT10	[1:0]	LOCK_MODE	锁定检测器模式 / Lock-detector mode	0x2	R/W
0x1C1	DACPLLT11	7	RESERVED	保留 / Reserved	0x0	R
0x1C1	DACPLLT11	6	CP_LVL_DET_PD	CP 电平检测器下电 / CP level-detector power-down	0x0	R/W
0x1C1	DACPLLT11	[5:3]	CP_VL_LOW	CP 低电平检测阈值电压调节 / CP low-level detect threshold adjust	0x2	R/W
0x1C1	DACPLLT11	[2:0]	CP_VL_HIGH	CP 高电平检测阈值电压调节 / CP high-level detect threshold adjust	0x5	R/W
0x1C4	DACPLLT17	7	RESERVED	保留 / Reserved	0x0	R
0x1C4	DACPLLT17	[6:4]	VCO_VAR_REF_TCF	变容器参考温度系数 / Varactor-reference temperature coefficient	0x3	R/W
0x1C4	DACPLLT17	[3:0]	VCO_VAR_OFF	变容器偏移 / Varactor offset	0x3	R/W
0x1C5	DACPLLT18	[7:4]	RESERVED	保留 / Reserved	0x0	R
0x1C5	DACPLLT18	[3:0]	VCO_VAR_REF	调节 VCO 变容器参考 / VCO varactor reference adjust	0x8	R/W
0x200	MASTER_PD	[7:1]	RESERVED	保留 / Reserved	0x0	R
0x200	MASTER_PD	0	SPI_PD_MASTER	整个 JESD204B Rx 模拟部分下电（所有 8 个通道和偏置） / Power down the entire JESD204B Rx analog section (all 8 lanes and bias)	0x1	R/W

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x201	PHY_PD	[7:0]	UNUSEDLANES	通过 SPI 控制单个 PHY 下电。设置位 x 以关闭相应的 SERDINx± PHY / Per-PHY power-down via SPI; set bit x to shut down SERDINx± PHY	0x0	R/W
0x203	GENERIC_PD	[7:2]	RESERVED	保留 / Reserved	0x0	R
0x203	GENERIC_PD	1	SPI_SYNC1_PD	SYNCOUT0± 的 LVDS 缓冲器下电 关闭 SYNCOUT1" 口径需一并核对，按原文保留 / source bit mapping kept verbatim] / SYNCOUT0± LVDS buffer power-down	0x0	R/W
0x203	GENERIC_PD	0	SPI_SYNC2_PD	SYNCOUT1± 的 LVDS 缓冲器下电 / SYNCOUT1± LVDS buffer power-down	0x0	R/W
0x206	CDR_RESET	[7:1]	RESERVED	保留 / Reserved	0x0	R
0x206	CDR_RESET	0	SPI_CDR_RESETN	重置所有 PHY 的数字控制逻辑。0=重置 CDR 逻辑，1=CDR 逻辑工作 / CDR logic reset (active low)	0x1	R/W
0x230	CDR_OPERATING_MODE	[7:6]	RESERVED	保留 / Reserved	0x0	R/W
0x230	CDR_OPERATING_MODE	5	HALFRATE	使能半速率 CDR 操作。0=禁用半速率（LaneRate ≤ 6 Gbps），1=使能半速率（LaneRate > 6 Gbps） / Half-rate CDR enable	0x1	R/W
0x230	CDR_OPERATING_MODE	[4:2]	RESERVED	保留 / Reserved	0x0	R/W
0x230	CDR_OPERATING_MODE	1	CDR_OVERSAMP	使能输入数据的过采样。1.5 Gbps ≤ LaneRate ≤ 3 Gbps 时置位该位 / Input-data oversampling enable	0x0	R/W
0x230	CDR_OPERATING_MODE	0	RESERVED	保留 / Reserved	0x0	R/W
0x268	EQ_BIAS_REG	[7:6]	EQ_POWER_MODE	控制均衡器的功率/插入损耗能力。0=正常模式，1=低功耗模式 / Equalizer power/insertion-loss mode: 0 = normal, 1 = low power	0x1	R/W
0x268	EQ_BIAS_REG	[5:0]	RESERVED	保留 标"保留"但默认作 0x32，与 2.10 节 EQ 偏置电流寄存器 0x268[5:0] 的用法矛盾，按原文保留 / source marks [5:0] reserved with default 0x32, conflicting with the EqMode usage of 0x268[5:0] in Section 2.10; kept verbatim] / Reserved (default 0x32 per source)	0x32	R/W
0x280	SYNTH_ENABLE_CNTRL	[7:3]	RESERVED	保留 / Reserved	0x0	R
0x280	SYNTH_ENABLE_CNTRL	2	SPI_RECAL_SYNTH	置高重新运行所有 SERDES PLL 校准程序；再次置低允许额外的重新校准；上升沿校准 / Re-run all SERDES PLL calibrations (rising edge)	0x0	R/W
0x280	SYNTH_ENABLE_CNTRL	1	RESERVED	保留 / Reserved	0x0	R/W
0x280	SYNTH_ENABLE_CNTRL	0	SPI_ENABLE_SYNTH	使能 SERDES PLL。设置该位打开所有电流并继续校准 PLL；使能前确保参考时钟和分频比正确 / Enable the SERDES PLL	0x0	R/W
0x281	PLL_STATUS	[7:6]	RESERVED	保留 / Reserved	0x0	R
0x281	PLL_STATUS	5	SPI_CP_OVER_RANGE_HIGH_RB	CP 输出电压高于设定的高阈值指示。0=CP 输出低于 CP_LEVEL_THRESHOLD_HIGH，1=高于 / CP output above the high threshold	0x0	R
0x281	PLL_STATUS	4	SPI_CP_OVER_RANGE_LOW_RB	CP 输出电压低于设定的低阈值指示。0=CP 输出高于 CP_LEVEL_THRESHOLD_LOW，1=低于 / CP output below the low threshold	0x0	R
0x281	PLL_STATUS	3	SPI_CP_CAL_VALID_RB	电荷泵校准是否完成。0=校准无效，1=校准生效 / CP calibration valid	0x0	R
0x281	PLL_STATUS	2	SPI_VCO_CAL_IN_PROGRESS_RB	VCO 校准正在运行。0=未运行，1=正在运行 / VCO calibration in progress	0x0	R
0x281	PLL_STATUS	1	SPI_CURRENTS_READY_RB	PLL 偏置电流是否准备好。0=未准备好，1=已准备好 / PLL bias currents ready	0x0	R
0x281	PLL_STATUS	0	SPI_PLL_LOCK_RB	PLL 在锁定检测计数所设时钟周期数内锁定。0=未锁定，1=锁定 / PLL locked	0x0	R
0x284	LOOP_FILTER_1	[7:4]	LOOP_FILTER_1 (high)	配置环路滤波器 / Loop-filter configuration	0x7	R/W
0x284	LOOP_FILTER_1	[3:0]	LOOP_FILTER_1 (low)	配置环路滤波器 / Loop-filter configuration	0x7	R/W
0x285	LOOP_FILTER_2	[7:4]	LOOP_FILTER_2 (high)	配置环路滤波器 / Loop-filter configuration	0x8	R/W
0x285	LOOP_FILTER_2	[3:0]	LOOP_FILTER_2 (low)	配置环路滤波器 / Loop-filter configuration	0x7	R/W
0x286	LOOP_FILTER_3	[7:4]	LOOP_FILTER_3 (high)	配置环路滤波器 / Loop-filter configuration	0x0	R/W
0x286	LOOP_FILTER_3	[3:0]	LOOP_FILTER_3 (low)	配置环路滤波器 / Loop-filter configuration	0x8	R/W
0x287	CP_CURRENT	7	RESERVED	保留 / Reserved	0x0	R
0x287	CP_CURRENT	6	SPI_SERDES_LOGEN_POWER_MODE	输出 VT 控制电压。0=不输出，1=输出供测试 / Force VT control voltage output	0x0	R/W
0x287	CP_CURRENT	[5:0]	SPI_CP_CURRENT	CP 电流设置 / CP current setting	0x3F	R/W
0x289	REF_CLK_DIVIDER_LDO	[7:4]	RESERVED	保留 / Reserved	0x0	R
0x289	REF_CLK_DIVIDER_LDO	3	SPI_LDO_REF_SEL	选择 LDO 参考来自带隙基准还是分压器 (VDD/2)。0=选择分压器 (VDD/2)，1=选择带隙基准 / LDO reference select	0x0	R/W
0x289	REF_CLK_DIVIDER_LDO	2	SPI_LDO_BYPASS_FILT	旁路 LDO 参考输入的滤波器。0=使能滤波器，1=旁路滤波器 / Bypass the LDO reference filter	0x1	R/W
0x289	REF_CLK_DIVIDER_LDO	[1:0]	SPI_CDR_OVERSAMP	使能输入数据的过采样（在寄存器 0x230 中设置过采样）。0=半速模式 6–12 Gbps，1=全速模式 3–6 Gbps，2=过采样模式 1.5–3 Gbps / CDR oversampling mode	0x0	R/W
0x28A	VCO_LDO_CONFIG	[7:0]	SPI_SERDES_LDO_CONFIG	VCO LDO 设置 / VCO LDO configuration	0x2B	R/W

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x28B	PLL_PD_REG	7	RESERVED	保留 / Reserved	0x0	R/W
0x28B	PLL_PD_REG	6	SPI_VCO_PD	使能 VCO。0=使能 VCO，1=禁用 VCO / VCO power-down	0x1	R/W
0x28B	PLL_PD_REG	5	SPI_VCO_PD_PTAT	VCO PTAT 电流源下电 / VCO PTAT power-down	0x1	R/W
0x28B	PLL_PD_REG	4	SPI_VCO_PD_ALC	VCO ALC 电路下电 / VCO ALC power-down	0x1	R/W
0x28B	PLL_PD_REG	3	SPI_SYN_PD	整个频率合成器/复位状态机下电 / Synthesizer power-down	0x1	R/W
0x28B	PLL_PD_REG	2	SPI_SERDES_LDO_PD	LDO 下电。0=使能 LDO，1=禁用 LDO / LDO power-down	0x1	R/W
0x28B	PLL_PD_REG	1	SPI_SERDES_LOGEN_PD_OUTBUF	分频器缓冲器下电。0=使能缓冲器，1=禁用 / Divider output-buffer power-down	0x1	R/W
0x28B	PLL_PD_REG	0	SPI_SERDES_LOGEN_PD_CORE	本振分频器下电。0=使能分频器，1=禁用 / LO divider power-down	0x1	R/W
0x290	ALC_VARACTOR	[7:4]	SPI_INIT_ALC_VALUE	ALC 初始值设置 / ALC initial value	0x8	R/W
0x290	ALC_VARACTOR	[3:0]	SPI_VCO_VARACTOR	VCO KVCO 设置 / VCO KVCO setting	0x3	R/W
0x291	VCO_OUTPUT	[7:4]	RESERVED	保留 / Reserved	0x4	R/W
0x291	VCO_OUTPUT	[3:0]	SPI_VCO_OUTPUT_LEVEL	VCO 幅度设置 / VCO output level	0x9	R/W
0x294	CP_CONFIG	7	SPI_HALF_VCO_CAL_CLK	减慢 VCO 校准时钟 / Slow VCO calibration clock	0x1	R/W
0x294	CP_CONFIG	6	SPI_DITHER_MODE	颤振模式—不使用 / Dither mode — not used	0x0	R/W
0x294	CP_CONFIG	5	SPI_ENABLE_MACHINE	使能 PLL 电源模式机 / Enable PLL power-mode machine	0x1	R/W
0x294	CP_CONFIG	4	SPI_CP_OFFSET_OFF	关闭 CP 失调 / Turn off CP offset	0x1	R/W
0x294	CP_CONFIG	3	SPI_CP_FORCE_CALBITS	从外部强制配置 CP 校准码字 / Force CP calibration bits	0x0	R/W
0x294	CP_CONFIG	2	SPI_CP_CAL_EN	使能 CP 校准 / Enable CP calibration	0x0	R/W
0x294	CP_CONFIG	[1:0]	SPI_CP_TEST	CP 测试模式 / CP test mode	0x0	R/W
0x296	VCO_BIAS_1	[7:5]	RESERVED	保留 / Reserved	0x0	R/W
0x296	VCO_BIAS_1	[4:3]	SPI_VCO_BIAS_TCF	VCO 偏置的温度系数 / VCO bias temperature coefficient	0x1	R/W
0x296	VCO_BIAS_1	[2:0]	SPI_VCO_BIAS_REF	VCO 偏置控制 / VCO bias control	0x4	R/W
0x297	VCO_BIAS_2	[7:6]	RESERVED	保留 / Reserved	0x0	R
0x297	VCO_BIAS_2	5	SPI_VCO_BYPASS_BIAS_DAC_R	旁路 VCO 偏置电阻 / Bypass VCO bias resistor	0x0	R/W
0x297	VCO_BIAS_2	4	SPI_VCO_COMP_BYPASS_BIASR	旁路 VCO 比较器电阻 / Bypass VCO comparator resistor	0x0	R/W
0x297	VCO_BIAS_2	3	RESERVED	保留 / Reserved	0x0	R/W
0x297	VCO_BIAS_2	2	SPI_LAST_ALC_EN	使能最后一次 ALC / Enable last ALC	0x0	R/W
0x297	VCO_BIAS_2	[1:0]	RESERVED	保留 / Reserved	0x0	R/W
0x299	VCO_PD_OVERRIDES	[7:4]	RESERVED	保留 / Reserved	0x0	R/W
0x299	VCO_PD_OVERRIDES	3	SPI_VCO_PD_OVERRIDE_VAR_REF	变容管参考下电超控 / Varactor-reference PD override	0x0	R/W
0x299	VCO_PD_OVERRIDES	2	SPI_VCO_PD_OVERRIDE_VAR_REF_TCF	变容器温度系数下电超控 / Varactor-TCF PD override	0x0	R/W
0x299	VCO_PD_OVERRIDES	1	SPI_VCO_PD_OVERRIDE_CAL_TCF	校准温度系数下电超控 / Calibration-TCF PD override	0x0	R/W
0x299	VCO_PD_OVERRIDES	0	SPI_VCO_PD_OVERRIDE_VCOBUF	VCO 缓冲器下电超控 / VCO-buffer PD override	0x0	R/W
0x29A	VCO_CAL	7	SPI_VCO_CAL_EN	使能 VCO 频带校准 / Enable VCO band calibration	0x1	R/W
0x29A	VCO_CAL	[6:4]	SPI_VCO_CAL_ALC_WAIT	频带变化时 VCO 校准等待 ALC 校准 / VCO calibration ALC wait	0x7	R/W
0x29A	VCO_CAL	[3:2]	SPI_VCO_CAL_COUNT	校准计数长度 / Calibration count length	0x3	R/W
0x29A	VCO_CAL	[1:0]	SPI_FB_CLOCK_ADV	调节反馈时钟延迟 / Feedback-clock delay adjust	0x2	R/W
0x29C	CP_LEVEL_DETECT	7	RESERVED	保留 / Reserved	0x0	R
0x29C	CP_LEVEL_DETECT	6	SPI_CP_LEVEL_DET_PD	CP 电平检测器下电 / CP level-detector power-down	0x0	R/W
0x29C	CP_LEVEL_DETECT	[5:3]	SPI_CP_LEVEL_THRESHOLD_LOW	CP 低电平检测阈值电压调节 / CP low-level threshold adjust	0x2	R/W
0x29C	CP_LEVEL_DETECT	[2:0]	SPI_CP_LEVEL_THRESHOLD_HIGH	CP 高电平检测阈值电压调节 / CP high-level threshold adjust	0x7	R/W
0x29F	VCO_VARACTOR_CONTROL_0	7	RESERVED	保留 / Reserved	0x0	R
0x29F	VCO_VARACTOR_CONTROL_0	[6:4]	SPI_VCO_VARACTOR_REF_TCF	变容器参考温度系数 / Varactor-reference TCF	0x3	R/W
0x29F	VCO_VARACTOR_CONTROL_0	[3:0]	SPI_VCO_VARACTOR_OFFSET	变容器偏移 / Varactor offset	0x3	R/W
0x2A0	VCO_VARACTOR_CONTROL_1	[7:4]	RESERVED	保留 / Reserved	0x0	R
0x2A0	VCO_VARACTOR_CONTROL_1	[3:0]	SPI_VCO_VARACTOR_REF	调节 VCO 变容器参考 / VCO varactor reference adjust	0x8	R/W
0x2A7	TERM_BLK1_CTRLREG0	[7:1]	RESERVED	保留 / Reserved	0x0	R
0x2A7	TERM_BLK1_CTRLREG0	0	SPI_I_TUNE_R_CAL_TERMBLK1	此位的上升沿开始终端校准程序 / Rising edge starts the termination calibration (block 1)	0x0	R/W

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x2AE	TERM_BLK2_CTRLREG0	[7:1]	RESERVED	保留 / Reserved	0x0	R
0x2AE	TERM_BLK2_CTRLREG0	0	SPI_I_TUNE_R_CAL_TERMBLK2	此位的上升沿开始终端校准程序 / Rising edge starts the termination calibration (block 2)	0x0	R/W
0x300	GENERAL_JRX_CTRL_0	7	RESERVED	保留 / Reserved	0x0	R
0x300	GENERAL_JRX_CTRL_0	6	CHECKSUMMODE	JESD204B 链路参数校验和计算方法。0=校验和是字段的总和，1=校验和是字节的总和 / Checksum method: 0 = sum of fields, 1 = sum of bytes	0x0	R/W
0x300	GENERAL_JRX_CTRL_0	[5:4]	RESERVED	保留 / Reserved	0x0	R/W
0x300	GENERAL_JRX_CTRL_0	3	DUALLINK	选择单链路或双链路模式。0=单链路，1=双链路 / Dual-link select	0x0	R/W
0x300	GENERAL_JRX_CTRL_0	2	CURRENTLINK	选择与哪个 QBD 寄存器映射工作。0=访问 QBD_0，1=访问 QBD_1 / Current-link (QBD map) select	0x0	R/W
0x300	GENERAL_JRX_CTRL_0	[1:0]	ENLINKS	所有链路参数编程完毕且时钟就绪时启动 JESD204B Rx 数字信号。Bit0 适用于链路 0，Bit1 适用于链路 1（仅双链路模式）；两条链路可单独或一起启动 / Enable JESD204B Rx links	0x0	R/W
0x301	GENERAL_JRX_CTRL_1	[7:3]	RESERVED	保留 / Reserved	0x0	R
0x301	GENERAL_JRX_CTRL_1	[2:0]	SUBCLASSV_LOCAL	JESD204B 子类。0=子类 0，1=子类 1 / JESD204B subclass	0x1	R/W
0x302	DYN_LINK_LATENCY_0	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x302	DYN_LINK_LATENCY_0	[4:0]	DYN_LINK_LATENCY_0	链路 0 动态延迟：当前 LMFC 和全局 LMFC 之间的延迟 / Link 0 dynamic latency	0x0	R
0x303	DYN_LINK_LATENCY_1	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x303	DYN_LINK_LATENCY_1	[4:0]	DYN_LINK_LATENCY_1	链路 1 动态延迟 / Link 1 dynamic latency	0x0	R
0x304	LMFC_DELAY_0	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x304	LMFC_DELAY_0	[4:0]	LMFCDEL0	链路 0 的全局 LMFC 延迟（单位：帧时钟周期）/ Link 0 global LMFC delay (frame-clock periods)	0x0	R/W
0x305	LMFC_DELAY_1	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x305	LMFC_DELAY_1	[4:0]	LMFCDEL1	链路 1 的全局 LMFC 延迟（单位：帧时钟周期）/ Link 1 global LMFC delay	0x0	R/W
0x306	LMFCVAR0	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x306	LMFCVAR0	[4:0]	LMFCVAR0	Rx LMFC 中 JESD204B 字从缓冲区读出的位置；此设置一般不超过 10 / Link 0 LMFC variation	0x6	R/W
0x307	LMFCVAR1	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x307	LMFCVAR1	[4:0]	LMFCVAR1	Rx LMFC 中 JESD204B 字从缓冲区读出的位置；一般不超过 10 / Link 1 LMFC variation	0x6	R/W
0x308	XBAR_LN_0_1	[7:6]	RESERVED	保留 / Reserved	0x0	R
0x308	XBAR_LN_0_1	[5:3]	XBARVAL1	逻辑 Lane 1 来源：选择映射到逻辑 Lane 1 的物理 Lane，数据来自 SERDINx± / Logical Lane 1 source	0x1	R/W
0x308	XBAR_LN_0_1	[2:0]	XBARVAL0	逻辑 Lane 0 来源 / Logical Lane 0 source	0x0	R/W
0x309	XBAR_LN_2_3	[7:6]	RESERVED	保留 / Reserved	0x0	R
0x309	XBAR_LN_2_3	[5:3]	XBARVAL3	逻辑 Lane 3 来源 / Logical Lane 3 source	0x3	R/W
0x309	XBAR_LN_2_3	[2:0]	XBARVAL2	逻辑 Lane 2 来源 / Logical Lane 2 source	0x2	R/W
0x30A	XBAR_LN_4_5	[7:6]	RESERVED	保留 / Reserved	0x0	R
0x30A	XBAR_LN_4_5	[5:3]	XBARVAL5	逻辑 Lane 5 来源 / Logical Lane 5 source	0x5	R/W
0x30A	XBAR_LN_4_5	[2:0]	XBARVAL4	逻辑 Lane 4 来源 / Logical Lane 4 source	0x4	R/W
0x30B	XBAR_LN_6_7	[7:6]	RESERVED	保留 / Reserved	0x0	R
0x30B	XBAR_LN_6_7	[5:3]	XBARVAL7	逻辑 Lane 7 来源 / Logical Lane 7 source	0x7	R/W
0x30B	XBAR_LN_6_7	[2:0]	XBARVAL6	逻辑 Lane 6 来源 / Logical Lane 6 source	0x6	R/W
0x30C	FIFO_STATUS_REG_0	[7:0]	LANE_FIFO_FULL	每个逻辑 Lane 的 FIFO 满标志。FIFO 满表示 JESD204B 配置或系统时钟错误；Lane x 的 FIFO 已满时位 x 为高 / Per-lane FIFO-full flags	0x0	R
0x30D	FIFO_STATUS_REG_1	[7:0]	LANE_FIFO_EMPTY	每个逻辑 Lane 的 FIFO 空标志。空 FIFO 表明配置或系统时钟错误；位 x 为高表示 Lane x 的 FIFO 为空 / Per-lane FIFO-empty flags	0x0	R
0x312	SYNCB_GEN_1	[7:6]	RESERVED	保留 / Reserved	0x0	R/W
0x312	SYNCB_GEN_1	[5:4]	SYNCB_ERR_DUR	SYNCOUTx± 报错时低电平的持续时间，同时适用于 SYNCOUT0 和 SYNCOUT1；多帧结束时只要遇到一个或多个 Disparity、Not in Table 或 Unexpected Control Character 错误就发出同步错误。0=1/2 PCLK 周期，1=1 个 PCLK 周期，2=2 个 PCLK 周期 / SYNCOUT error-report pulse width	0x0	R/W
0x312	SYNCB_GEN_1	[3:0]	RESERVED	保留 / Reserved	0x0	R/W
0x314	SPI_SYNC_CTRL	[7:1]	RESERVED	保留 / Reserved	0x0	R
0x314	SPI_SYNC_CTRL	0	SPI_SYNC_CLK_SEL	SERDES SPI 配置。0/1=在物理层设置中的设置 / SERDES SPI configuration select	0x0	R/W
0x315	PHY_PRBS_TEST_EN	[7:0]	PHY_TEST_EN	置位位 x 以使能 Lane x 的物理层测试 / Enable PHY test per lane	0x0	R/W
0x316	PHY_PRBS_TEST_CTRL	7	RESERVED	保留 / Reserved	0x0	R
0x316	PHY_PRBS_TEST_CTRL	[6:4]	PHY_SRC_ERR_CNT	报告 Lane 错误计数 / Report lane error count select	0x0	R/W

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x316	PHY_PRBS_TEST_CTRL	[3:2]	PHY_PRBS_PAT_SEL	为 PHY 误码率测试选择 PRBS 模式。0=PRBS7，1=PRBS15，2=PRBS31，3=不使用 / PRBS pattern select	0x0	R/W
0x316	PHY_PRBS_TEST_CTRL	1	PHY_TEST_START	启动和停止 PHY PRBS 测试。0=测试未开始，1=测试开始 / PHY PRBS test start	0x0	R/W
0x316	PHY_PRBS_TEST_CTRL	0	PHY_TEST_RESET	重置 PHY PRBS 测试状态机和错误计数器。0=重置，1=不重置 / PHY PRBS test reset	0x0	R/W
0x317	PHY_PRBS_TEST_THRESHOLD_LOBITS	[7:0]	PHY_PRBS_THRESHOLD_LOBITS	PHY PRBS 测试错误标志阈值 24 位中的位 [7:0] / PRBS error-flag threshold bits [7:0]	0x0	R/W
0x318	PHY_PRBS_TEST_THRESHOLD_MIDBITS	[7:0]	PHY_PRBS_THRESHOLD_MIDBITS	阈值位 [15:8] / Threshold bits [15:8]	0x0	R/W
0x319	PHY_PRBS_TEST_THRESHOLD_HIBITS	[7:0]	PHY_PRBS_THRESHOLD_HIBITS	阈值位 [23:16] / Threshold bits [23:16]	0x0	R/W
0x31A	PHY_PRBS_TEST_ERRCNT_LOBITS	[7:0]	PHY_PRBS_ERR_CNT_LOBITS	选定 Lane 的 PHY BERT 错误计数 24 位的位 [7:0] / PHY BERT error count bits [7:0]	0x0	R
0x31B	PHY_PRBS_TEST_ERRCNT_MIDBITS	[7:0]	PHY_PRBS_ERR_CNT_MIDBITS	错误计数位 [15:8] / Error count bits [15:8]	0x0	R
0x31C	PHY_PRBS_TEST_ERRCNT_HIBITS	[7:0]	PHY_PRBS_ERR_CNT_HIBITS	错误计数位 [15:8] ，应为 [23:16]，按原文保留 / source description says [15:8] for the HIBITS register; kept verbatim] / Error count high bits	0x0	R
0x31D	PHY_PRBS_TEST_STATUS	[7:0]	PHY_PRBS_PASS	每位对应一个 Lane，报告每个 Lane 的 PHY BERT 通过/失败 / Per-lane PHY BERT pass/fail	0xFF	R
0x32C	SHORT_TPL_TEST_0	[7:6]	RESERVED	保留 / Reserved	0x0	R
0x32C	SHORT_TPL_TEST_0	[5:4]	SHORT_TPL_SP_SEL	短传输层样本选择。选择要从特定 DAC 检查哪个样本。0=样本 0，1=样本 1，2=样本 2，3=样本 3 / Short-TPL sample select	0x0	R/W
0x32C	SHORT_TPL_TEST_0	[3:2]	SHORT_TPL_M_SEL	短传输层测试 DAC 选择。0=DAC 0，1=DAC 1，2=DAC 2，3=DAC 3 / Short-TPL DAC select	0x0	R/W
0x32C	SHORT_TPL_TEST_0	1	SHORT_TPL_TEST_RESET	短传输层测试复位。0=不复位，1=复位 / Short-TPL test reset	0x0	R/W
0x32C	SHORT_TPL_TEST_0	0	SHORT_TPL_TEST_EN	使能短传输层测试。0=禁用，1=使能 / Short-TPL test enable	0x0	R/W
0x32D	SHORT_TPL_TEST_1	[7:0]	SHORT_TPL_REF_SP_LSB	短传输层测试参考样本 LSB：预期 DAC 样本的低 8 位，与 JESD204B Rx 输出端的接收 DAC 样本比较 / Reference sample LSBs	0x0	R/W
0x32E	SHORT_TPL_TEST_2	[7:0]	SHORT_TPL_REF_SP_MSB	短传输层测试参考样本 MSB：预期 DAC 样本的高 8 位，与 Rx 输出端的接收样本比较 / Reference sample MSBs	0x0	R/W
0x32F	SHORT_TPL_TEST_3	[7:1]	RESERVED	保留 / Reserved	0x0	R
0x32F	SHORT_TPL_TEST_3	0	SHORT_TPL_FAIL	短传输层测试失败。显示所选 DAC 样本是否与参考样本匹配。0=测试通过；1=测试通过 / Short-TPL fail flag	0x0	R
0x333	DEVICE_CONFIG_REG2	[7:0]	RESERVED	对于正确的 JESD204B 接收器操作，必须设置为 0x1 / Must be set to 0x1 for correct JESD204B receiver operation	0x0	R/W
0x334	JESD_BIT_INVERSE_CTRL	[7:0]	INVLANES	逻辑 Lane 数据反相。将位 x 置高以反相逻辑 Lane x 上的 JESD204B 解串数据 / Per-lane data inversion	0x0	R/W
0x400	DID_REG	[7:0]	DID_RD	DID 是器件 ID 号。根据 JESD204B 第 8.3 节，在 Lane 0 上收到的链路信息 / Device ID received on Lane 0 per JESD204B § 8.3	0x0	R
0x401	BID_REG	[7:4]	ADJCNT_RD	ADJCNT 是 DAC LMFC 的调整分辨率。Lane 0 上收到的链路信息 / LMFC adjustment resolution readback	0x0	R
0x401	BID_REG	[3:0]	BID_RD	BID 是 Bank ID—扩展到 DID。Lane 0 上收到的链路信息 / Bank ID readback	0x0	R
0x402	LID0_REG	7	RESERVED	保留 / Reserved	0x0	R
0x402	LID0_REG	6	ADJDIR_RD	ADJDIR 是调整 DAC LMFC 的方向。Lane 0 上收到的链路信息 / LMFC adjustment direction readback	0x0	R
0x402	LID0_REG	5	PHADJ_RD	PHADJ 是对 DAC 的相位调整请求。Lane 0 上收到的链路信息 / Phase-adjustment request readback	0x0	R
0x402	LID0_REG	[4:0]	LID0_RD	LID0 是 Lane 0 的 Lane 标识。Lane 0 上收到的链路信息 / Lane 0 ID readback	0x0	R
0x403	SCR_L_REG	7	SCR_RD	SCR 是 Tx 加扰状态。0=禁用加扰，1=使能加扰。Lane 0 上收到的链路信息 / Scrambling status readback	0x0	R
0x403	SCR_L_REG	[6:5]	RESERVED	保留 / Reserved	0x0	R
0x403	SCR_L_REG	[4:0]	L_RD	L 是每个器件每个转换器的 Lane 数。0=每转换器 1 个 Lane，1=2 个，3=4 个。Lane 0 上收到的链路信息 / Lanes per converter readback	0x0	R
0x404	F_REG	[7:0]	F_RD	F 是每帧的字节数，1、2、4 有效。0=每帧 1 个八位字节，1=2 个，3=4 个。Lane 0 上收到的链路信息 / Octets per frame readback	0x0	R
0x405	K_REG	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x405	K_REG	[4:0]	K_RD	K 是每个多帧的帧数，16 或 32 有效。01111=16，11111=32。Lane 0 上收到的链路信息 / Frames per multiframe readback	0x0	R

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x406	M_REG	[7:0]	M_RD	M 是每个器件中转换器的数量，必须是 1、2 或 4。0=1 个，1=2 个，3=4 个。Lane 0 上收到的链路信息 / Converters per device readback	0x0	R
0x407	CS_N_REG	[7:6]	CS_RD	CS 是每个样本中控制位的数量，必须为 0。Lane 0 上收到的链路信息 / Control bits per sample readback	0x0	R
0x407	CS_N_REG	5	RESERVED	保留 / Reserved	0x0	R
0x407	CS_N_REG	[4:0]	N_RD	N=转换器分辨率。Lane 0 上收到的链路信息 / Converter resolution readback	0x0	R
0x408	NP_REG	[7:5]	SUBCLASSV_RD	SUBCLASSV 是设备子类版本。Lane 0 上收到的链路信息 / Subclass version readback	0x0	R
0x408	NP_REG	[4:0]	NP_RD	Np 是每个样本的比特总数。Lane 0 上收到的链路信息 / Total bits per sample readback	0x0	R
0x409	S_REG	[7:5]	JESDV_RD	JESDV 是 JESD204 版本。0=JESD204A，1=JESD204B。Lane 0 上收到的链路信息；每样本 16 比特 / JESD version readback	0x0	R
0x409	S_REG	[4:0]	S_RD	S 是每帧周期每转换器的样本数量。0=每帧每转换器一个样本，1=两个样本。Lane 0 上收到的链路信息 / Samples per converter per frame readback	0x0	R
0x40A	HD_CF_REG	7	HD_RD	HD 是高密度模式（参照 JESD204B 标准第 5.1.3 节）。0=低密度模式，1=高密度模式。Lane 0 上收到的链路信息 / High-density mode readback	0x0	R
0x40A	HD_CF_REG	[6:5]	RESERVED	保留 / Reserved	0x0	R
0x40A	HD_CF_REG	[4:0]	CF_RD	CF 是每个链路每帧时钟周期的控制字数，必须为 0。Lane 0 上收到的链路信息 / Control words per frame readback	0x0	R
0x40B	RES1_REG	[7:0]	RES1_RD	保留字段 1。Lane 0 上收到的链路信息 / Reserved field 1 readback	0x0	R
0x40C	RES2_REG	[7:0]	RES2_RD	保留字段 2。Lane 0 上收到的链路信息 / Reserved field 2 readback	0x0	R
0x40D	CHECKSUM_REG	[7:0]	LANE0CHECKSUM_RD	Lane 0 的校验和。Lane 0 上收到的链路信息 / Lane 0 checksum readback	0x0	R
0x40E	COMPSUM0_REG	[7:0]	FCMP0_RD	为 Lane 0 计算的校验和。JESD204B Rx 计算 Lane 0 上收到链路信息的校验和，计算方法由 CHECKSUMMODE 位（寄存器 0x300[6]）设置，应与寄存器 0x40D 中同样的计算校验和相匹配 / Computed checksum for Lane 0	0x0	R
0x412	LID1_REG	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x412	LID1_REG	[4:0]	LID1_RD	Lane 1 的 Lane 识别。根据 JESD204B 第 8.3 节，在 Lane 0 上收到的链路信息 / Lane 1 ID readback	0x0	R
0x415	CHECKSUM1_REG	[7:0]	FCHK1_RD	Lane 1 的校验和。Lane 0 上收到的链路信息 / Lane 1 checksum readback	0x0	R
0x416	COMPSUM1_REG	[7:0]	FCMP1_RD	Lane 1 的计算校验和，见寄存器 0x40E 的描述 / Lane 1 computed checksum	0x0	R
0x41A	LID2_REG	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x41A	LID2_REG	[4:0]	LID2_RD	用于 Lane 2 的 Lane 标识 / Lane 2 ID readback	0x0	R
0x41D	CHECKSUM2_REG	[7:0]	FCHK2_RD	Lane 2 的校验和 / Lane 2 checksum readback	0x0	R
0x41E	COMPSUM2_REG	[7:0]	FCMP2_RD	Lane 2 的计算校验和，见寄存器 0x40E 的描述 / Lane 2 computed checksum	0x0	R
0x422	LID3_REG	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x422	LID3_REG	[4:0]	LID3_RD	用于 Lane 3 的 Lane 标识 / Lane 3 ID readback	0x0	R
0x425	CHECKSUM3_REG	[7:0]	FCHK3_RD	用于 Lane 3 的校验和 / Lane 3 checksum readback	0x0	R
0x426	COMPSUM3_REG	[7:0]	FCMP3_RD	用于 Lane 3 的计算校验和，见寄存器 0x40E 的描述 / Lane 3 computed checksum	0x0	R
0x42A	LID4_REG	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x42A	LID4_REG	[4:0]	LID4_RD	用于 Lane 4 的 Lane 标识 / Lane 4 ID readback	0x0	R
0x42D	CHECKSUM4_REG	[7:0]	FCHK4_RD	Lane 4 的校验和 / Lane 4 checksum readback	0x0	R
0x42E	COMPSUM4_REG	[7:0]	FCMP4_RD	用于 Lane 4 的计算校验和，见寄存器 0x40E 的描述 / Lane 4 computed checksum	0x0	R
0x432	LID5_REG	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x432	LID5_REG	[4:0]	LID5_RD	用于 Lane 5 的 Lane 标识 / Lane 5 ID readback	0x0	R
0x435	CHECKSUM5_REG	[7:0]	FCHK5_RD	Lane 5 的校验和 / Lane 5 checksum readback	0x0	R
0x436	COMPSUM5_REG	[7:0]	FCMP5_RD	用于 Lane 5 的计算校验和，见寄存器 0x40E 的说明 / Lane 5 computed checksum	0x0	R
0x43A	LID6_REG	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x43A	LID6_REG	[4:0]	LID6_RD	用于 Lane 6 的 Lane 标识 / Lane 6 ID readback	0x0	R
0x43D	CHECKSUM6_REG	[7:0]	FCHK6_RD	Lane 6 的校验和 / Lane 6 checksum readback	0x0	R
0x43E	COMPSUM6_REG	[7:0]	FCMP6_RD	用于 Lane 6 的计算校验和，见寄存器 0x40E 的说明 / Lane 6 computed checksum	0x0	R
0x442	LID7_REG	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x442	LID7_REG	[4:0]	LID7_RD	用于 Lane 7 的 Lane 标识 / Lane 7 ID readback	0x0	R
0x445	CHECKSUM7_REG	[7:0]	FCHK7_RD	Lane 7 的校验和 / Lane 7 checksum readback	0x0	R

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x446	COMPSUM7_REG	[7:0]	FCMP7_RD	用于 Lane 7 的计算校验和，见寄存器 0x40E 的说明 / Lane 7 computed checksum	0x0	R
0x450	ILS_DID	[7:0]	DID	DID 是设备 ID 号。根据 JESD204B 第 8.3 节，在 Lane 0 上收到的链路信息；必须设置为在寄存器 0x400 中读取的值 / Device ID; must be set to the value read in 0x400	0x0	R/W
0x451	ILS_BID	[7:4]	ADJCNT	ADJCNT 是 DAC LMFC 的调整分辨率。Lane 0 上收到的链路信息 / LMFC adjustment resolution	0x0	R/W
0x451	ILS_BID	[3:0]	BID	BID 是空 ID—扩展到 DID 。必须设置为在寄存器 0x401[3:0] 中读取的值 / Bank ID; set to the value read in 0x401[3:0]	0x0	R/W
0x452	ILS_LID0	7	RESERVED	保留 / Reserved	0x0	R
0x452	ILS_LID0	6	ADJDIR	ADJDIR 是调整 DAC LMFC 的方向 / LMFC adjustment direction	0x0	R/W
0x452	ILS_LID0	5	PHADJ	PHADJ 是对 DAC 的相位调整请求 / Phase-adjustment request	0x0	R/W
0x452	ILS_LID0	[4:0]	LID0	LID0 是 Lane 0 的 Lane 标识 / Lane 0 ID	0x0	R/W
0x453	ILS_SCR_L	7	SCR	SCR 是 Rx 解扰使能。0=禁用解扰，1=使能解扰 / Receiver descrambling enable	0x1	R/W
0x453	ILS_SCR_L	[6:5]	RESERVED	保留 / Reserved	0x0	R
0x453	ILS_SCR_L	[4:0]	L	L 是每个转换器的 Lane 数。单链路模式设置 2、4、8 有效；双链路模式 1、2、4 有效。00000=1 个 Lane，00001=2 个，00011=4 个，00111=8 个 / Lanes per converter	0x3	R/W
0x454	ILS_F	[7:0]	F	F 的这个值不能软配置 QBD；寄存器 CTRLREG1（0x476）可以软配置 QBD / F cannot be soft-configured for the QBD; Register 0x476 can	0x0	R/W
0x455	ILS_K	[7:5]	RESERVED	保留 / Reserved	0x0	R
0x455	ILS_K	[4:0]	K	K 是每个多帧的帧数，设置 16 或 32 有效；F=4 时必须设置为 32（寄存器 0x476）。01111=16，11111=32 / Frames per multiframe	0x1F	R/W
0x456	ILS_M	[7:0]	M	M 是每器件的转换器数量。单链路模式 1、2、4 有效；双链路模式 1、2 有效。0=每器件 1 个转换器，1=2 个，3=4 个 / Converters per device	0x1	R
0x457	ILS_CS_N	[7:6]	CS	CS 是每个样本的控制位数量，必须设置为 0，不支持控制位 / Control bits per sample; must be 0	0x0	R/W
0x457	ILS_CS_N	5	RESERVED	保留 / Reserved	0x0	R
0x457	ILS_CS_N	[4:0]	N	N=转换器分辨率，必须设置为 16（0x0F）/ Converter resolution; must be 16	0x1F	R/W
0x458	ILS_NP	[7:5]	SUBCLASSV	SUBCLASSV=器件子类版本，必须设置为 1（3'b001）/ Subclass version; must be 1	0x1	R/W
0x458	ILS_NP	[4:0]	NP	Np=每个样本的总位数，必须设置为 16（0x0F）/ Total bits per sample; must be 16	0xF	R/W
0x459	ILS_S	[7:5]	JESDVER	JESDV 是 JESD204 的版本。0=JESD204A，1=JESD204B / JESD version	0x1	R/W
0x459	ILS_S	[4:0]	S	S=每个转换器每个帧周期的样本数量，1 和 2 的设置有效。S=00000 表示 1 个样本，00001 表示 2 个样本 / Samples per converter per frame	0x0	R/W
0x45A	ILS_HD_CF	7	HD	HD 是高密度模式（参照 JESD204B 标准 5.1.3 节）。0=低密度模式，1=高密度模式 / High-density mode	0x1	R/W
0x45A	ILS_HD_CF	[6:5]	RESERVED	保留 / Reserved	0x0	R
0x45A	ILS_HD_CF	[4:0]	CF	CF 是每个链路每帧时钟周期的控制字数量，必须设置为 0，不支持控制字 / Control words per frame; must be 0	0x0	R/W
0x45D	ILS_CHECKSUM	[7:0]	LANE0CHECKSUM	Lane 0 的校验和。必须按 JESD204B 规范第 8.3 节计算寄存器 0x450 至 0x45C 的值的校验和并写入此处，其值为 [SUM(0x450:0x45C) % 256] / Lane 0 checksum = SUM(0x450:0x45C) mod 256	0x45	R/W
0x46B	ERRCNTRMON	7	RESERVED	保留 / Reserved	0x0	R
0x46B	ERRCNTRMON	[6:4]	LANESEL	选择 JESD204B 错误计数器的 Lane。写入这些位选择要监测的 JESD Lane（错误类型由 CNTRSEL[1:0] 指定）；每个通道的 BADDISCNTR、NITCNTR、UEKCCNTR 错误计数器通过间接寻址访问：先写入 LANESEL 和 CNTRSEL，再回读计数器。设置值映射：0/1/3/3/4/5/6/7 分别选择 Lane 0/1/2/3/4/5/6/7 / Lane select for the error counters	0x0	W
0x46B	ERRCNTRMON	[3:2]	RESERVED	保留 / Reserved	0x0	R
0x46B	ERRCNTRMON	[7:0]	READERRORCNTR	读取 JESD204B 错误计数器。写入 LANESEL[6:4] 和 CNTRSEL[1:0] 选择 Lane 和错误计数器后，在此读回所选计数器 READERRORCNTR 与 [1:0] CNTRSEL 同列于 0x46B，位域重叠，按原文保留 / source overlaps the two fields in one register; kept verbatim] / Read the selected error counter	0x0	R
0x46B	ERRCNTRMON	[1:0]	CNTRSEL	JESD204B 错误计数器选择。0=BADDISCNTR（Running Disparity 错误计数器），1=NITCNTR（Not in Table 错误计数器），2=UEKCCNTR（Unexpected Control Character 错误计数器）/ Error-counter select	0x0	W

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x46C	LANEDESKEW	[7:0]	LANEDESKEW	Lane 纠偏。在适当的位上写 1 使能纠偏；位 [7:0] 分别映射到 Lane 7 到 Lane 0；双链路模式下每个链路只使用位 [3:0]。1=为 Lane 0…Lane 7 使能纠偏 / Per-lane deskew enable	0xF	R/W
0x46D	BADDISPARITY	7	RSTIRQ_DIS	向该位写 1，为通过位 [2:0] 选择的 Lane 重置 BADDIS IRQ 计数器 / Reset the BADDIS IRQ counter for the selected lane	0x0	W
0x46D	BADDISPARITY	6	DISABLE_ERRCNT_DIS	写 1 禁用所选 Lane 的 BADDIS 错误计数器 / Disable the BADDIS error counter	0x0	W
0x46D	BADDISPARITY	5	RSTERRCNTR_DIS	写 1 重置所选 Lane 的 BADDIS 错误计数器 / Reset the BADDIS error counter	0x0	W
0x46D	BADDISPARITY	[4:3]	RESERVED	保留 / Reserved	0x0	R
0x46D	BADDISPARITY	[7:0]	BADDIS	Bad Disparity Character Error (BADDIS) 状态，每位对应一个 Lane；错误计数可通过寄存器 0x46B 访问；双链路模式下每个链路只使用位 [3:0]。1=BADDIS 错误计数已达到寄存器 0x47C 的阈值计数，0=未达到 / BADDIS status per lane	0x0	R
0x46D	BADDISPARITY	[2:0]	LANEADDR_DIS	用于位 [7:5] 所述功能的 Lane 地址 / Lane address for the control functions	0x0	W
0x46E	NITDISPARITY	7	RSTIRQ_NIT	写 1 为所选 Lane 重置 IRQ / Reset NIT IRQ for the selected lane	0x0	W
0x46E	NITDISPARITY	6	DISABLE_ERRCNT_NIT	写 1 禁用所选 Lane 的错误计数器 / Disable the NIT error counter	0x0	W
0x46E	NITDISPARITY	5	RSTERRCNTR_NIT	写 1 重置所选 Lane 的错误计数器 / Reset the NIT error counter	0x0	W
0x46E	NITDISPARITY	[4:3]	RESERVED	保留 / Reserved	0x0	R
0x46E	NITDISPARITY	[7:0]	NITD	Not in Table Disparity Character Error (NITD)，每位对应一个 Lane；错误计数通过寄存器 0x46B 访问；双链路模式下每个链路只使用位 [3:0] / NITD status per lane	0x0	R
0x46E	NITDISPARITY	[2:0]	LANEADDR_NIT	用于位 [7:5] 所述功能的 Lane 地址 / Lane address	0x0	W
0x46F	UNEXPECTEDKCHAR	7	RSTIRQ_K	写 1 为所选 Lane 重置 IRQ / Reset UCC IRQ for the selected lane	0x0	W
0x46F	UNEXPECTEDKCHAR	6	DISABLE_ERRCNT_K	写 1 禁用所选 Lane 的错误计数器 / Disable the UCC error counter	0x0	W
0x46F	UNEXPECTEDKCHAR	5	RSTERRCNTR_K	写 1 重置所选 Lane 的错误计数器 / Reset the UCC error counter	0x0	W
0x46F	UNEXPECTEDKCHAR	[4:3]	RESERVED	保留 / Reserved	0x0	R
0x46F	UNEXPECTEDKCHAR	[2:0]	LANEADDR_K	用于位 [7:5] 所述功能的车道地址 / Lane address	0x0	W
0x470	CODEGRPSYNCFLG	[7:0]	CODEGRPSYNC	CGS 同步标志（来自每个实例化 Lane）。向第 7 位写 1 重置 IRQ；相关 IRQ 标志位于寄存器 0x47A[0]；CODEGRPSYNC 的丢失会触发同步请求；位 x 为 1 代表在 Lane x 上实现了同步，0 代表失去同步 / CGS flags per lane; write bit 7 = 1 to reset the IRQ	0x0	R/W
0x471	FRAMESYNCFLG	[7:0]	FRAMESYNC	帧同步标志（来自每个实例化 Lane）。向第 7 位写 1 重置 IRQ；帧同步的丢失会自动启动同步序列 / Frame-sync flags per lane	0x0	R/W
0x472	GOODCHKSUMFLG	[7:0]	GOODCHECKSUM	正确校验和标志（来自每个实例化 Lane）。向第 7 位写 1 重置 IRQ；相关 IRQ 标志位于寄存器 0x47A[2] / Good-checksum flags per lane	0x0	R/W
0x473	INITLANESYNCFLG	[7:0]	INITIALLANESYNC	初始通道同步标志（来自每个实例化 Lane）。向第 7 位写 1 可以重置 IRQ；相关 IRQ 标志位于寄存器 0x47A[3]；失去同步也会通过 SYNCOUT 上报告 / Initial lane-sync flags per lane	0x0	R/W
0x476	CTRLREG1	[7:0]	F_AGAIN	F 是每帧的字节数，设置为 1、2 和 4 都有效 / F (octets per frame); valid values 1, 2, 4	0x1	R/W
0x477	CTRLREG2	7	ILAS_MODE	ILAS 测试模式（在 JESD204B 规范 5.3.3.8 节中定义）。1=JESD204B 接收器不断接收 ILAS 帧，0=链路正常工作 / ILAS test mode	0x0	R/W
0x477	CTRLREG2	[6:4]	RESERVED	保留 / Reserved	0x0	R
0x477	CTRLREG2	3	THRESHOLD_MASK_EN	使能阈值屏蔽。如果使用 SYNC_ASSERTION_MASK（寄存器 0x47B[7:5]），则置位此位 / Threshold mask enable	0x0	R/W
0x477	CTRLREG2	[2:0]	RESERVED	保留 / Reserved	0x0	R
0x478	KVAL	[7:0]	KSYNC	ILAS 期间 4×K 多帧的数量。设置在 ILAS 期间发送 ILAS 的多帧数，1 = 4×K 多帧 / Number of 4×K multiframes during ILAS	0x1	R/W
0x47A	IRQVECTOR	7	BADDIS_FLAG / BADDIS_MASK	标志（读）：Bad Disparity 错误计数器，1=至少一个 Lane 上 Bad Disparity 字符数达到 ERRORTHRESH（寄存器 0x47C），读寄存器 0x46D 确定哪些 Lane 有错误；屏蔽（写）：1=任一 Lane 达到阈值时 IRQ 被拉低 / BADDIS flag (R) / mask (W)	0x0	R/W
0x47A	IRQVECTOR	6	NITD_FLAG / NITD_MASK	标志（读）：Not in Table 错误计数，1=至少一个 Lane 上计数达到 ERRORTHRESH，读寄存器 0x46E 确定 Lane；屏蔽（写）：1=达到阈值时 IRQ 被拉低 / NITD flag (R) / mask (W)	0x0	R/W

地址 / Address	名称 / Name	位 / Bit	位名称 / Bit Name	描述 / Description	默认 / Default	读/写 / R/W
0x47A	IRQVECTOR	5	UEKC_FLAG / UEKC_MASK	标志（读）：Unexpected Control Character 错误计数，1=至少一个 Lane 上计数达到 ERRORTHRESH（0x47C），读寄存器 0x46F 确定 Lane；屏蔽（写）：1=达到阈值时 IRQ 被拉低 / UEKC flag (R) / mask (W)	0x0	R/W
0x47A	IRQVECTOR	4	RESERVED	保留 / Reserved	0x0	R
0x47A	IRQVECTOR	3	INITIALLANESYNC_FLAG / _MASK	标志（读）：初始通道同步标识，1=至少一个 Lane 上初始通道同步失败，读寄存器 0x473 确定 Lane；屏蔽（写）：1=任一 Lane 同步失败时 IRQ 被拉低 / Initial-lane-sync flag (R) / mask (W)	0x0	R/W
0x47A	IRQVECTOR	2	BADCHECKSUM_FLAG / _MASK	标志（读）：Bad Checksum 标志，1=至少一个 Lane 上有 Bad Checksum，读寄存器 0x472 确定 Lane；屏蔽（写）：1=任一 Lane 有 Bad Checksum（寄存器 0x472）时 IRQ 被拉低 / Bad-checksum flag (R) / mask (W)	0x0	R/W
0x47A	IRQVECTOR	1	RESERVED	保留 / Reserved	0x0	R
0x47A	IRQVECTOR	0	CODEGRPSYNC_FLAG / _MASK	标志（读）：CGS 同步标志，1=至少一个车道上的 CGS 同步失败，读寄存器 0x470 确定 Lane；屏蔽（写）：1=CGS 同步（寄存器 0x470）在任何车道上失败时 IRQ 被拉低 / CGS flag (R) / mask (W)	0x0	R/W
0x47B	SYNCASSERTIONMASK	7	BADDIS_S	同步时的 Bad Disparity 错误。1=当 Bad Disparity 字符数达到寄存器 0x47C 中的阈值时，在 SYNCOUTx± 上发出同步请求 / Assert sync request on BADDIS threshold	0x0	R/W
0x47B	SYNCASSERTIONMASK	6	NIT_S	同步时的 Not in table 错误。1=计数达到 0x47C 阈值时在 SYNCOUTx± 上发出同步请求 / Assert sync request on NIT threshold	0x0	R/W
0x47B	SYNCASSERTIONMASK	5	UCC_S	同步时 Unexpected Control Character 错误。1=计数达到寄存器 0x47C 阈值时在 SYNCOUTx± 上发出同步请求 / Assert sync request on UCC threshold	0x0	R/W
0x47B	SYNCASSERTIONMASK	4	CMM	配置不匹配 IRQ。如果 CMM_ENABLE 为高，该位在上升沿锁存并将 IRQ 拉低；锁存时写 1 清除该位；CMM_ENABLE 为低电平时该位没有功能。链路 Lane 0 配置寄存器（0x450 至 0x45D）与 JESD204B 传输设置（0x400 至 0x40D）不匹配 / Configuration-mismatch IRQ status (latched)	0x0	R/W
0x47B	SYNCASSERTIONMASK	3	CMM_ENABLE	使能配置不匹配 IRQ。如果检测到配置不匹配则使能 IRQ 生成。1=使能，0=禁用 / Configuration-mismatch IRQ enable	0x1	R/W
0x47B	SYNCASSERTIONMASK	[2:0]	RESERVED	保留 / Reserved	0x0	R
0x47C	ERRORTHRES	[7:0]	ETH	错误阈值。对 Bad Disparity、Not in table 和 Unexpected Control Character 错误计数并与错误阈值比较；计数达到阈值时，或产生 IRQ，或根据屏蔽寄存器设置发出 SYNCOUTx± 信号，或两者都有；该功能在所有 Lane 上执行 / Error threshold for BADDIS/NIT/UCC counters	0xFF	R/W
0x47D	LANEENABLE	[7:0]	LANE_ENA	使能 Lane。设置位 x 启用 Lane x；该寄存器必须在接收 CGS 数据之前配置，以使器件正确工作 / Per-lane enable; configure before receiving CGS data	0xF	R/W
0x47E	RAMP_ENA	[7:1]	RESERVED	保留 / Reserved	0x0	R
0x47E	RAMP_ENA	0	ENA_RAMP_CHECK	在 ILAS 开始时使能 Ramp 检查。0=禁用（ILAS 数据不需要是 Ramp），1=启用（ILAS 数据需要是一个从 00-01-02 开始的 Ramp；否则 Ramp ILAS 失败，器件不能启动）/ Ramp check at ILAS start	0x0	R/W
0x520	DIG_TEST0	[7:2]	RESERVED	保留 / Reserved	0x0	R
0x520	DIG_TEST0	1	DC_TEST_MOD	直流测试模式启用 / DC test mode enable	0x0	R/W
0x520	DIG_TEST0	0	RESERVED	保留 / Reserved	0x0	R/W
0x521	TEST_DC_VALUEI0	[7:0]	TEST_DC_VALUEI0	I DAC 直流测试模式 DC 值的 LSB / I DAC DC test value LSBs	0x0	R/W
0x522	TEST_DC_VALUEI1	[7:0]	TEST_DC_VALUEI1	I DAC 直流测试模式 DC 值的 MSB / I DAC DC test value MSBs	0x0	R/W
0x523	TEST_DC_VALUEQ0	[7:0]	TEST_DC_VALUEQ0	Q DAC 直流测试模式 DC 值的 LSB / Q DAC DC test value LSBs	0x0	R/W
0x524	TEST_DC_VALUEQ1	[7:0]	TEST_DC_VALUEQ1	Q DAC 直流测试模式 DC 值的 MSB / Q DAC DC test value MSBs	0x0	R/W

电源地间保护 / Supply-to-Ground Protection

English: The protection diodes between the supplies and ground are shown in Figure 80. The diode forward conduction voltage limit is 0.3 V.

中文： 电源与地间保护二极管如图 80 所示。二极管正向导通电压限制为 0.3V。



Figure 80: Protection diodes between supplies and ground

注意事项 / Precautions

1、产品安装注意事项 / 1. Product Installation Precautions

English: 1) Before use, check that the product marking, production batch number and inspection batch number are complete, and confirm the product appearance is normal with no damage. 2) Before installation, understand the product's outline structure dimensions, front/back height limits and pin function definitions, and confirm the installation method or scheme. 3) Take ESD precautions during installation. 4) Pay attention to the device orientation when soldering to avoid soldering it incorrectly. 5) Instruments and meters used for circuit debugging must have good unified grounding. In PCB design, ensure good grounding and power decoupling. 6) Take care not to reverse the power supplies or short the inputs/outputs to the supplies, which can easily damage the circuit.

中文： 1) 使用前需检查产品标识、生产批号和检验批号是否完整，确认产品外观正常，无破损。2) 产品安装前应了解该产品的外形结构尺寸、产品正反面高度限制、引脚功能定义等，确认安装方法或方案。3) 安装过程需采取防静电措施。4) 焊接时请注意器件方向，以免焊错。5) 调试电路所用的仪器、仪表一定要有良好的统一接地。

PCB 板设计请务必保持接地良好、电源去耦。6) 应注意不要将电源接反及输入输出端与电源短路，易造成电路损坏。

2、产品使用注意事项 / 2. Product Use Precautions

English: 1) Use a multilayer PCB with separate power and ground planes. Route high-frequency signal lines directly above the ground plane. Keep digital signal lines as far as practical from sensitive analog input lines, analog output lines, reference input lines, common-mode input lines and clock input lines. Use symmetric design for the analog output lines and clock input lines to reduce the influence of second-harmonic distortion and thereby improve the DAC dynamic performance. Use the shortest possible, length-matched routing for digital signal lines to reduce transmission delay and mismatch caused by signal skew. 2) The product requires multiple independent power inputs. For each supply pin, connect a 0.1 µF and a 10 µF decoupling capacitor close by to its corresponding ground plane; then connect via ferrite beads to reduce power-noise coupling; all supplies must be decoupled with a tantalum or electrolytic capacitor at the point where they enter the PCB. The ferrite-bead inductance and the decoupling capacitors form a π filter network that further improves supply performance. 3) The grounding and power-decoupling method seriously affects product performance. Unwanted digital signals couple through the inputs, reference, supplies and grounds and affect the D/A converter's dynamic performance. High-speed, high-frequency signal applications have very strict requirements for proper grounding and power decoupling. These techniques can reduce the influence of EMI and internal coupling on the product, achieving better dynamic performance. 4) Reference-voltage filtering: for accurate conversion, the reference-voltage input must be capacitively bypassed, with the capacitor close to the device and lead resistance minimized. 5) It is recommended to reset the circuit first after power-up before use. Either soft reset or hard reset may be used; soft reset is recommended. If hard reset is used, the minimum low reset pulse width must be greater than 50 ns. 6) The DAC PLL and SERDES PLL startup-assist registers (Registers 0x1BD and 0x298) can be configured to ensure correct PLL startup. 7) The input clock frequency must not exceed 2.4 GHz. 8) If the DC test mode passes and reading back Registers 0x470 to 0x473 shows the JESD204B link is established normally, but there is no signal output, when operating in Subclass 0 you can try configuring Registers 0x306 and 0x307 to 0xFF to solve the problem. 9) Pins 54 DNC and 55 DNC are bonded via PAD to the ESD protection circuits and IO port circuits; it is recommended to leave them floating in subsequent use. 10) The nominal 3.3 V supplies AVDD33, SIOVDD33 and IOVDD33 have a recommended maximum operating voltage of 3.47 V and a maximum total current of 186 mA. The nominal 1.2 V supplies PVDD12, CVDD12, SVDD12, VTT and DVDD12 have a recommended maximum operating voltage of 1.326 V and a maximum total current of 2.393 A. When selecting power LDOs, pay attention to the LDO drive capability. 11) The device junction temperature can be reduced via the bottom heat sink and by adding heat-dissipation measures on top of the package. 12) The closer the device clock duty cycle of a high-speed DAC is to 50%, the better its dynamic performance. 13) If PLL loss-of-lock problems caused by temperature changes occur, try configuring the SPI per Tables 26 and 68 according to fVCO to solve them.

中文： 1) 采用多层布线的 PCB 板，采用独立的电源层和地层。将高频信号线直接布在地层之上。在板上根据实际情况尽量将数字信号线远离敏感的模拟输入线、模拟输出线、基准输入线、共模输入线以及时钟输入线。模拟输出线和时钟输入线尽量采用对称设计来减小二次谐波失真的影响，从而提高 DAC 的动态性能。对数字信号线采用尽可能短以及等长匹配的设计来减小传输延迟以及由于信号歪斜导致的不匹配带来的影响。2) 产品需要多组独立的电源输入。对每一组电源端都需要就近接一个 0.1μF 和 10μF 的去耦电容到各自对应的地平面，然后，用磁珠连接来减少电源噪声耦合的影响，对所有电源都要在接入 PCB 板的那一点用钽电容或电解电容来去耦。磁珠的电感和去耦电容可以形成一个 π 型滤波网络进一步提高电源性能。3) 接地和电源去耦的方式会严重的影响产品的性能。不想要的数字信号会通过输入、基准、电源和接地端的耦合来影响 D/A 转换器的动态性能。高速、高

频信号应用中对适当接地和电源去耦的要求非常严格。这些技术可以减小 EMI 和内部耦合对产品的影响，从而获得更好的动态性能。4) 基准电压滤波：为了精确转换，基准电压输入处必须用电容旁路，电容必须靠近器件并尽量减少引线电阻。5) 推荐上电后首先对电路进行复位，再进行使用。软复位和硬复位均可，推荐进行软复位。若采用硬复位，低复位脉冲宽度的最小宽度需大于 50ns。6) 可以配置 DAC PLL 和 SERDES PLL 的启动辅助寄存器（寄存器 0x1BD 和 0x298）来确保 PLL 正确启动。7) 输入时钟频率不得超过 2.4GHz。8) 若直流测试模式通过，且回读寄存器 0x470~0x473 判断 JESD204B 建链正常，但无信号输出，如果在子类 0 工作，可以尝试将寄存器 0x306 和寄存器 0x307 配置为 0xFF 以解决问题。9) 器件引脚 54 DNC、引脚 55 DNC 通过 PAD 键合与 ESD 保护电路和 IO 端口电路连接，后续使用建议悬空。10) 器件名义 3.3V 电源 AVDD33、SIOVDD33、IOVDD33 的推荐最大工作电压为 3.47V，最大电流共计 186mA。器件名义 1.2V 电源 PVDD12、CVDD12、SVDD12、VTT、DVDD12 的推荐最大工作电压为 1.326V，最大电流共计 2.393A。在选择电源 LDO 时需要注意 LDO 的驱动能力。11) 可以通过底部热沉和在封装顶部通过增加散热措施等方式降低器件结温。12) 高速 DAC 的器件时钟的占空比越接近 50%，其动态性能越佳。13) 如果出现温度变化导致的 PLL 失锁问题，可以根据 fVCO 按照表 26 和表 68 配置 SPI 尝试解决。

3、产品防护注意事项 / 3. Product Protection Precautions

English: 1) Finished-goods storage temperature, humidity and environment requirements: temperature 10 °C to 25 °C, relative humidity 25% to 70%, ESD sensitivity Class 1C. All pins of this circuit have ESD protection structures, but large-energy electrical pulses can still damage the circuit; therefore pay attention to ESD protection during testing, handling and storage. 2) Product storage period: counted from the inspection-batch identification code date; when warehoused products have been stored for more than 36 months, they shall be moved to the overdue-products cabinet and may only be used after passing re-inspection. 3) It is recommended to use the product within 4 hours after opening; if exposed to air for more than 4 hours, bake at 150 °C for 8 h, then vacuum-pack and store in a dry cabinet. 4) Avoid drops during use to prevent mechanical-stress damage. 5) Exceeding the absolute maximum ratings may cause permanent damage to the device. The maximum ratings do not imply that the device can operate normally under those conditions or under any conditions beyond those shown in this product manual. Long-term operation at the absolute maximum ratings affects device reliability. 6) Plastic-packaged circuits easily absorb moisture and delaminate; keep the surrounding environment dry during use, and store vacuum-packed at room temperature in a dry environment.

中文： 1) 成品库贮存的温湿度和环境要求：温度 10°C～25°C，相对湿度 25%～70%、静电放电敏感度 1C 等级。该电路所有引出端均有静电保护结构，不过大能量电脉冲仍然可能损坏电路，因此在测试、搬运、储藏过程中，应注意静电防护。2) 产品贮存期：从检验批识别代码日期算起，入库产品贮存期超过 36 个月时产品应归入超期产品专柜存放，产品须复检合格后方能使用。3) 建议拆封后 4 小时内使用，如在空气中暴露超过 4 小时，建议进行 150°C，8h 的高温烘焙后抽真空包装，放置于干燥柜中存放。4) 在使用过程中应避免跌落以免造成机械应力损伤。5) 超出绝对最大额定值可能会导致器件永久性损坏。额定最大值不表示在这些条件下或者在任何其它超出本产品手册中所示的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。6) 塑封电路易吸潮导致分层，使用时应注意保持周围环境干燥，存储时应真空包装储存于常温、干燥环境下。

4、电装说明 / 4. Assembly Instructions

English: 1) This product's moisture sensitivity level is MSL3. The allowed floor life from removal from the moisture-proof bag, dry storage or baking until reflow soldering is: ≤30 °C/60%RH, 168 h. 2) If the device storage conditions cannot be controlled or traced, strictly bake at 125 °C for 8 h before assembly. 3) If the assembly environment temperature and humidity cannot be guaranteed at ≤30 °C/60%RH, complete soldering within 12 h after baking. 4) After baking, the product easily generates static electricity; all

operations require ESD protection. 5) For board-level assembly with leaded reflow (Sn63Pb37), the recommended peak temperature range is 210 °C to 235 °C, the maximum peak temperature should not exceed 235 °C, dwell within ±5 °C of the peak ⩽20 s, time above liquidus 60–90 s, ramp-up rate 2–4 °C/s, ramp-down rate 2 °C/s to 6 °C/s. 6) For lead-free reflow (SAC305), the recommended peak temperature range is 230 °C to 245 °C, the maximum peak temperature should not exceed 260 °C, dwell within ±5 °C of peak ⩽20 s, time above liquidus 60–90 s, ramp-up rate 2–4 °C/s, ramp-down rate 2–6 °C/s. 7) If a mixed assembly process requires higher temperature, ensure the device body temperature does not exceed 260 °C at most (the body temperature measurement point is on the device's top surface during reflow). 8) The product's solder-terminal surface finish is NiPdAu, but with gold content less than 3%, so no gold embrittlement occurs and no tinning is needed. 9) If tinning is mandatory, perform it per the national aerospace industry standard QJ3267 《电子元器件搪锡工艺技术要求》. Note that the device must be dried before tinning, the tinning temperature must not exceed 300 °C, heating time per package side less than 5 s, heat-sink surface heating time less than 30 s, and no more than 1 tinning pass.

中文： 1) 本产品潮湿敏感等级为 MSL3，将产品从防潮袋中取出、进行干燥储存或烘干后到回流焊前所暴露在外部环境的允许时间为：⩽30°C/60RH%，168h。2) 若器件储存条件无法控制或追溯，请在电装前严格执行 125°C，8h 烘烤。3) 若电装环境温湿度无法保证⩽30°C/60RH%，请在烘烤后 12h 内完成焊接。4) 产品烘烤后，极易产生静电，所有操作过程需要注意 ESD 防护。5) 板级组装采用有铅回流焊（Sn63Pb37）时，推荐峰值温度范围 210°C~235°C，最大峰值温度不建议超过 235°C，峰值温度±5°C以内停留时间⩽20s，液相线以上停留时间 60~90s，升温速率 2~4°C/s，降温速率 2°C/s~6°C/s。6) 板级组装采用无铅回流焊（SAC305）时，推荐峰值温度范围 230°C~245°C，最大峰值温度不建议超过 260°C，峰值温度±5°C以内停留时间⩽20s，液相线以上停留时间 60~90s。升温速率 2~4°C/s，降温速率 2~6°C/s。7) 若混合电装工艺需要温度升高，应保证器件本体温度最高不超过 260°C。（器件本体温度测量点位于回流焊时器件上表面）。8) 本产品焊接端表面处理方式为镍钯金，但含量小于 3%，不会出现金脆现象，不需要搪锡。9) 若有强制搪锡需求，按《国家航天行业标准 QJ3267 电子元器件搪锡工艺技术要求》标准进行搪锡。应注意搪锡前器件需烘干，搪锡设置温度不超过 300°C，四边引脚每边受热时间小于 5s，热沉表面受热时间小于 30s，搪锡次数不超过 1 次。

5、热阻 / 5. Thermal Resistance

表83 封装热阻 / Table 83. Package Thermal Resistance

项目 / Item	实测值 / Measured Value	依据标准及方法 / Basis Standard and Method
Rthja（结到环境的热阻）/ Rthja (junction-to-ambient)	20.03 K/W	JESD51-2 集成电路自然对流热测试环境要求及测试方法 / JESD51-2 natural-convection thermal test
Rthjt（结到器件顶面的热阻）/ Rthjt (junction-to-top)	1.569 K/W	JESD51-14 一维传热路径双界面分离法 / JESD51-14 transient dual-interface method
Rthj-bottom（结到器件底面的热阻）/ Rthj-bottom (junction-to-bottom)	1.514 K/W	JESD51-14 拐点理论器件内部结构分层得到 / JESD51-14 inflection-point method

常见故障及处理办法 / Common Faults and Troubleshooting

English: 1. **No output signal:** Check whether there is a clock input at the clock pins; check that the power and ground connections are normal; ensure the input voltage and reference voltage are accurate. 2. **Unstable device operation:** Check the power supplies and keep the supply voltages stable.

中文： 1、无输出信号：检查时钟引出端是否有时钟输入，检查电源、地信号连接是否正常，保证输入电压、基准电压准确；2、器件工作不稳定：检查电源，保证电源电压稳定。

联系方式 / Contact Information

English: Shenzhen Shenxin Technology Co., Ltd. (深信科技 / SHENXIN TECH) Contact: Felix Lai Email: felix@shenxinic.com Tel/WhatsApp: +852 51367095 Website: shenxinic.com

中文： 深圳市深信科技有限公司（深信科技 / SHENXIN TECH） 联系人：Felix Lai 邮箱：felix@shenxinic.com 电话/WhatsApp：+852 51367095 网址：shenxinic.com

[注：原件联系方式章节所载生产单位、地址、邮编及个人电话已按深信公开口径全部替换，仅保留以上联系方式。/ Note: The manufacturer, address, postcode and personal phone numbers in the original contact section have all been replaced with the standard Shenxin public contact block above.]

附加说明 / Additional Notes

English: 1. This manual was first released in July 2026. 2. Product status: ☑ Production (this model is in production; production parts can be provided); ☐ Pre-release (not yet in production; samples can be provided). 3. Comparison with the imported (cross-reference) device:

中文： 1. 本说明书首次发布日期：2026 年 7 月。2. 本产品状态：☑生产（该产品型号目前已在生产，可以提供正式产品）；☐预发布（该产品型号尚未投入正式生产，可以提供样品）。3. 替代进口器件情况说明：

附表1 绝对最大额定值对比 / Appendix Table 1. Absolute Maximum Ratings Comparison

参数 / Parameter	SXD020 规范要求 / SXD020 Specification	进口器件手册 / Imported Device Datasheet	比对结果 / Result
引脚 I120 到 GND 电压 / Pin I120 to GND voltage	-0.3V~AVDD33+0.3V	-0.3V~AVDD33+0.3V	一致 / Consistent
引脚 SERDINx±、VTT、SYNCOUTx±、TXENx 电压 / SERDINx±, VTT, SYNCOUTx±, TXENx voltage	-0.3V～SIOVDD33+0.3V	-0.3V～SIOVDD33+0.3V	一致 / Consistent
引脚 OUTx± 电压 / OUTx± voltage	-0.3V~AVDD33+0.3V	-0.3V~AVDD33+0.3V	一致 / Consistent
引脚 SYSREF± 电压 / SYSREF± voltage	GND-0.5V	GND-0.5V	一致 / Consistent
引脚 CLK± 到 GND 电压 / CLK± to GND voltage	-0.3V~PVDD12+0.3V	-0.3V~PVDD12+0.3V	一致 / Consistent
引脚 RESET、IRQ、CS、SCLK、SDIO、SDO、PDPOUTx 到 GND 电压 / RESET, IRQ, CS, SCLK, SDIO, SDO, PDPOUTx to GND	-0.3V~IOVDD+0.3V	-0.3V~IOVDD+0.3V	一致 / Consistent
引脚 LDO_BYP1 电压 / LDO_BYP1 voltage	-0.3V~SVDD12+0.3V	-0.3V~SVDD12+0.3V	一致 / Consistent
引脚 LDO_BYP2 电压 / LDO_BYP2 voltage	-0.3V~PVDD12+0.3V	-0.3V~PVDD12+0.3V	一致 / Consistent
结温（TJ）/ Junction temperature	125°C	125°C	一致 / Consistent
	300°C	—	

参数 / Parameter	SXD020 规范要求 / SXD020 Specification	进口器件手册 / Imported Device Datasheet	比对结果 / Result
引线耐焊接温度（Th）（10s）/ Lead soldering temperature (10 s)			一致 / Consistent
贮存温度（Tstg）/ Storage temperature	-65°C~+150°C	-65°C~+150°C	一致 / Consistent

附表2 推荐工作条件对比 / Appendix Table 2. Recommended Operating Conditions Comparison

参数 / Parameter	SXD020 规范要求 / SXD020 Specification	进口器件手册 / Imported Device Datasheet	比对结果 / Result
AVDD33	3.13V~3.47V	3.13V~3.47V	一致 / Consistent
SIOVDD33	3.13V~3.47V	3.13V~3.47V	一致 / Consistent
IOVDD	1.71V~3.47V	1.71V~3.47V	一致 / Consistent
DVDD12	1.14V~1.326V	1.14V~1.326V	一致 / Consistent
CVDD12	1.14V~1.326V	1.14V~1.326V	一致 / Consistent
PVDD12	1.14V~1.326V	1.14V~1.326V	一致 / Consistent
SVDD12	1.14V~1.326V	1.14V~1.326V	一致 / Consistent
VTT	1.10V~1.37V	1.10V~1.37V	一致 / Consistent
工作环境温度（TA）/ Ambient temperature	-40°C～+85°C	-40°C～+85°C	一致 / Consistent

附表3 电特性对比 / Appendix Table 3. Electrical Characteristics Comparison（条件：除另有规定外，AVDD33=SIOVDD33=3.3V，IOVDD=1.8V，DVDD12=CVDD12=PVDD12=SVDD12=VTT=1.3V，EPAD=GND=0V，IFSMAX=20mA，-40°C≤TA≤85°C / Conditions: AVDD33=SIOVDD33=3.3V, IOVDD=1.8V, 1.2V domains at 1.3V, IFSMAX=20mA）

特性 / Characteristic	符号 / Symbol	条件 / Conditions	SXD020 最小 / Min	SXD020 典型 / Typ	SXD020 最大 / Max	进口器件 最小 / Imported Min	进口器件 典型 / Typ	进口器件 最大 / Max	单位 / Unit	对比结 Resu
分辨率 / Resolution	RES	—	—	16	—	—	16	—	Bits	一致 / Cons
通道数 / Channels	M	—	—	4	—	—	4	—	CH	一致 / Cons
微分非线性误差 / DNL	EDL	—	-10.0	—	+10.0	—	±4.3	—	LSB	—
	EL	—	-20.0	—	+20.0	—	±8.2	—	LSB	—

特性 / Characteristic	符号 / Symbol	条件 / Conditions	SXD020 最小 / Min	SXD020 典型 / Typ	SXD020 最大 / Max	进口器件 最小 / Imported Min	进口器件 典型 / Typ	进口器件 最大 / Max	单位 / Unit	对比结 Resu
积分非线性误差 / INL										
增益误差 / Gain error	EG	采用内基准 / Internal reference	-15.0	+4.0	+15.0	-8.0	-3.01	+8.0	%FSR	大 / L
I/Q 增益失配 / I/Q gain mismatch	EGMIS	—	-8.0	+2.9	+8.0	-3.0	+0.54	+3.0	%FSR	大 / L
输出电压顺从范围 / Output compliance range	VOC	—	2.3	—	3.3	2.0	2.8	3.37	V	小 / S
最大满度输出电流 / Max full-scale output current	IFSMAX	引脚 I120 与地之间接 4kΩ 电阻 / 4 kΩ from I120 to GND	19.0	20.3	22.0	19.9	20.85	21.3	mA	略大 / Sligh large
最小满度输出电流 / Min full-scale output current	IFSMIN	引脚 I120 与地之间接 4kΩ 电阻 / 4 kΩ from I120 to GND	3.0	4.0	5.0	3.9	4.17	4.4	mA	略大 / Sligh large
功耗 / Power consumption	PW	fOUT=146MHz，fDAC=2400MSPS，DAC PLL on，NCO on	—	3.09	3.5	—	3.07	—	W	相当 / Comp
CMOS 输入高电平 / CMOS input high	VIH	—	0.7×IOVDD	—	—	0.7×IOVDD	—	—	V	一致 / Cons
CMOS 输入低电平 / CMOS input low	VIL	—	—	—	0.3×IOVDD	—	—	0.3×IOVDD	V	一致 / Cons
CMOS 输出高电平 / CMOS output high	VOH	—	0.7×IOVDD	—	—	0.7×IOVDD	—	—	V	一致 / Cons
CMOS 输出低电平 / CMOS output low	VOL	—	—	—	0.3×IOVDD	—	—	0.3×IOVDD	V	一致 / Cons
最大 DAC 更新率 / Max DAC update rate	fDAC	—	—	2400	—	—	2400	—	MSPS	一致 / Cons
JESD204B 数据接口 / JESD204B interface	L	—	—	8	—	—	8	—	Lane	一致 / Cons
JESD204B 接口最大工作速	fSDATA	—	—	12	—	—	10.96	—	Gbps	大 / L

特性 / Characteristic	符号 / Symbol	条件 / Conditions	SXD020 最小 / Min	SXD020 典型 / Typ	SXD020 最大 / Max	进口器件 最小 / Imported Min	进口器件 典型 / Typ	进口器件 最大 / Max	单位 / Unit	对比结 Resu
率 / Max lane rate										
最大输入时钟速率 / Max input clock rate	fCLK	—	—	2400	—	—	2400	—	MHz	一致 / Cons
SPI 最大时钟速率 / Max SPI clock rate	fSCLK	fDAC=250MSPS，fOUT=20MHz	—	10	—	—	10	—	MHz	一致 / Cons
SCLK 最大高脉宽 / SCLK high pulse width	tPWH	—	—	—	8	—	—	8	ns	一致 / Cons
SCLK 最大低脉宽 / SCLK low pulse width	tPWL	—	—	—	12	—	—	12	ns	一致 / Cons
SDIO 到 SCLK 的建立时间 / SDIO-to-SCLK setup	tDS	fDAC=250MSPS，fOUT=20MHz	5	—	—	5	—	—	ns	一致 / Cons
SDIO 到 SCLK 的保持时间 / SDIO-to-SCLK hold	tDH	同上 / Same	2	—	—	2	—	—	ns	一致 / Cons
CS 到 SCLK 的建立时间 / CS-to-SCLK setup	tSCS	同上 / Same	5	—	—	5	—	—	ns	一致 / Cons
CS 到 SCLK 的保持时间 / CS-to-SCLK hold	tHCS	同上 / Same	2	—	—	2	—	—	ns	一致 / Cons
JESD204B 数据输入差分阻抗 / Differential input impedance	R_VDIFF	—	70	100	130	80	100	120	Ω	一致 / Cons
无杂散动态范围 / SFDR	SFDR	fOUT=24MHz，fDAC=2400MSPS，-6dBFS 单音，DAC PLL on，NCO off	63	71	—	—	72	—	dBc	一致 / Cons
无杂散动态范围 / SFDR	SFDR	fOUT=146MHz，fDAC=2400MSPS，-6dBFS 单音，DAC PLL on，NCO on	58	66	—	—	67	—	dBc	一致 / Cons
无杂散动态范围 / SFDR	SFDR	fOUT=495MHz，fDAC=2400MSPS，-6dBFS	58	68	—	—	67	—	dBc	一致 / Cons

特性 / Characteristic	符号 / Symbol	条件 / Conditions	SXD020 最小 / Min	SXD020 典型 / Typ	SXD020 最大 / Max	进口器件 最小 / Imported Min	进口器件 典型 / Typ	进口器件 最大 / Max	单位 / Unit	对比结 Resu
		单音，DAC PLL on，NCO on								
互调失真 / IMD	IMD	fOUT=146MHz，fDAC=2400MSPS，-6dBFS 单音，DAC PLL on，NCO on	65	—	—	—	—	—	dBc	—

English: 5) Register comparison: Consistent. 6) Other-parameter comparison: see Appendix Table 4.

中文： 5）寄存器对比：一致。6）其它指标对比：见附表 4。

附表4 其它指标对比 / Appendix Table 4. Other-Parameter Comparison

参数 / Parameter	SXD020	进口器件 / Imported Device	比对结果 / Result
封装形式 / Package	QFN88	LFCSP88（QFN88）	一致 / Consistent
质量等级 / Quality grade	企业标准 / Enterprise standard	工业级 / Industrial grade	有差异 / Different
尺寸 / Dimensions	12mm×12mm×0.85mm	12mm×12mm×0.85mm	基本一致 / Basically consistent
替代建议 / Substitution recommendation	□直接替代 □有效替代 ☑功能替代 / Functional alternative (checked)	—	—

End of document / 文档结束