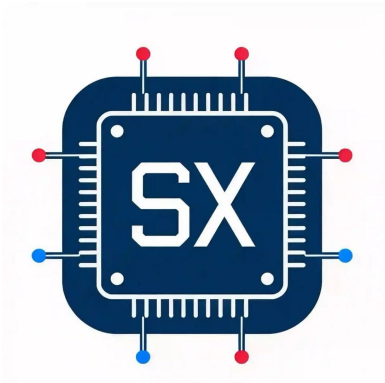


SXD033

Dual-Channel 16-Bit, 1 GSPS D/A Converter

双通道 16 位 1GSPS D/A 转换器

16-bit | 2 channels | 1 GSPS | QFN72 | Parallel LVDS

16位 | 双通道 | 1GSPS | QFN72 | 并行LVDS

对标 / Cross Reference: AD9122 — pin-to-pin compatible alternative

Product Datasheet / 产品数据手册

Shenzhen Shenxin Technology Co., Ltd. · 深圳市深信科技有限公司

felix@shenxinic.com | +852 51367095 | shenxinic.com

SXD033 型 16 位 1GSPS 双通道 D/A 转换器产品说明书、使用手册

SXD033 16-Bit 1GSPS Dual-Channel D/A Converter — Product Datasheet / User Manual

深信科技 / Shenzhen Shenxin Technology Co., Ltd. 版本 / Revision: V1.20260724

对标 / Cross Reference: AD9122 — pin-to-pin compatible alternative Pin-to-pin compatible alternative to ADI AD9122; functional replacement (see 附表 4 / Additional Table 4).

目录 / Contents

- 产品用途及应用范围 / Applications … 1
- 标准 / Standards … 1
- 产品特点 / Features … 1
- 产品描述 / Product Description … 1
- 产品外形图和实物照片 / Package Outline and Photo … 3
- 引出端排列（仰视图）/ Pinout (Bottom View) … 4
- 引出端功能符号表 / Pin Function Table … 4
- 推荐工作条件 / Recommended Operating Conditions … 6
- 绝对最大额定值 / Absolute Maximum Ratings … 6
- 性能指标 / Performance Specifications … 6
- 主要特性曲线图（电特性测试图）/ Typical Performance Curves … 9
- 典型应用线路图 / Typical Application Circuit … 15
- 单元模块及工作原理 / Functional Blocks and Theory of Operation … 15
- 1、总体介绍 / General Overview … 15
- 2、SPI 端口功能和操作说明 / SPI Port Functions and Operation … 16
- 3、LVDS 输入数据端口 / LVDS Input Data Port … 19
- 4、FIFO 操作 / FIFO Operation … 20
- 5、接口时序 / Interface Timing … 22
- 6、数字数据路径 / Digital Datapath … 23
- 7、DAC 输入时钟配置 / DAC Input Clock Configuration … 34
- 8、模拟输出 / Analog Output … 37
- 9、多芯片同步 / Multi-Chip Synchronization … 42
- 10、中断请求操作 / Interrupt Request Operation … 47
- 11、接口时序验证 / Interface Timing Verification … 48
- 12、电路使用示例 / Circuit Application Example … 49
- 寄存器 / Registers … 52
- 1、内存映射 / Memory Map … 52

- 2、默认值 / Default Values … 52
- 3、逻辑电平 / Logic Levels … 52
- 4、内存映射寄存器表 / Memory-Mapped Register Table … 52
- 电源地间保护 / ESD Protection Between Power Supplies … 62
- 注意事项 / Cautions … 62
- 1、产品安装注意事项 / Mounting Cautions … 62
- 2、产品使用注意事项 / Usage Cautions … 62
- 3、产品防护注意事项 / Protection Cautions … 63
- 4、电装说明 / Assembly Instructions … 63
- 5、热阻 / Thermal Resistance … 63
- 常见故障及处理办法 / Troubleshooting … 63
- 联系方式 / Contact Information … 64
- 附加说明 / Additional Notes … 65

版本修订记录 / Revision History

版本号 / Version	发布日期 / Release Date	更改章节 / Changed Section	更改说明 / Change Description	备注 / Remarks
V1.20260724	2026.07.24	/	/	首次发布 / Initial release

产品用途及应用范围 / Applications

- 无线基础设施：W-CDMA、WiMax、CDMA2000、TD-SCDMA、GSM、LTE
- Wireless infrastructure: W-CDMA, WiMax, CDMA2000, TD-SCDMA, GSM, LTE
- 数字高/低中频合成
- Digital high/low-IF synthesis
- 内部数字上变频功能
- Internal digital upconversion
- 发射分集
- Transmit diversity
- 宽带通信：LMDS/MMDS、点对点通信
- Broadband communications: LMDS/MMDS, point-to-point communication

标准 / Standards

- 详细规范及确认号：Q/GC 0223-2026《半导体集成电路 SXD033 型 16 位 1GSPS 双通道 D/A 转换器详细规范》
- Detailed specification and approval number: Q/GC 0223-2026, "Detailed Specification for Semiconductor Integrated Circuit SXD033 16-Bit 1GSPS Dual-Channel D/A Converter"
- 质量等级：企标
- Quality grade: Enterprise standard

产品特点 / Features

- 模拟电源电压：3.3V / Analog supply voltage: 3.3 V
- 数字电源电压：1.8V / Digital supply voltage: 1.8 V
- 分辨率：16bits / Resolution: 16 bits
- 通道数：2 / Number of channels: 2
- 采样率：≥1GSPS / Sample rate: ≥1 GSPS
- 功耗：≤1.7W（典型值 1.343W）/ Power dissipation: ≤1.7 W (typical 1.343 W)
- 模拟输出范围：9mA~29.5mA / Analog output range: 9 mA to 29.5 mA
- 电路接口：LVDS 接口，并行 / Interface: LVDS, parallel
- 可选 2x、4x、8x 倍内插滤波器 / Optional 2x, 4x, 8x interpolation filters
- 数字反 sinc 滤波器 / Digital inverse-sinc filter
- ESD 等级：2 级，HBM 模型：2000V / ESD rating: Class 2, HBM: 2000 V
- 重量：0.25g±0.05g / Weight: 0.25 g ± 0.05 g
- 封装形式：QFN72 / Package: QFN72

产品描述 / Product Description

SXD033 型 16 位 1GSPS 双通道 D/A 转换器是采用 CMOS 工艺制造的单片集成电路。该产品是一款双通道 16 位内插型 DAC，是具有数字内插和数字域实调制、复调制功能的数字中频发射型（TxDAC+）数模转换器。除具有常规数模转换的 DAC 功能外，还具有数字内插和调制等数据通道数字信号处理功能、数字数据接收与组装、SPI 接口与功能配置、时钟接收分频与 PLL 时钟倍频、四个辅助 DAC 用于通道增益和失调校正等功能模块。

The SXD033 16-bit 1GSPS dual-channel D/A converter is a monolithic integrated circuit fabricated in a CMOS process. This product is a dual-channel 16-bit interpolating DAC — a digital-IF transmit (TxDAC+) digital-to-analog converter featuring digital interpolation and real/complex modulation in the digital domain. In addition to the conventional DAC function, it integrates datapath digital signal processing (digital interpolation and modulation), digital data reception and assembly, SPI interface and function configuration, clock receive/divide and PLL clock multiplication, and four auxiliary DACs for channel gain and offset correction.

SXD033 最大采样率 1GSPS。包含串行接口（SPI），方便芯片配置于不同工作模式。每个数据通道包含独立可选的内插滤波器，可配置为 2 倍、4 倍、8 倍内插。数字引擎采用集插值滤波器和数字正交调制器于一体的创新滤波器结构，支持 fs/2、fs/4、−fs/4、fs/8 的数字正交调制。

The SXD033 supports a maximum sample rate of 1 GSPS. It includes a serial interface (SPI) for convenient configuration of different operating modes. Each data channel contains an independently selectable interpolation filter, configurable for 2x, 4x, or 8x interpolation. The digital engine uses an innovative filter architecture combining interpolation filters and a digital quadrature modulator, supporting digital quadrature modulation at fs/2, fs/4, −fs/4, and fs/8.

该产品采用 72 脚方形扁平无引脚封装（QFN72），外形尺寸 10mm × 10mm × 0.85mm。

The product is housed in a 72-pin quad flat no-lead package (QFN72) with dimensions of 10 mm × 10 mm × 0.85 mm.

该产品功能框图如下图：

The functional block diagram of the product is shown below:

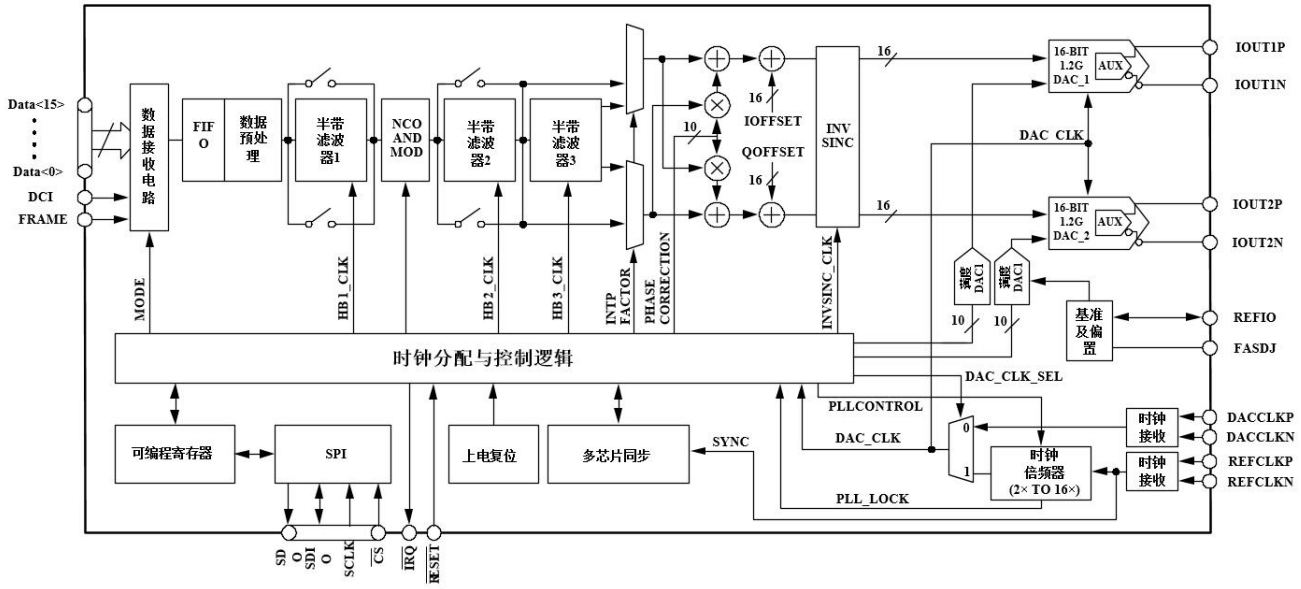


Figure 1: SXD033 功能框图 / Functional block diagram

产品外形图和实物照片 / Package Outline and Photo

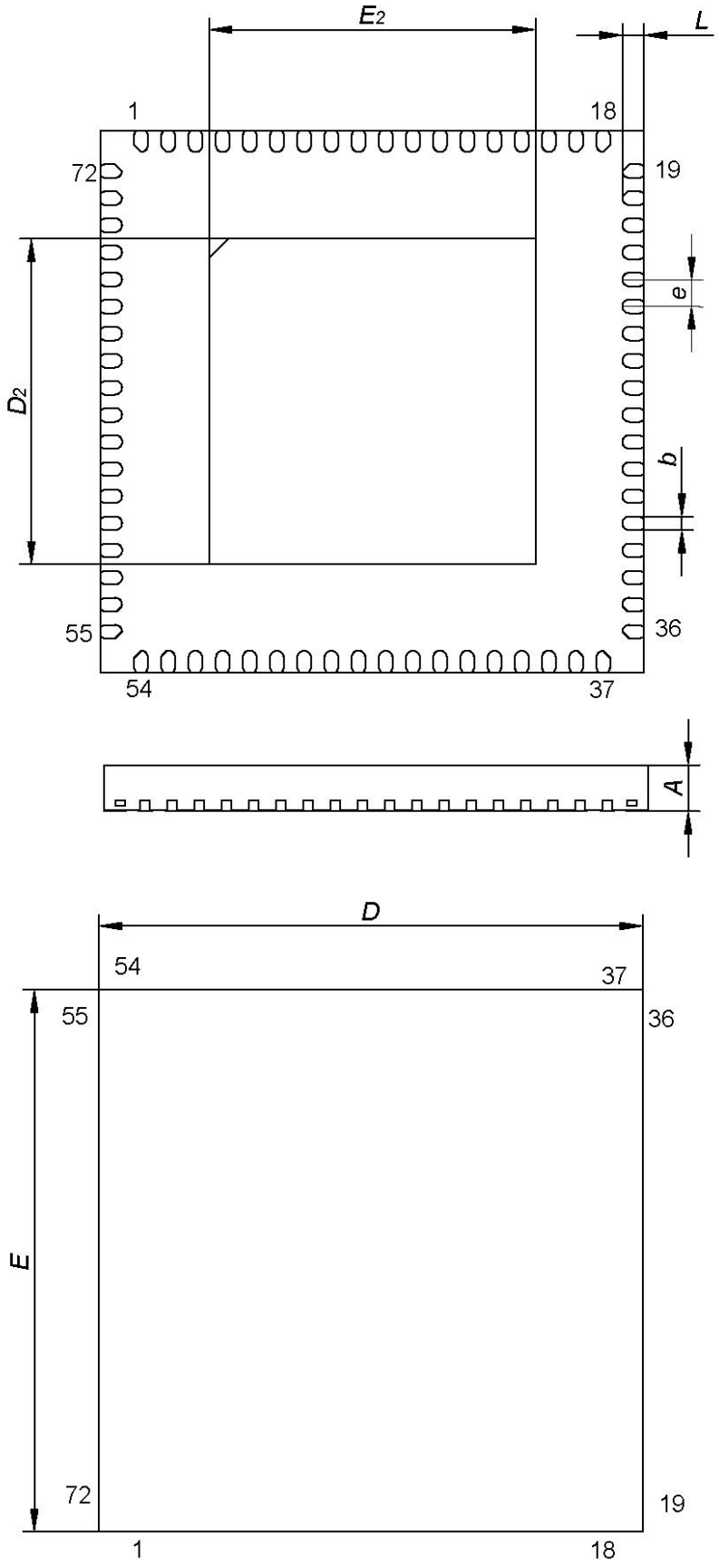


Figure 2: SXD033 产品外形图 / Package outline drawing

单位为毫米 / Units: mm

尺寸符号 / Symbol	最小 / Min	公称 / Nom	最大 / Max	尺寸符号 / Symbol	最小 / Min	公称 / Nom	最大 / Max
A	0.80	0.85a	0.90	E2	5.90	6.00a	6.10
D	9.90	10.00a	10.10	L	0.30	0.40a	0.50
E	9.90	10.00a	10.10	e	--	0.50	--
D2	5.90	6.0a	6.10	b	0.18	0.24a	0.30

注：a：外壳实际公称值，推荐用户参考该尺寸设计使用。 Note: a: actual nominal package value; users are recommended to refer to this dimension for design.

引出端排列（仰视图）/ Pinout (Bottom View)

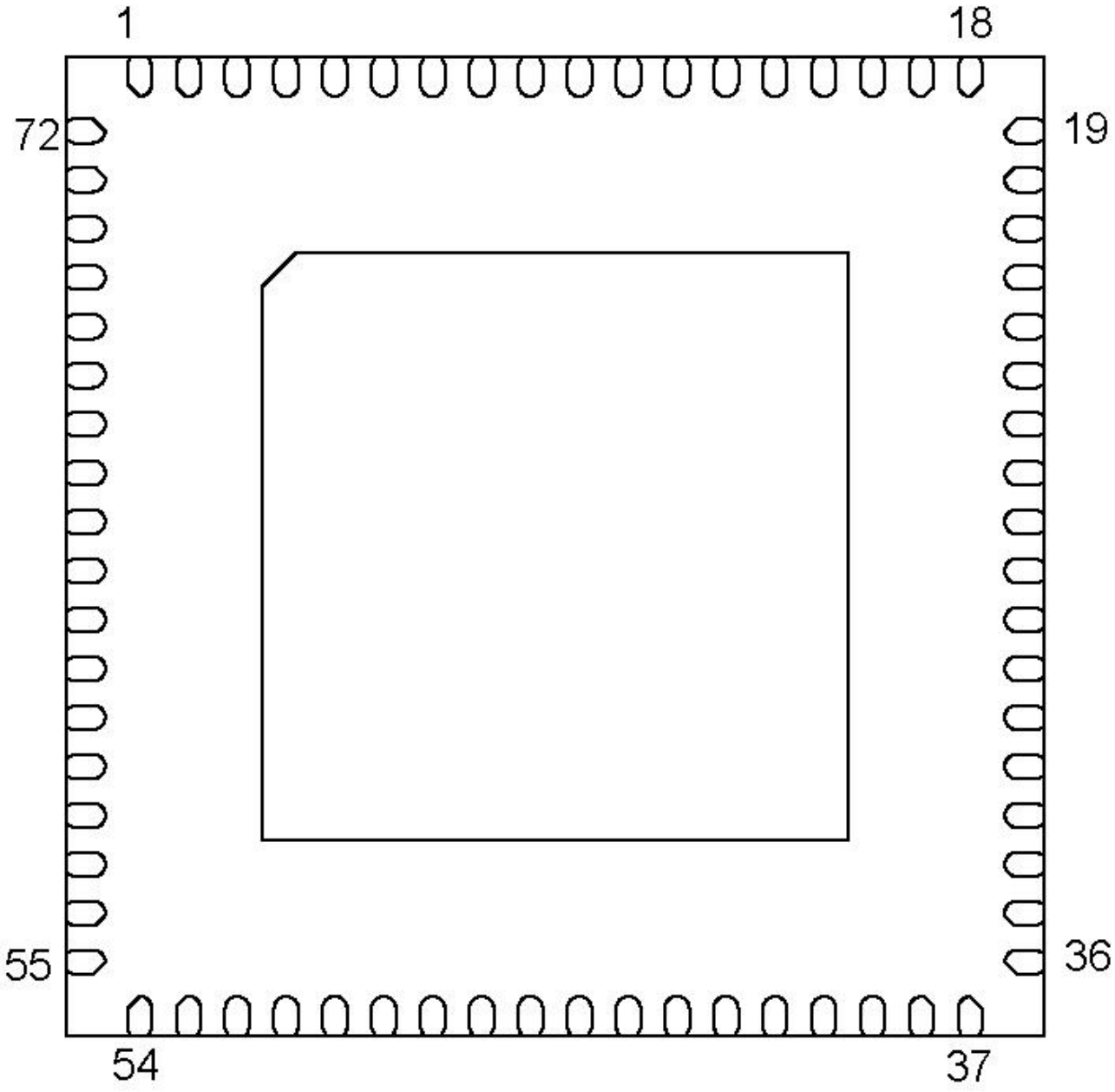


Figure 3: SXD033 引出端排列（仰视图）/ Pinout (bottom view)

引出端功能符号表 / Pin Function Table

引出端号 / Pin No.	符号 / Symbol	功能 / Function	I/O	引出端号 / Pin No.	符号 / Symbol	功能 / Function	I/O
1	VDDC18	1.8V 时钟电源 / 1.8 V clock supply	/	37	D4+	数据输入位 D4+ / Data input bit D4+	I
2	INCLK+	D/A 转换器采样时钟输入正 / D/A converter sample clock positive input	I	38	D4-	数据输入位 D4- / Data input bit D4-	I
3	INCLK-	D/A 转换器采样时钟输入负 / D/A converter sample clock negative input	I	39	D3+	数据输入位 D3+ / Data input bit D3+	I
4	GNDC	时钟地 / Clock ground	/	40	D3-	数据输入位 D3- / Data input bit D3-	I
5	FRAME+	FRAME 输入正 / FRAME positive input	I	41	D2+	数据输入位 D2+ / Data input bit D2+	I
6	FRAME-	FRAME 输入负 / FRAME negative input	I	42	D2-	数据输入位 D2- / Data input bit D2-	I
7	IRQ	中断请求 / Interrupt request	O	43	VDDD18	1.8V 数字电源 / 1.8 V digital supply	/
8	D15+（MSB）	数据输入位 D15+（最高位）/ Data input bit D15+ (MSB)	I	44	GNDD	数字地 / Digital ground	/
9	D15-（MSB）	数据输入位 D15-（最高位）/ Data input bit D15- (MSB)	I	45	D1+	数据输入位 D1+ / Data input bit D1+	I
10	NC	悬空 / No connect	/	46	D1-	数据输入位 D1- / Data input bit D1-	I
11	VDDIO	SPI 接口电源 / SPI interface supply	/	47	D0+（LSB）	数据输入位 D0+（最低位）/ Data input bit D0+ (LSB)	I
12	VDDD18	1.8V 数字电源 / 1.8 V digital supply	/	48	D0-（LSB）	数据输入位 D0-（最低位）/ Data input bit D0- (LSB)	I
13	D14+	数据输入位 D14+ / Data input bit D14+	I	49	VDDD18	1.8V 数字电源 / 1.8 V digital supply	/
14	D14-	数据输入位 D14- / Data input bit D14-	I	50	SDO	四线模式下 SPI 接口输出 / SPI output in 4-wire mode	O
15	D13+	数据输入位 D13+ / Data input bit D13+	I	51	SDIO	三线模式下 SPI 接口输入输出 / SPI input/output in 3-wire mode	I/O
16	D13-	数据输入位 D13- / Data input bit D13-	I	52	SCLK	SPI 接口时钟 / SPI clock	I
17	D12+	数据输入位 D12+ / Data input bit D12+	I	53	CS	SPI 接口片选信号 / SPI chip-select	I
18	D12-	数据输入位 D12- / Data input bit D12-	I	54	RESET	芯片重置信号 / Chip reset	I
19	D11+	数据输入位 D11+ / Data input bit D11+	I	55	NC	悬空 / No connect	/
20	D11-	数据输入位 D11- / Data input bit D11-	I	56	GNDA	模拟地 / Analog ground	/
21	D10+		I	57	VDDA33	3.3V 模拟电源 / 3.3 V analog supply	/

引出端号 / Pin No.	符号 / Symbol	功能 / Function	I/O	引出端号 / Pin No.	符号 / Symbol	功能 / Function	I/O
		数据输入位 D10+ / Data input bit D10+					
22	D10-	数据输入位 D10- / Data input bit D10-	I	58	IOUT2+	第 2 路 D/A 转换器电流同相输出 / Channel-2 D/A converter in-phase current output	O
23	D9+	数据输入位 D9+ / Data input bit D9+	I	59	IOUT2-	第 2 路 D/A 转换器电流反相输出 / Channel-2 D/A converter complementary current output	O
24	D9-	数据输入位 D9- / Data input bit D9-	I	60	VDDA33	3.3V 模拟电源 / 3.3 V analog supply	/
25	D8+	数据输入位 D8+ / Data input bit D8+	I	61	GNDA	模拟地 / Analog ground	/
26	D8-	数据输入位 D8- / Data input bit D8-	I	62	REFIO	1.2V 电压参考端 / 1.2 V voltage reference terminal	I/O
27	INDCI+	数字时钟输入正 / Digital clock positive input	I	63	FSADJ	满幅输出电流调整 / Full-scale output current adjust	I
28	INDCI-	数字时钟输入负 / Digital clock negative input	I	64	GNDA	模拟地 / Analog ground	/
29	VDDD18	1.8V 数字电源 / 1.8 V digital supply	/	65	VDDA33	3.3V 模拟电源 / 3.3 V analog supply	/
30	GNDD	数字地 / Digital ground	/	66	IOUT1-	第 1 路 D/A 转换器电流反相输出 / Channel-1 D/A converter complementary current output	O
31	D7+	数据输入位 D7+ / Data input bit D7+	I	67	IOUT1+	第 1 路 D/A 转换器电流同相输出 / Channel-1 D/A converter in-phase current output	O
32	D7-	数据输入位 D7- / Data input bit D7-	I	68	VDDA33	3.3V 模拟电源 / 3.3 V analog supply	/
33	D6+	数据输入位 D6+ / Data input bit D6+	I	69	INREFCLK-	PLL 时钟输入负 / PLL clock negative input	I
34	D6-	数据输入位 D6- / Data input bit D6-	I	70	INREFCLK+	PLL 时钟输入正 / PLL clock positive input	I
35	D5+	数据输入位 D5+ / Data input bit D5+	I	71	VDDC18	1.8V 时钟电源 / 1.8 V clock supply	/
36	D5-	数据输入位 D5- / Data input bit D5-	I	72	VDDC18	1.8V 时钟电源 / 1.8 V clock supply	/

封装底部热沉焊盘：封装底部的热沉焊盘应焊接至连接 GNDA 的 PCB 平面。 Exposed thermal pad on package bottom: the thermal pad on the package bottom shall be soldered to the PCB plane connected to GNDA.

推荐工作条件 / Recommended Operating Conditions

- 电源电压：/ Supply voltages:

- VDDC18：1.71~1.89V
- VDDD18：1.71~1.89V
- VDDA33：3.13~3.47V
- VDDIO：3.13~3.47V
- 工作环境温度 TA：□40°C~85°C / Operating ambient temperature TA: □40°C to 85°C

绝对最大额定值 / Absolute Maximum Ratings

- 电源电压：/ Supply voltages:
- VDDC18：-0.3~+1.98V
- VDDD18：-0.3~+1.98V
- VDDIO：-0.3~+3.6V
- VDDA33：-0.3~+3.6V
- 贮存温度 Ts：-65°C~150°C / Storage temperature Ts: -65°C to 150°C
- 引线耐焊接温度 Th（10s）：260°C / Lead soldering temperature Th (10 s): 260°C

性能指标 / Performance Specifications

特性 / Characteristic	符号 / Symbol	条件（除另有规定外，VDDC18=VDDD18=1.8V，VDDA33=VDDIO=3.3V，GNDC=GNDD=GNDA=0V，□40°C≤TA≤85°C）/ Conditions (unless otherwise specified, VDDC18=VDDD18=1.8 V, VDDA33=VDDIO=3.3 V, GNDC=GNDD=GNDA=0 V, □40°C≤TA≤85°C)	最小 / Min	典型 / Typ	最大 / Max	单位 / Unit
分辨率 / Resolution	RES	—	16	16	16	bits
差分非线性误差 / Differential nonlinearity error	EDL	—	□6	□2.33~+2.28	6	LSB
积分非线性误差 / Integral nonlinearity error	EL	—	□10	□5.01~+5.63	10	LSB
失调误差 / Offset error	EO	—	□1	+0.002	1	%FSR
增益误差 / Gain error	EG	—	□10	□2.97	10	%FSR
满度电流极小值 / Minimum full-scale current	IO□	配置 0x40:00，0x41:00，0x44:00，0x45:00 / Config 0x40:00, 0x41:00, 0x44:00, 0x45:00	7.5	8.18	9.0	mA
满度电流极大值 / Maximum full-scale current	IO+	配置 0x40:FF，0x41:03，0x44:FF，0x45:03 / Config 0x40:FF, 0x41:03, 0x44:FF, 0x45:03	29.5	30.15	32.0	mA
顺从电压范围 / Compliance voltage range	VOCR	—	□0.5	□0.5~+0.5	0.5	V
内部基准电压 / Internal reference voltage	VREF	—	1.1	1.18	1.3	V
	RO	—	5	6.73	10	kΩ

特性 / Characteristic	符号 / Symbol	条件（除另有规定外，VDDC18=VDDD18=1.8V，VDDA33=VDDIO=3.3V，GNDC=GNDD=GNDA=0V，−40°C≤TA≤85°C）/ Conditions (unless otherwise specified, VDDC18=VDDD18=1.8 V, VDDA33=VDDIO=3.3 V, GNDC=GNDD=GNDA=0 V, −40°C≤TA≤85°C)	最小 / Min	典型 / Typ	最大 / Max	单位 / Unit
基准输出电阻 / Reference output resistance						
功耗 / Power dissipation	PD	2x，fDAC=1000MSPS，fOUT=20.1MHz，PLL 禁用 / 2x, fDAC=1000 MSPS, fOUT=20.1 MHz, PLL disabled	—	1449.77	1700	mW
功耗 / Power dissipation	PD	2x，fDAC=491.22MSPS，IF=10MHz，PLL 使能 / 2x, fDAC=491.22 MSPS, IF=10 MHz, PLL enabled	—	903.55	950	mW
功耗 / Power dissipation	PD	8x，fDAC=800MSPS，IF=10MHz，PLL 禁用 / 8x, fDAC=800 MSPS, IF=10 MHz, PLL disabled	—	1164.94	1300	mW
功耗 / Power dissipation	PD	掉电模式（配置 0x01=0xF0）/ Power-down mode (config 0x01=0xF0)	—	9.07	60	mW
AVDD33 电流 / AVDD33 current	IAVDD33	8x，fDAC=800MSPS，IF=10MHz，PLL 禁用 / 8x, fDAC=800 MSPS, IF=10 MHz, PLL disabled	—	53.16	60	mA
CVDD18 电流 / CVDD18 current	ICVDD18	8x，fDAC=800MSPS，IF=10MHz，PLL 禁用 / 8x, fDAC=800 MSPS, IF=10 MHz, PLL disabled	—	97.22	110	mA
DVDD18 电流 / DVDD18 current	IDVDD18	8x，fDAC=800MSPS，IF=10MHz，PLL 禁用 / 8x, fDAC=800 MSPS, IF=10 MHz, PLL disabled	—	452.04	490	mA
CMOS 输入高电平 / CMOS input high level	VIH	—	2	2	—	V
CMOS 输入低电平 / CMOS input low level	VIL	—	—	0.8	0.8	V
CMOS 输出高电平 / CMOS output high level	VOH	—	2.4	2.4	—	V
CMOS 输出低电平 / CMOS output low level	VOL	—	—	0.4	0.4	V
LVDS 输入电压 / LVDS input voltage	VLVDS	—	825	825~1675	1675	mV
LVDS 输入差分阈值 / LVDS input differential threshold	VIDTH	—	−100	−100~100	100	mV
LVDS 差分输入阻抗 / LVDS differential input impedance	RIN	—	100	129.12	150	Ω
DACCLK 差分输入电压 / DACCLK differential input voltage	VDACCLK	—	100	100~2000	2000	mV
REFCLK 差分输入电压 / REFCLK	VREFCLK	a	100	100~2000	2000	mV

特性 / Characteristic	符号 / Symbol	条件（除另有规定外，VDDC18=VDDD18=1.8V，VDDA33=VDDIO=3.3V，GNDC=GNDD=GNDA=0V，⊠40°C≤TA≤85°C）/ Conditions (unless otherwise specified, VDDC18=VDDD18=1.8 V, VDDA33=VDDIO=3.3 V, GNDC=GNDD=GNDA=0 V, ⊠40°C≤TA≤85°C)	最小 / Min	典型 / Typ	最大 / Max	单位 / Unit
differential input voltage						
最大串口时钟速率 (SCLK) / Maximum serial clock rate (SCLK)	fSCLK	—	40	40	—	MHz
最小高电平宽度 / Minimum high-level width	tPWH	—	—	12.5	12.5	ns
最小低电平宽度 / Minimum low-level width	tPWL	—	—	12.5	12.5	ns
建立时间 (SDIO 到 SCLK) / Setup time (SDIO to SCLK)	tDS	—	1.9	1.9	—	ns
保持时间 (SDIO 到 SCLK) / Hold time (SDIO to SCLK)	tDH	—	0.2	0.2	—	ns
数据有效时间 (SDO 到 SCLK) / Data valid time (SDO to SCLK)	tDV	—	2.3	2.3	—	ns
最大转换速率 / Maximum conversion rate	fCLK	1x	600	600	—	MSPS
最大转换速率 / Maximum conversion rate	fCLK	2x，HB1 使能 / 2x, HB1 enabled	900	900	—	MSPS
最大转换速率 / Maximum conversion rate	fCLK	2x，HB2 使能 / 2x, HB2 enabled	1200	1200	—	MSPS
最大转换速率 / Maximum conversion rate	fCLK	4x	1200	1200	—	MSPS
最大转换速率 / Maximum conversion rate	fCLK	8x	1200	1200	—	MSPS
DACCLK 最大输入频率 / Maximum DACCLK input frequency	fDACCLK	1x	600	600	—	MHz
DACCLK 最大输入频率 / Maximum DACCLK input frequency	fDACCLK	2x，HB1 使能 / 2x, HB1 enabled	900	900	—	MHz

特性 / Characteristic	符号 / Symbol	条件（除另有规定外，VDDC18=VDDD18=1.8V，VDDA33=VDDIO=3.3V，GNDC=GNDD=GNDA=0V，−40°C≤TA≤85°C）/ Conditions (unless otherwise specified, VDDC18=VDDD18=1.8 V, VDDA33=VDDIO=3.3 V, GNDC=GNDD=GNDA=0 V, −40°C≤TA≤85°C)	最小 / Min	典型 / Typ	最大 / Max	单位 / Unit
DACCLK 最大输入频率 / Maximum DACCLK input frequency	fDACCLK	2x，HB2 使能 / 2x, HB2 enabled	1200	1200	—	MHz
DACCLK 最大输入频率 / Maximum DACCLK input frequency	fDACCLK	4x	1200	1200	—	MHz
DACCLK 最大输入频率 / Maximum DACCLK input frequency	fDACCLK	8x	1200	1200	—	MHz
无杂散动态范围 / Spurious-free dynamic range	SFDR	1x，fDAC=600MSPS，fOUT=10MHz，频率范围为 0~fDATA/2 / 1x, fDAC=600 MSPS, fOUT=10 MHz, frequency range 0 to fDATA/2	70	73.47	—	dBc
无杂散动态范围 / Spurious-free dynamic range	SFDR	2x，HB1 使能，fDAC=1000MSPS，IF=20.1MHz，频率范围为 0~fDATA/2，PLL 禁用 / 2x, HB1 enabled, fDAC=1000 MSPS, IF=20.1 MHz, 0 to fDATA/2, PLL disabled	70	77.57	—	dBc
无杂散动态范围 / Spurious-free dynamic range	SFDR	2x，HB1 使能，fDAC=937.5MSPS，fOUT=20MHz，频率范围为 0~fDATA/2，PLL 禁用 / 2x, HB1 enabled, fDAC=937.5 MSPS, fOUT=20 MHz, 0 to fDATA/2, PLL disabled	70	76.67	—	dBc
无杂散动态范围 / Spurious-free dynamic range	SFDR	2x，HB2 使能，fDAC=1200MSPS，fOUT=20MHz，频率范围为 0~fDATA/2，PLL 禁用 / 2x, HB2 enabled, fDAC=1200 MSPS, fOUT=20 MHz, 0 to fDATA/2, PLL disabled	50	76.11	—	dBc
无杂散动态范围 / Spurious-free dynamic range	SFDR	4x，fDAC=1200MSPS，fOUT=20MHz，频率范围为 0~fDATA/2，PLL 禁用 / 4x, fDAC=1200 MSPS, fOUT=20 MHz, 0 to fDATA/2, PLL disabled	70	77.65	—	dBc
无杂散动态范围 / Spurious-free dynamic range	SFDR	8x，fDAC=1200MSPS，fOUT=20MHz，频率范围为 0~fDATA/2，PLL 禁用 / 8x, fDAC=1200 MSPS, fOUT=20 MHz, 0 to fDATA/2, PLL disabled	70	77.47	—	dBc
双音交调失真 / Two-tone intermodulation distortion	IMD	fDAC=1000MSPS，fOUT1=49MHz，fOUT2=50MHz / fDAC=1000 MSPS, fOUT1=49 MHz, fOUT2=50 MHz	60	88.90	—	dBc
双音交调失真 / Two-tone intermodulation distortion	IMD	2x，fDAC=800MSPS，fOUT1=100MHz，fOUT2=101MHz，PLL 禁用 / 2x, fDAC=800 MSPS, fOUT1=100 MHz, fOUT2=101 MHz, PLL disabled	60	76.92	—	dBc
双音交调失真 / Two-tone intermodulation distortion	IMD	2x，fDAC=800MSPS，fOUT1=100MHz，fOUT2=101MHz，PLL 使能 / 2x, fDAC=800 MSPS, fOUT1=100 MHz, fOUT2=101 MHz, PLL enabled	50	60.65	—	dBc
隔离度 / Isolation	ISO	fDAC=1000MSPS，fOUT=20.1MHz / fDAC=1000 MSPS, fOUT=20.1 MHz	70	112.52	—	dBc

注：典型值为常温测试数据； Note: typical values are room-temperature test data; a：未纳入考核，仅供用户参考使用。 a: not covered by qualification; for user reference only.

主要特性曲线图（电特性测试图）/ Typical Performance Curves (Electrical Test Plots)

1、采样率：fDAC=1GSPS；输出信号频率 fOUT=20MHz；I 通道输出；测试结果：SFDR=74.86dBc； 1. Sample rate: fDAC=1 GSPS; output signal frequency fOUT=20 MHz; I-channel output; test result: SFDR=74.86 dBc;

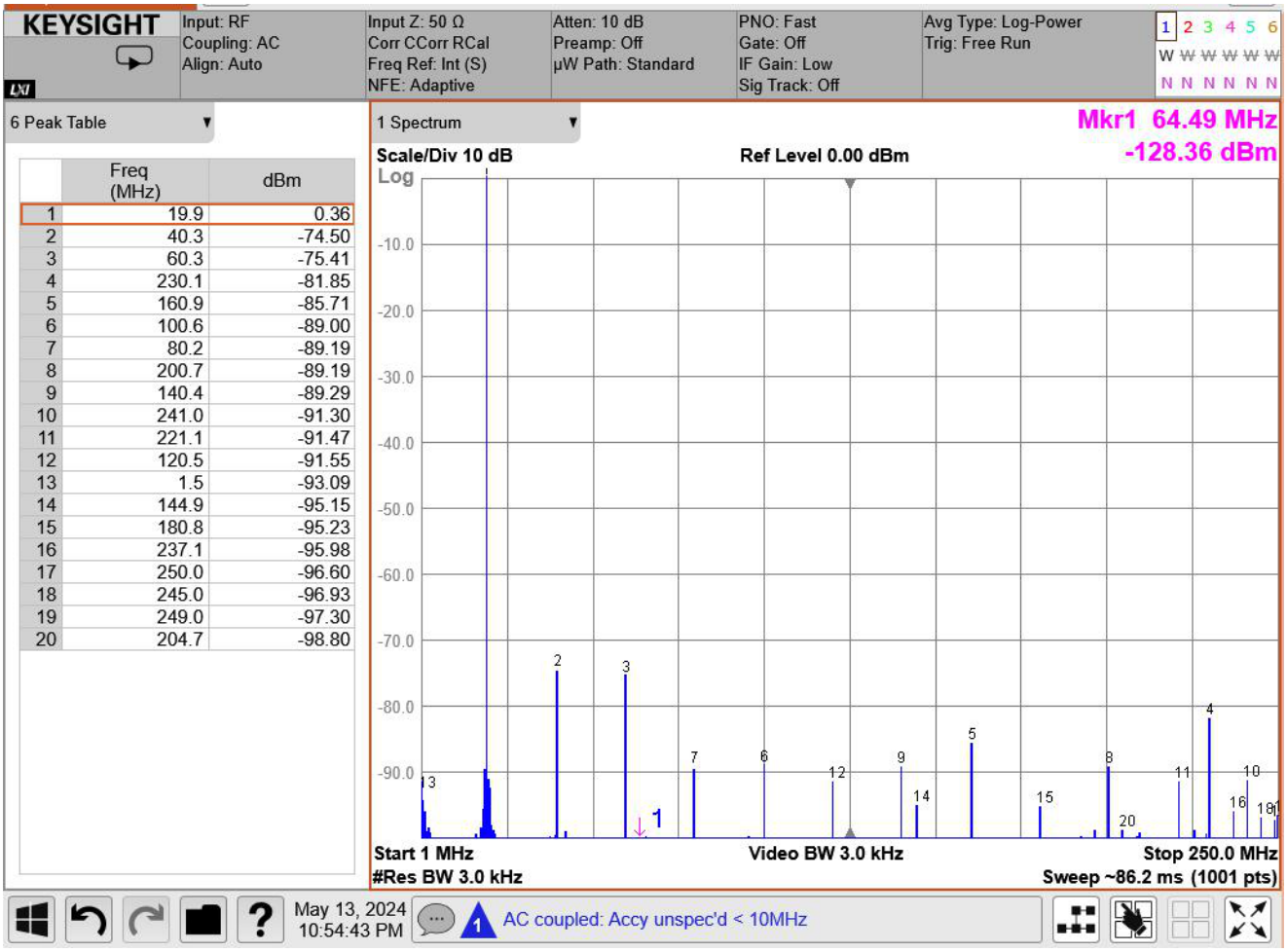


Figure 4: fDAC=1GSPS，fOUT=20MHz，2 倍内插时的 SFDR(I 路) / SFDR (I channel) at fDAC=1 GSPS, fOUT=20 MHz, 2x interpolation

2、采样率：fDAC=1GSPS；输出信号频率 fOUT=20MHz；Q 通道输出；测试结果：SFDR=74.34dBc； 2. Sample rate: fDAC=1 GSPS; output signal frequency fOUT=20 MHz; Q-channel output; test result: SFDR=74.34 dBc;

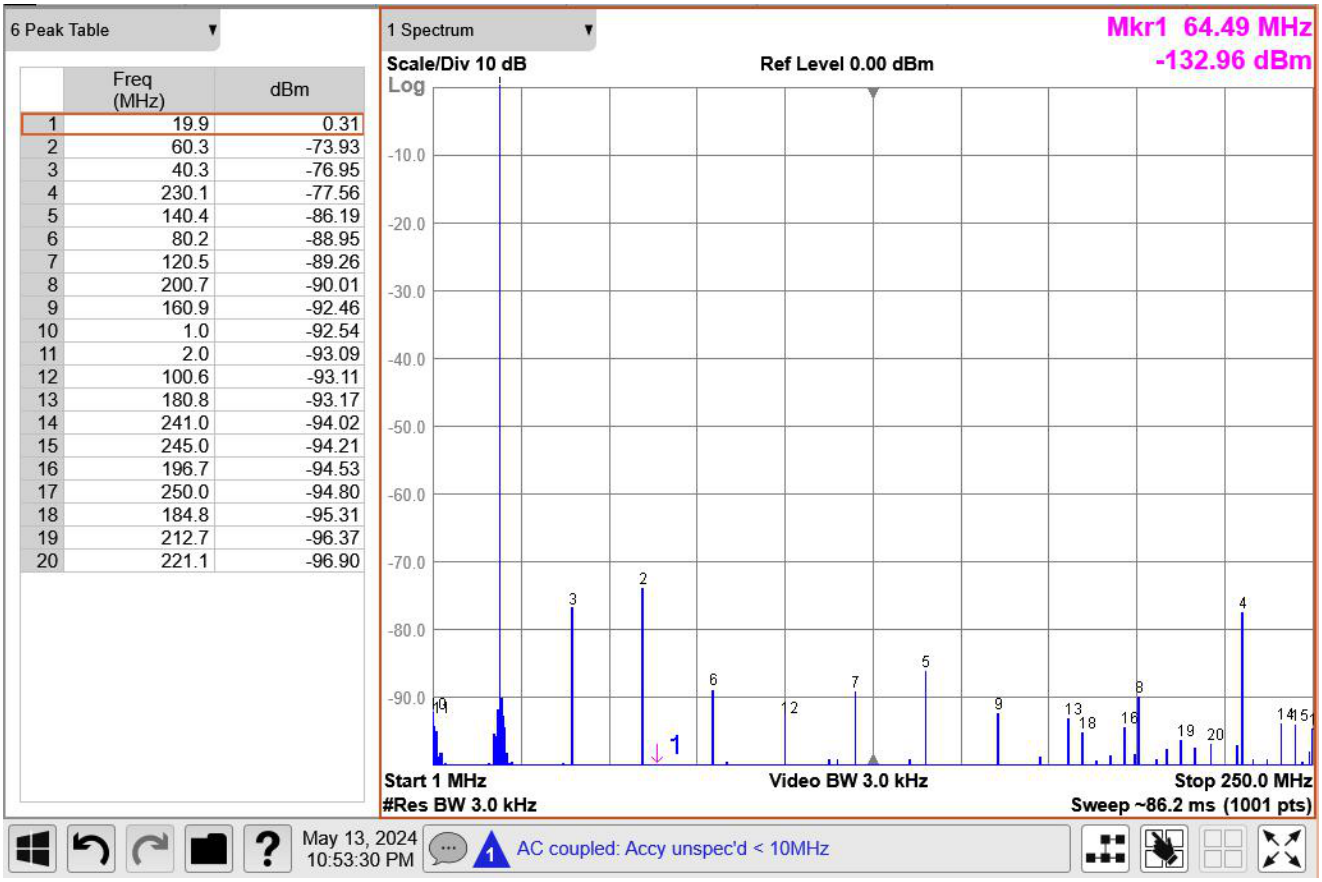


Figure 5: fDAC=1GSPS，fOUT=20MHz，2 倍内插时的 SFDR(Q 路) / SFDR (Q channel) at fDAC=1 GSPS, fOUT=20 MHz, 2x interpolation

3、采样率：fDAC=400MSPS；输出信号频率 fOUT=70MHz；I 通道输出；测试结果：SFDR=56.94dBc； 3. Sample rate: fDAC=400 MSPS; output signal frequency fOUT=70 MHz; I-channel output; test result: SFDR=56.94 dBc;

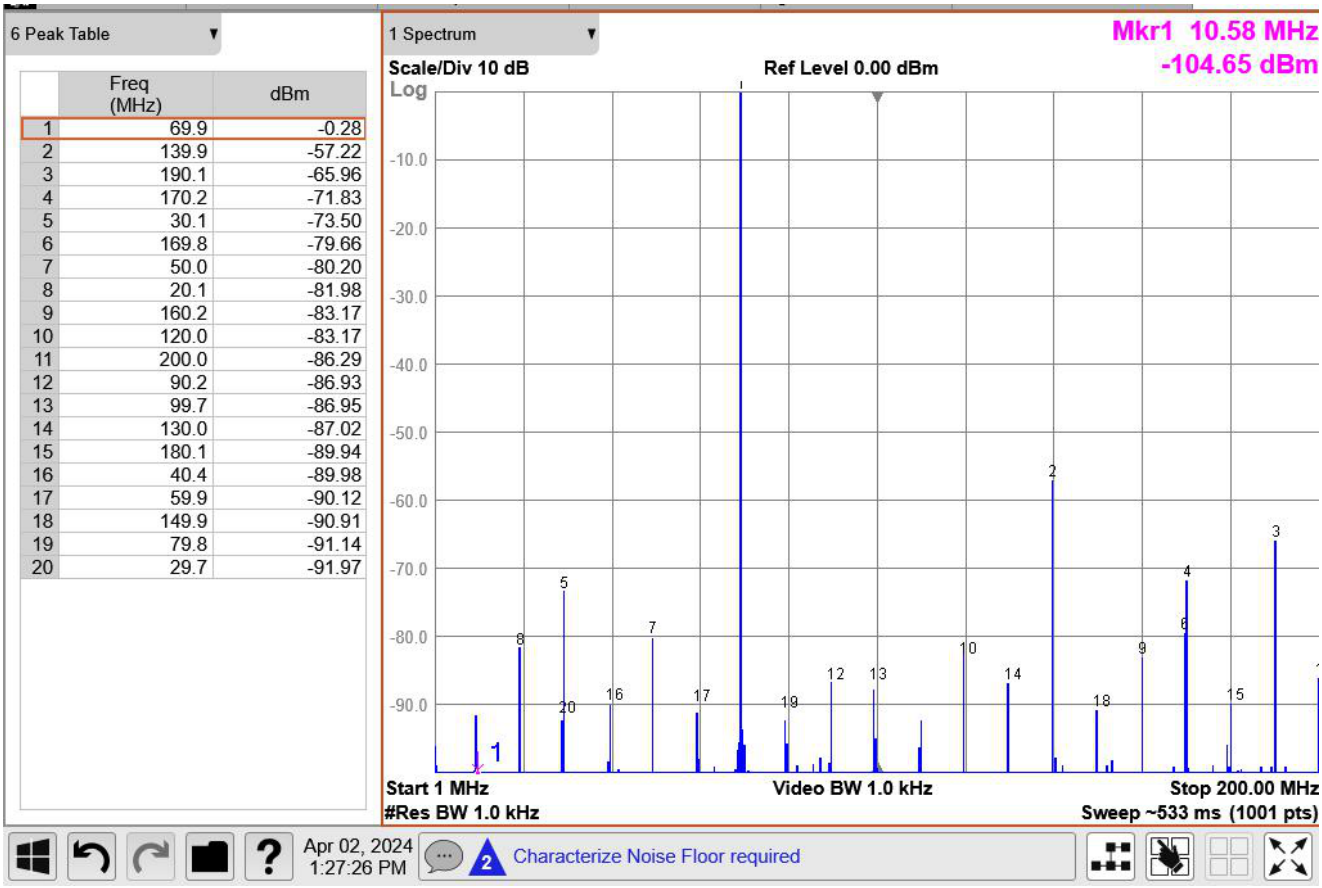


Figure 6: fDAC=400MSPS，fOUT=70MHz，2 倍内插时的 SFDR(I 路) / SFDR (I channel) at fDAC=400 MSPS, fOUT=70 MHz, 2x interpolation

4、采样率：fDAC=1GSPS；输出信号频率 fOUT=100MHz；Q 通道输出；测试结果：SFDR=58.66dBc； 4. Sample rate: fDAC=1 GSPS; output signal frequency fOUT=100 MHz; Q-channel output; test result: SFDR=58.66 dBc;

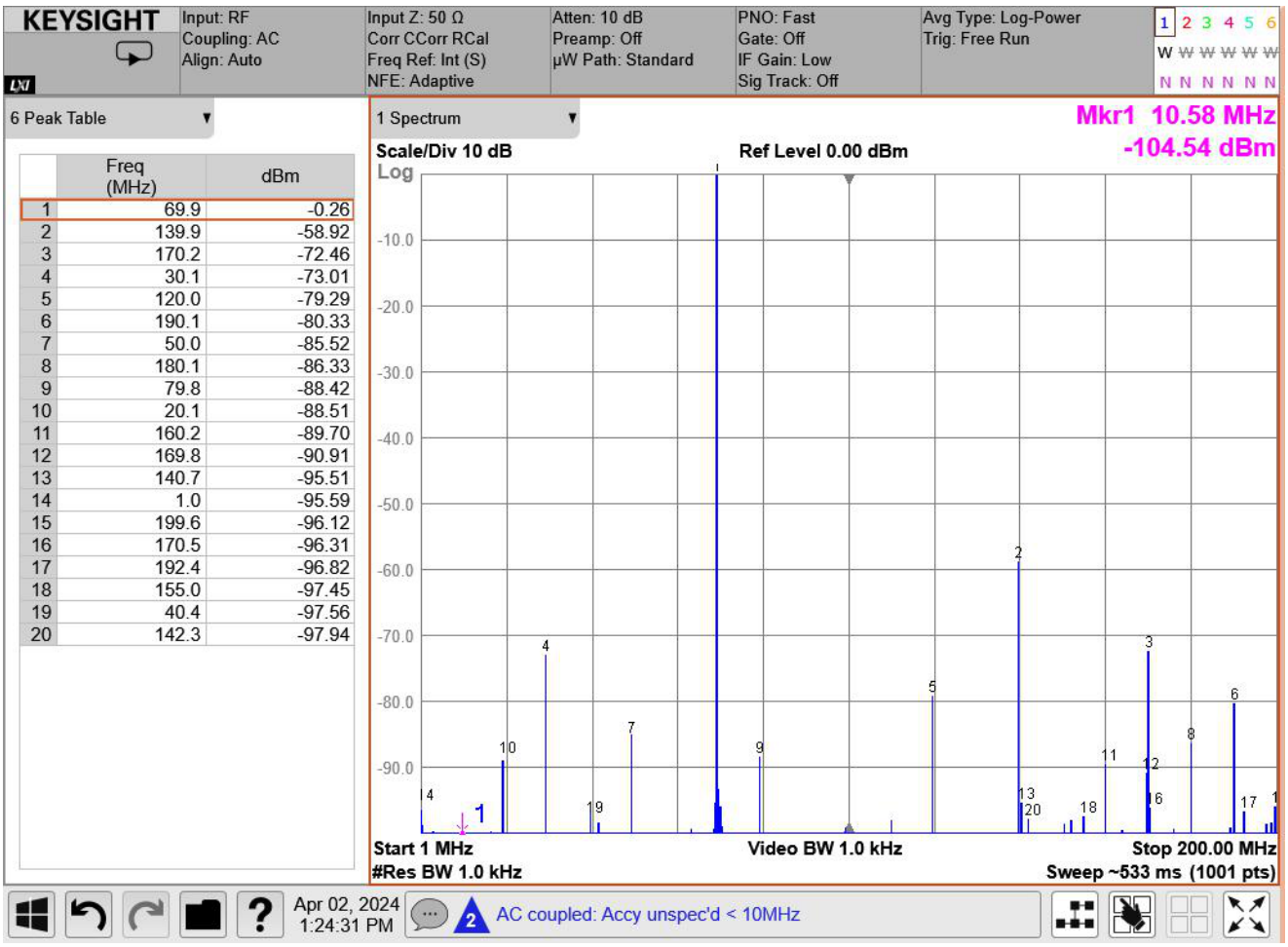


Figure 7: fDAC=400MSPS，fOUT=70MHz，2 倍内插时的 SFDR(Q 路) / SFDR (Q channel) at fDAC=400 MSPS, fOUT=70 MHz, 2x interpolation

5、采样率：fDAC=500MSPS；2 倍内插；不同输出频率下谐波变化曲线； 5. Sample rate: fDAC=500 MSPS; 2x interpolation; harmonic variation vs. output frequency;

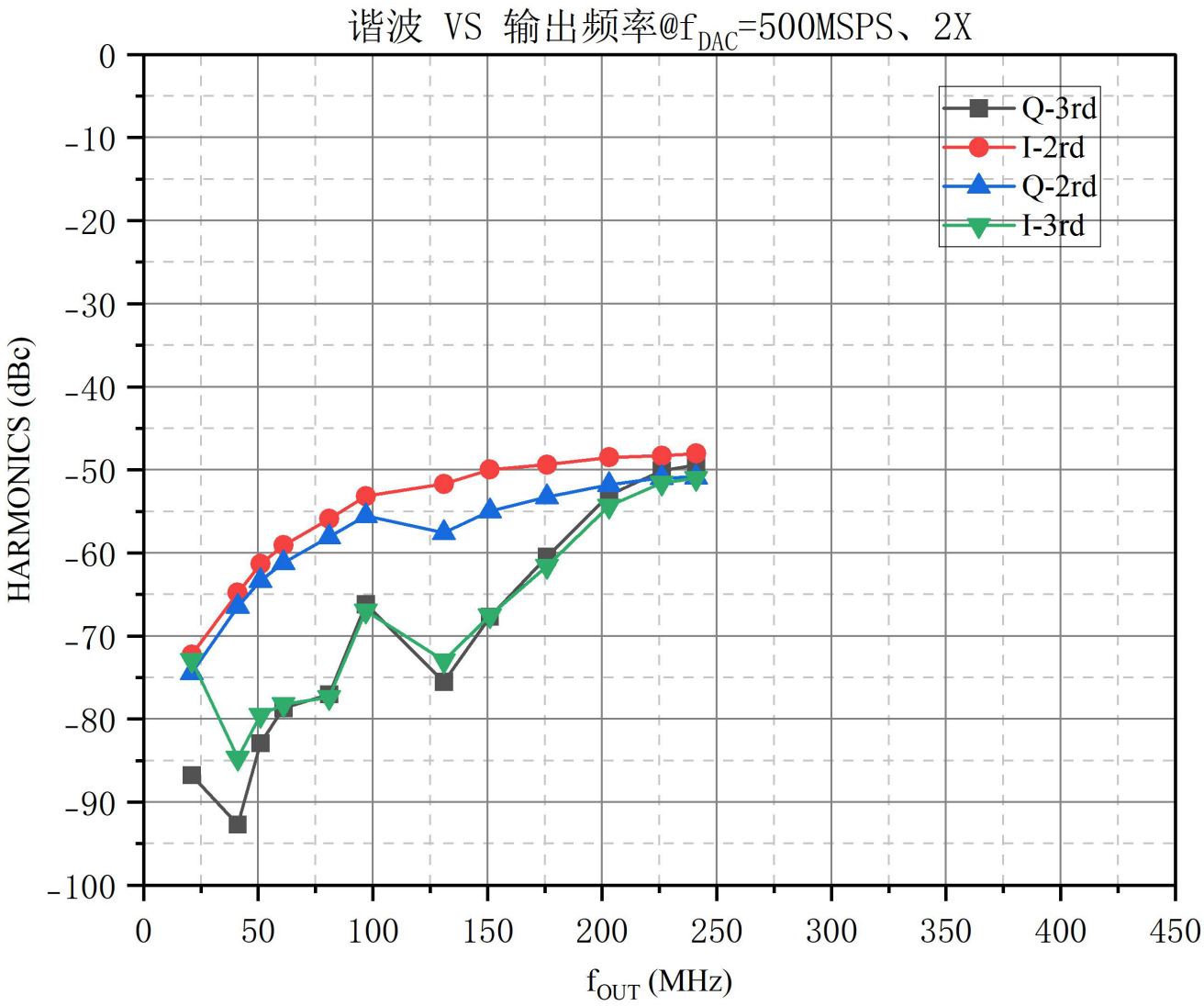


Figure 8: 不同输出频率下谐波变化曲线（fDAC=500MSPS，2x，IFS=20mA）/ Harmonic variation vs. output frequency (fDAC=500 MSPS, 2x, IFS=20 mA)

6、采样率：fDAC=400MSPS；4 倍内插；不同输出频率下谐波变化曲线； 6. Sample rate: fDAC=400 MSPS; 4x interpolation; harmonic variation vs. output frequency;

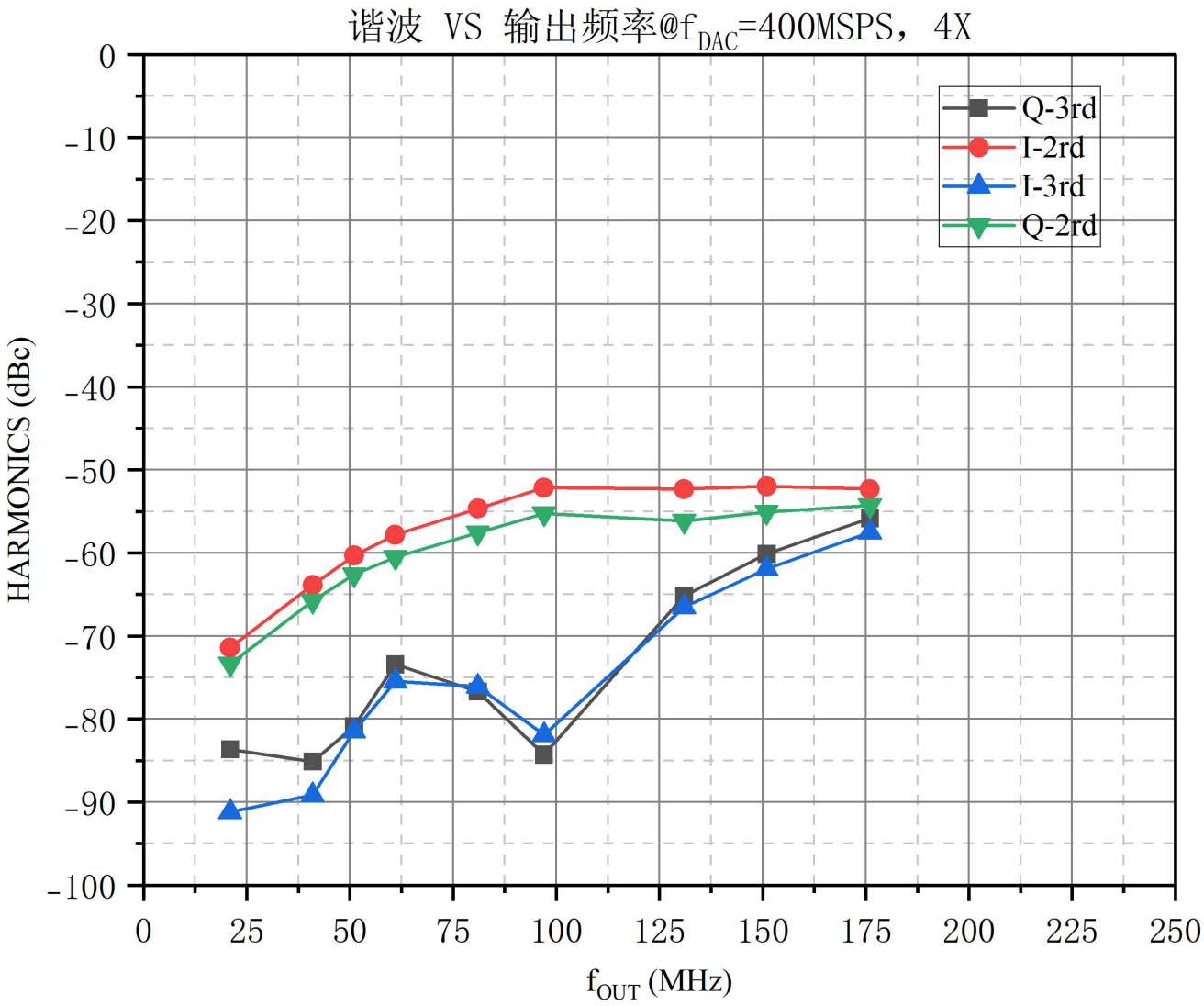


Figure 9: 不同输出频率下谐波变化曲线（fDAC=400MSPS，4x，IFS=20mA）/ Harmonic variation vs. output frequency (fDAC=400 MSPS, 4x, IFS=20 mA)

7、采样率：fDAC=800MSPS；4 倍内插；不同输出频率下谐波变化曲线； 7. Sample rate: fDAC=800 MSPS; 4x interpolation; harmonic variation vs. output frequency;

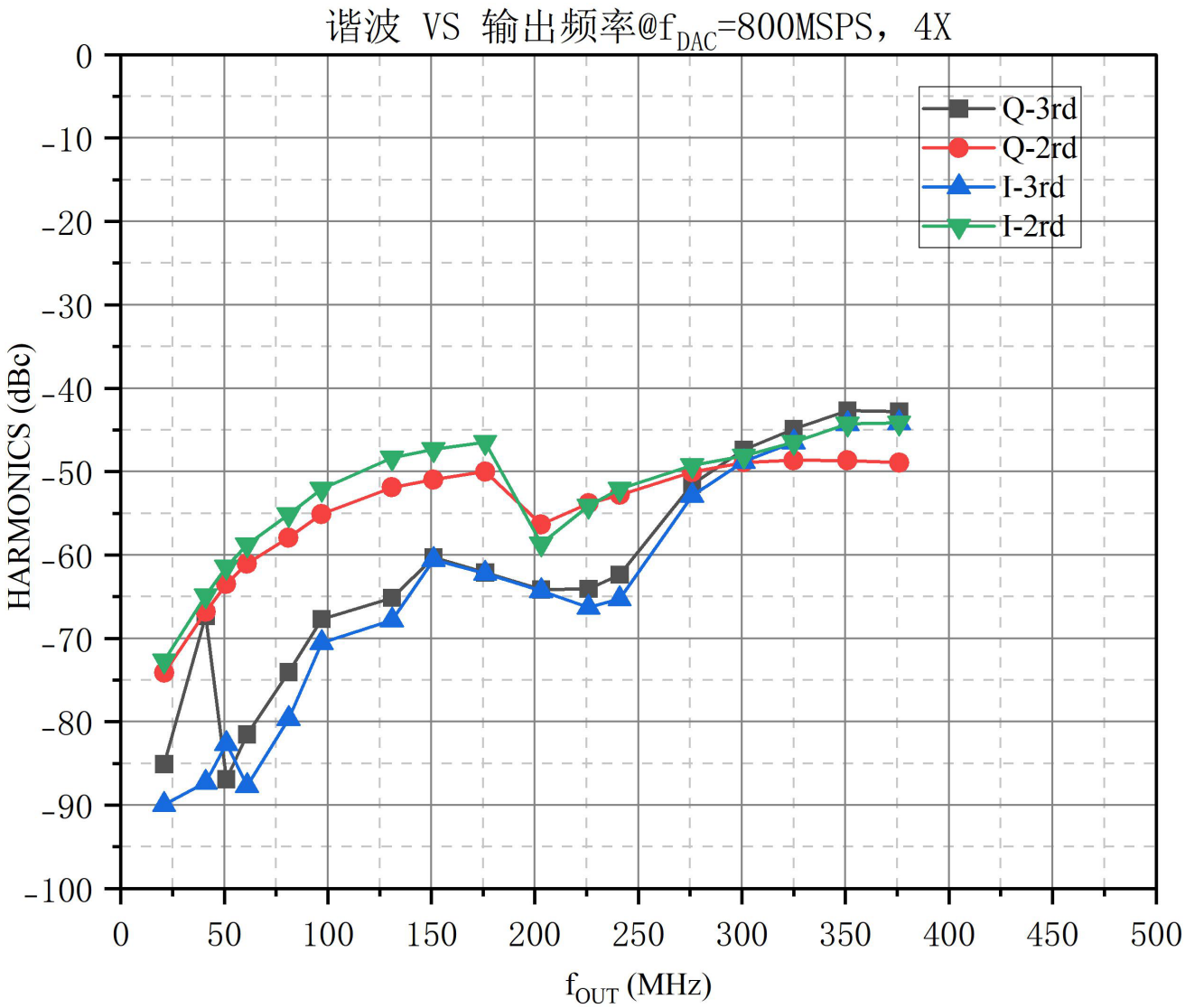


Figure 10: 不同输出频率下谐波变化曲线（fDAC=800MSPS，4x，IFS=20mA）/ Harmonic variation vs. output frequency (fDAC=800 MSPS, 4x, IFS=20 mA)

8、采样率：fDAC=800MSPS；8 倍内插；不同输出频率下谐波变化曲线； 8. Sample rate: fDAC=800 MSPS; 8x interpolation; harmonic variation vs. output frequency;

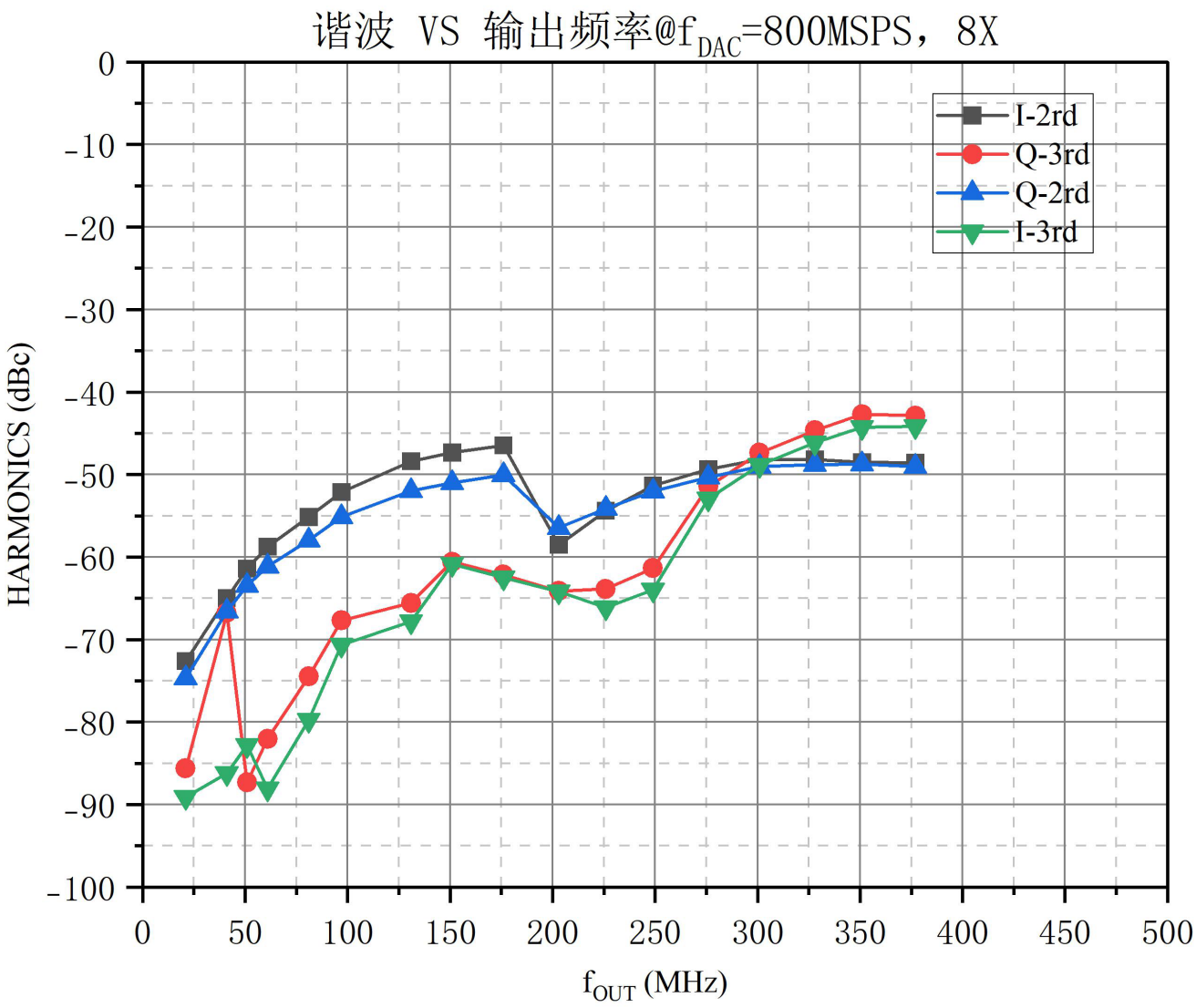


Figure 11: 不同输出频率下谐波变化曲线（fDAC=800MSPS，8x，IFS=20mA）/ Harmonic variation vs. output frequency (fDAC=800 MSPS, 8x, IFS=20 mA)

9、采样率：fDAC=1200MSPS；8 倍内插；不同输出频率下谐波变化曲线； 9. Sample rate: fDAC=1200 MSPS; 8x interpolation; harmonic variation vs. output frequency;

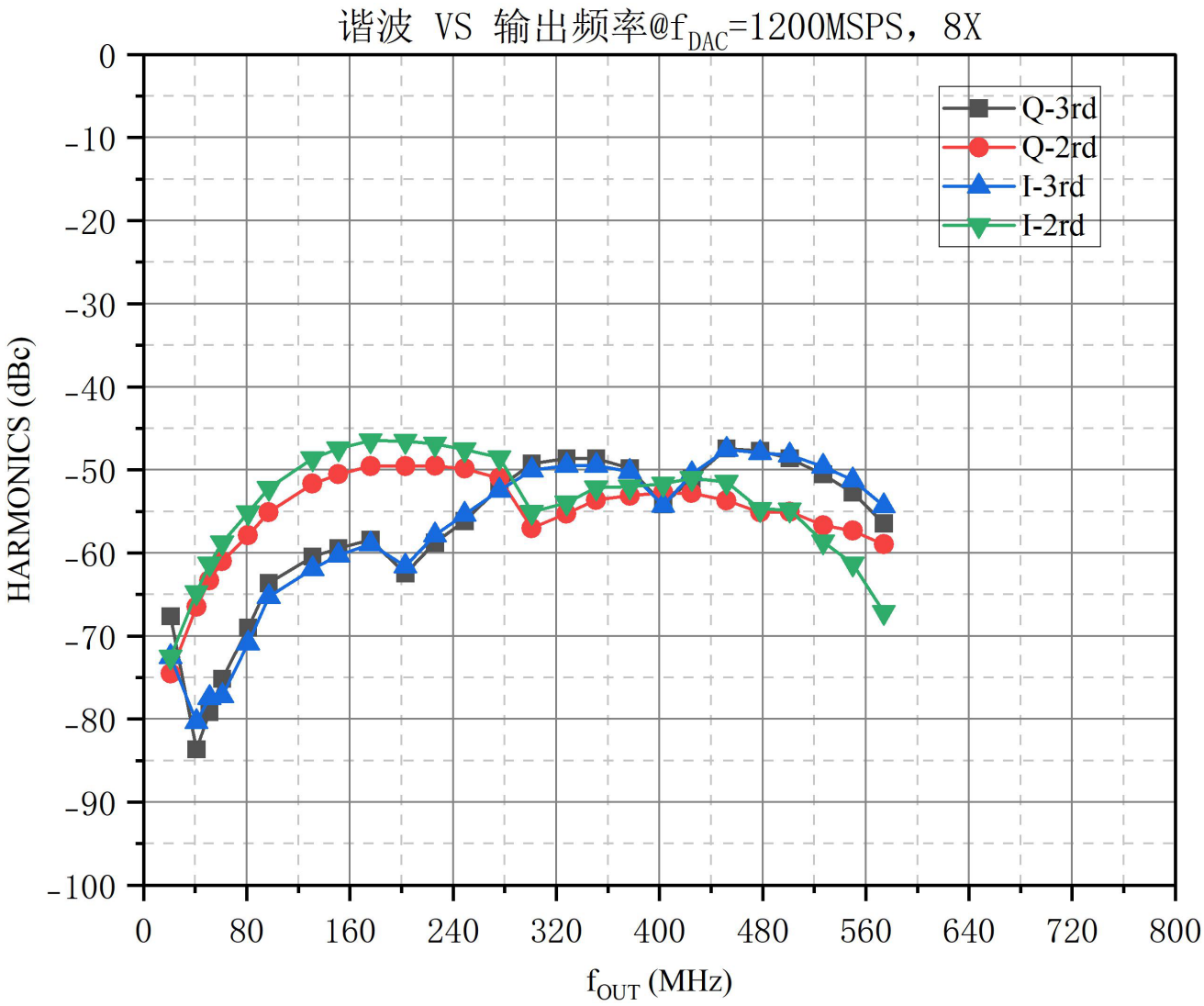


Figure 12: 不同输出频率下谐波变化曲线（fDAC=1200MSPS，8x，IFS=20mA）/ Harmonic variation vs. output frequency (fDAC=1200 MSPS, 8x, IFS=20 mA)

10、采样率：fDAC=800MSPS；4 倍内插；不同输出频率和不同输出幅度下二阶谐波变化曲线； 10. Sample rate: fDAC=800 MSPS; 4x interpolation; 2nd-harmonic variation vs. output frequency and amplitude;

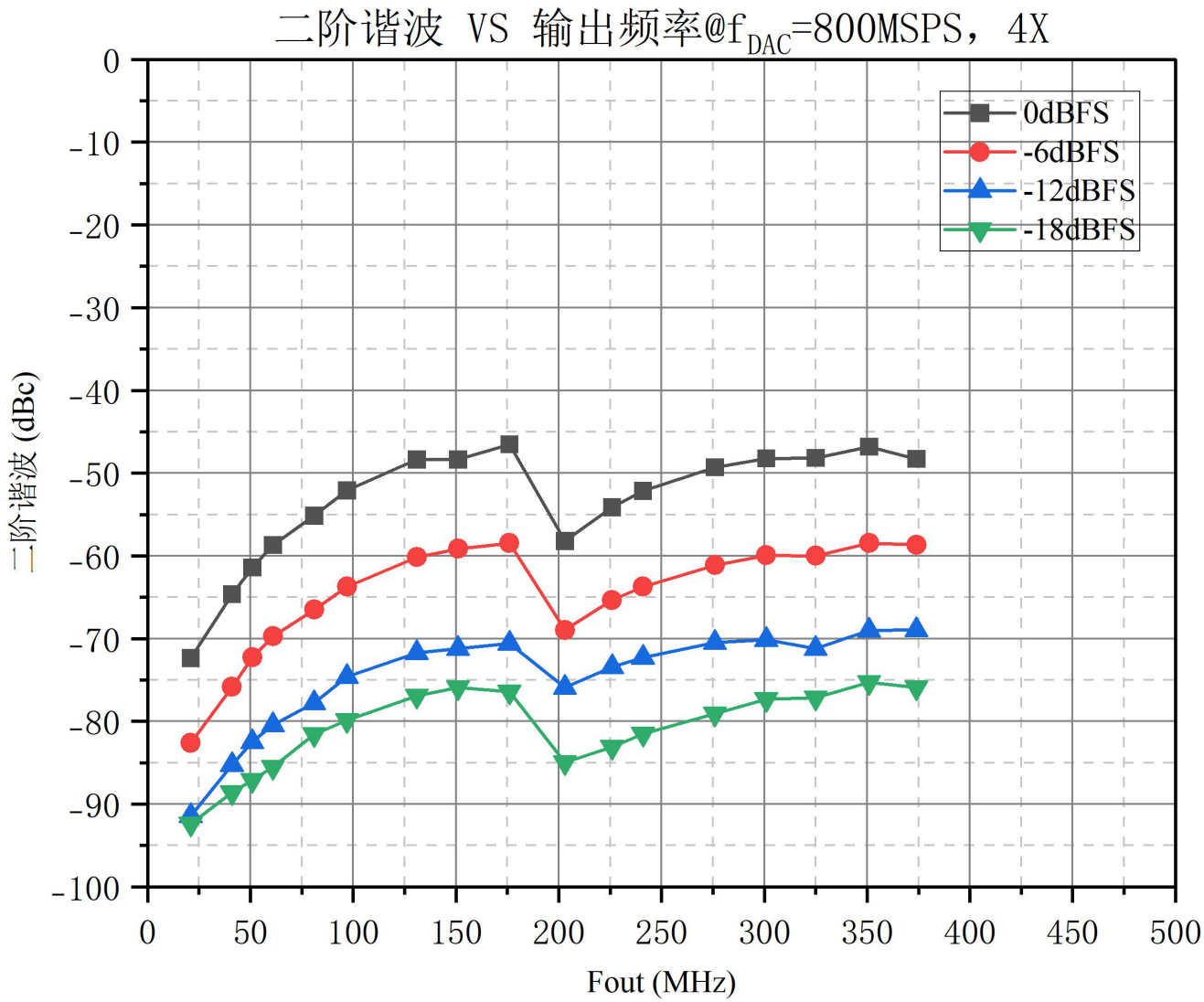


Figure 13: 不同输出频率和不同输出幅度下二阶谐波变化曲线（fDAC=800MSPS，8x，IFS=20mA）/ 2nd-harmonic variation vs. output frequency and amplitude (fDAC=800 MSPS, 8x, IFS=20 mA)

11、采样率：fDAC=800MSPS；4 倍内插；不同输出频率和不同输出幅度下三阶谐波变化曲线； 11. Sample rate: fDAC=800 MSPS; 4x interpolation; 3rd-harmonic variation vs. output frequency and amplitude;

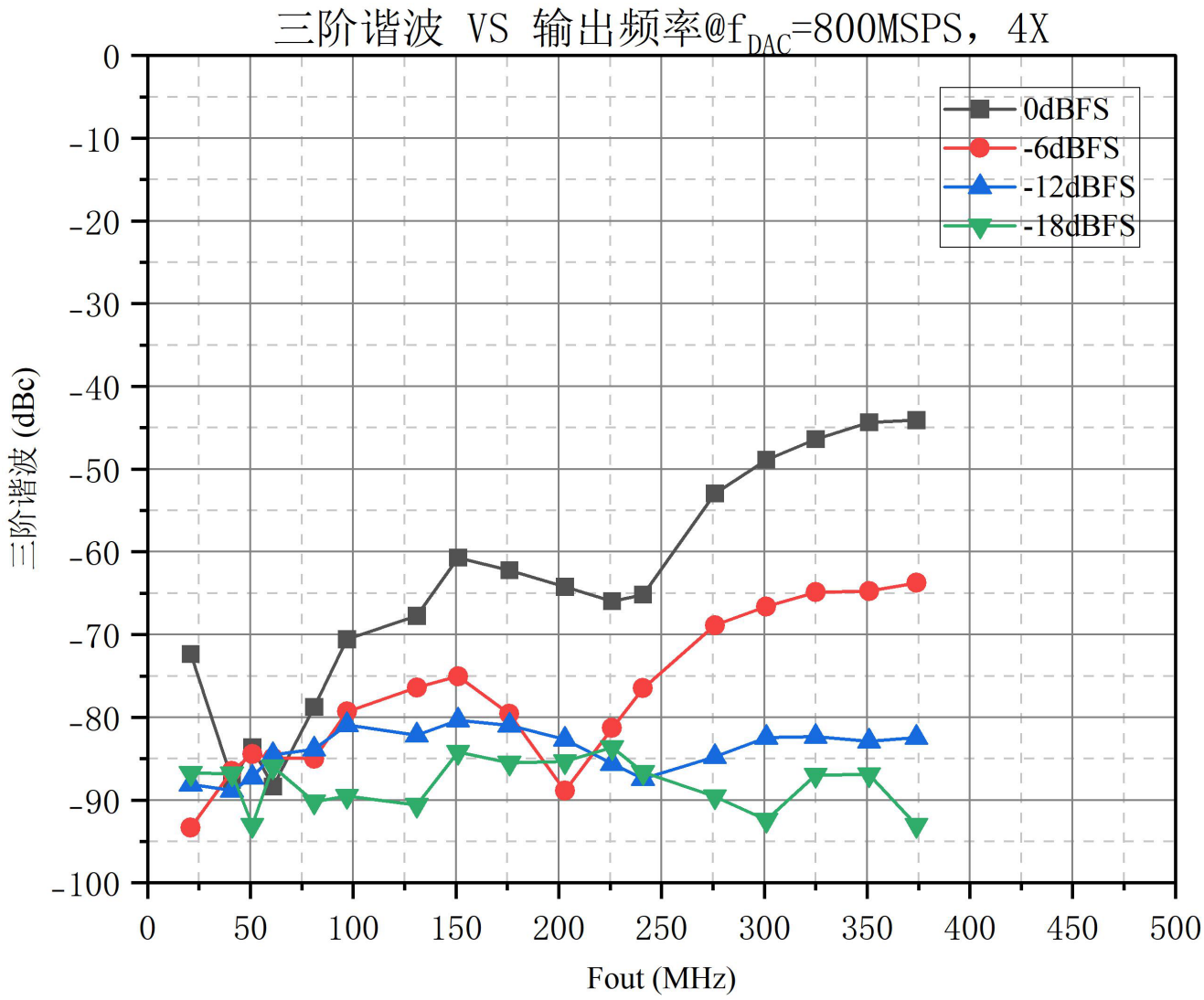


Figure 14: 不同输出频率和不同输出幅度下三阶谐波变化曲线（fDAC=800MSPS，8x，IFS=20mA）/ 3rd-harmonic variation vs. output frequency and amplitude (fDAC=800 MSPS, 8x, IFS=20 mA)

典型应用线路图 / Typical Application Circuit

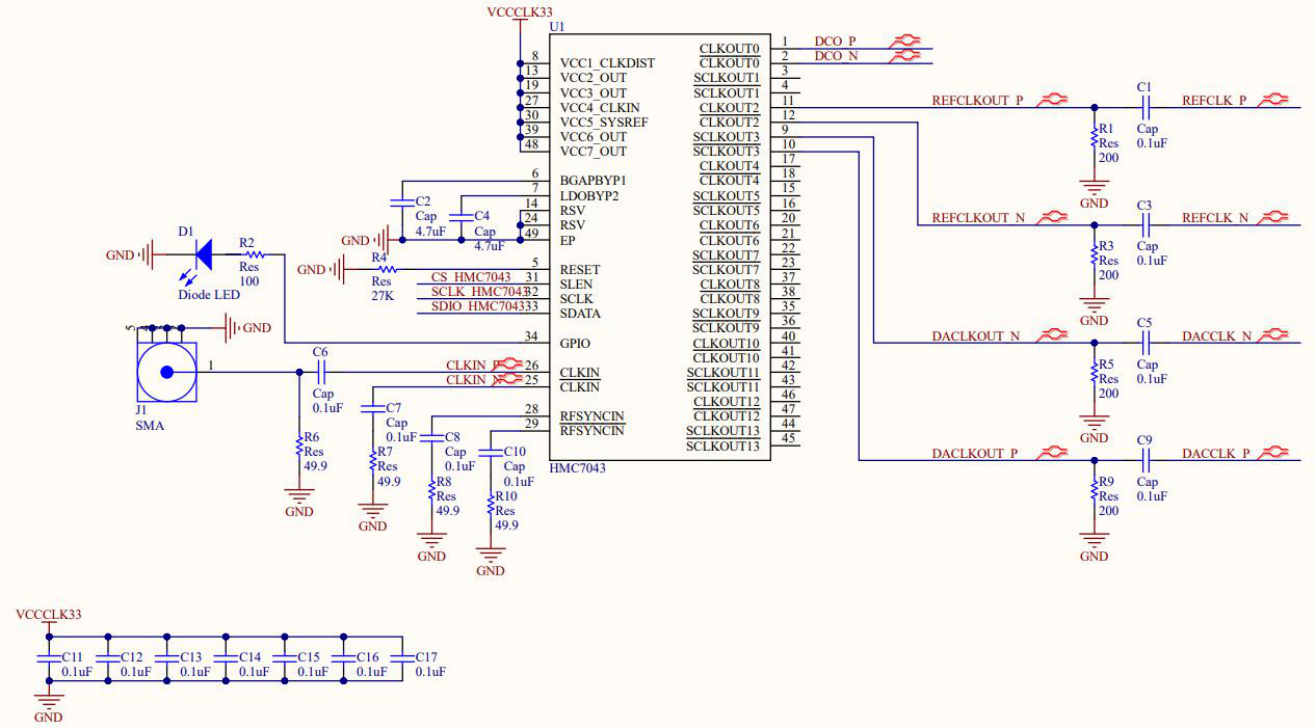


Figure 15: SXD033 典型应用线路图中时钟配置 / Clock configuration in the SXD033 typical application circuit

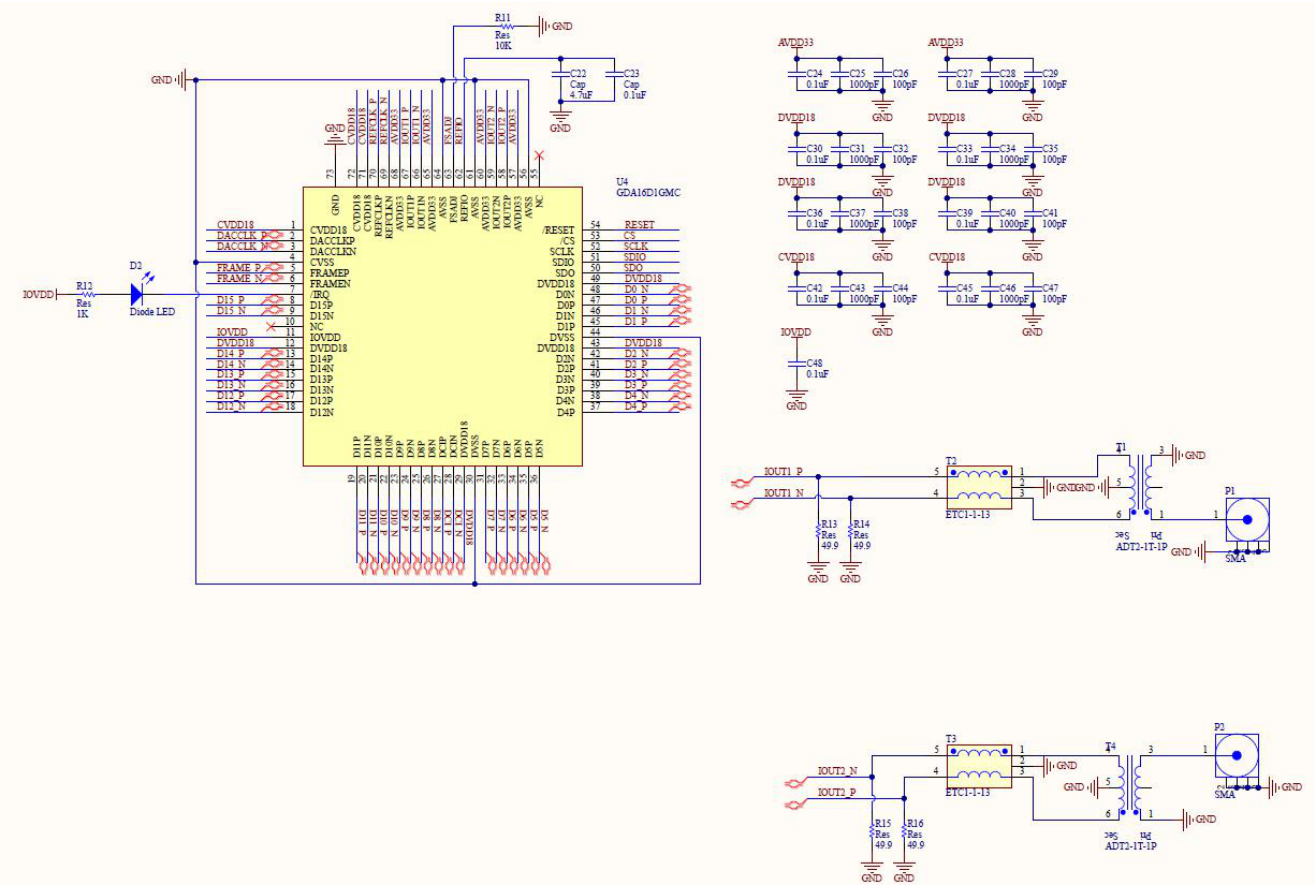


Figure 16: SXD033 典型应用线路图 / SXD033 typical application circuit

单元模块及工作原理 / Functional Blocks and Theory of Operation

1、总体介绍 / 1. General Overview

SXD033 集成了许多特性，是用于有线和无线通信系统的 DAC。设计单边带发射机时，其双数字信号路径和双 DAC 结构很容易与通用正交调制器接口。与以前 DAC 相比，SXD033 的速度和性能支持更宽的带宽以及更多载波合成。此外，这类器件内置一个创新的低功耗 32 位复数 NCO，可以大大简化频率设置。

The SXD033 integrates many features and is a DAC for wired and wireless communication systems. When designing single-sideband transmitters, its dual digital signal paths and dual-DAC architecture interface easily with general-purpose quadrature modulators. Compared with previous DACs, the speed and performance of the SXD033 support wider bandwidths and more carrier synthesis. In addition, this class of device integrates an innovative low-power 32-bit complex NCO that greatly simplifies frequency setting.

SXD033 能够简化与输入数据的同步和多器件的同步。片内还集成了辅助 DAC，用于输出直流失调补偿（针对 SSB 发射机中的 LO 补偿）和增益匹配（针对 SSB 发射机中的镜像抑制优化）。

The SXD033 simplifies synchronization with input data and synchronization among multiple devices. It also integrates auxiliary DACs on chip for output DC offset compensation (LO compensation in SSB transmitters) and gain matching (image-rejection optimization in SSB transmitters).

2、SPI 端口功能和操作说明 / 2. SPI Port Functions and Operation

SPI 串行端口是一种灵活的同步串行通信端口，可以很方便地与多种工业标准微控制器和微处理器接口。SXD033 的串行 I/O 兼容大多数同步传输格式，它支持单字节和多字节传输，以及 MSB 优先和 LSB 优先传输格式。该串行接口端口可以配置为单引脚 I/O（SDIO），或者配置为两个单向输入/输出引脚（SDIO/SDO）。

The SPI serial port is a flexible synchronous serial communication port that interfaces conveniently with many industry-standard microcontrollers and microprocessors. The serial I/O of the SXD033 is compatible with most synchronous transfer formats, supporting single-byte and multi-byte transfers as well as MSB-first and LSB-first formats. The serial interface port can be configured as a single-pin I/O (SDIO) or as two unidirectional input/output pins (SDIO/SDO).

SXD033 的通信周期可分为两个阶段。第一阶段是指令周期（将指令字节写入器件），与前八个 SCLK 上升沿同步。指令字节向串行端口控制器提供有关数据传输周期（即通信周期第二阶段）的信息，明确即将发生的数据传输是读操作还是写操作，以及数据传输中第一个字节的起始寄存器地址。各通信周期的前八个 SCLK 上升沿用于将指令字节写入器件。

The communication cycle of the SXD033 can be divided into two phases. The first phase is the instruction cycle (writing the instruction byte to the device), synchronized to the first eight SCLK rising edges. The instruction byte provides the serial port controller with information about the data transfer cycle (i.e., the second phase of the communication cycle), specifying whether the upcoming data transfer is a read or write operation and the starting register address of the first byte in the data transfer. The first eight SCLK rising edges of each communication cycle are used to write the instruction byte to the device.

当 CS 引脚由逻辑高电平变为逻辑低电平时，串行端口时序复位到指令周期的初始状态。从此状态开始的八个 SCLK 上升沿代表当前 I/O 操作的指令位。

When the CS pin transitions from logic high to logic low, the serial port timing resets to the initial state of the instruction cycle. The eight SCLK rising edges starting from this state represent the instruction bits of the current I/O operation.

其余 SCLK 边沿用于通信周期的第二阶段。第二阶段是器件与系统控制器之间发生实际数据传输的阶段。通信周期第二阶段可以传输一个或多个数据字节。写入各传输字节的最后一位时，寄存器立即改变，但频率调谐字和 NCO 相位偏移除外，这些寄存器仅在频率更新位（寄存器 0x36 的位 0）置 1 时改变。

The remaining SCLK edges are used for the second phase of the communication cycle. The second phase is when actual data transfer occurs between the device and the system controller. One or more data bytes can be transferred in the second phase. Registers change immediately when the last bit of each transferred byte is written, except for the frequency tuning word and NCO phase offset registers, which change only when the frequency update bit (bit 0 of register 0x36) is set to 1.

指令字节包含的信息如表 1 所示。

The information contained in the instruction byte is shown in Table 1.

表 1 串行端口指令字节 / Table 1 Serial Port Instruction Byte

I7(MSB)	I6	I5	I4	I3	I2	I1	I0(LSB)
R/W	A6	A5	A4	A3	A2	A1	A0

R/W—指令字节位 7 决定指令字节写周期结束后是进行读操作还是写操作。逻辑 1 表示读操作，而逻辑 0 表示写操作。A6 至 A0—指令字节的位 6 至位 0 决定通信周期数据传输阶段要访问的寄存器。对于多字节传输，A6 是起始字节地址。其余寄存器地址由器件根据 LSB_FIRST 位（寄存器 0x00 的位 6）产生。

R/W — bit 7 of the instruction byte determines whether a read or write operation follows the instruction-byte write cycle. Logic 1 indicates a read operation, while logic 0 indicates a write operation. A6 to A0 — bits 6 to 0 of the instruction byte determine the register to be accessed during the data-transfer phase of the communication cycle. For multi-byte transfers, A6 is the starting byte address. The remaining register addresses are generated by the device according to the LSB_FIRST bit (bit 6 of register 0x00).

2.1 串行时钟（SCLK）/ 2.1 Serial Clock (SCLK)

串行时钟引脚用于同步输入/输出器件的数据，并运行内部状态机。SCLK 的最大频率为 40 MHz。所有数据输入记录在 SCLK 的上升沿。所有数据都在 SCLK 的下降沿输出。

The serial clock pin synchronizes data into/out of the device and runs the internal state machine. The maximum frequency of SCLK is 40 MHz. All data inputs are registered on the rising edge of SCLK. All data is output on the falling edge of SCLK.

2.2 片选（CS）/ 2.2 Chip Select (CS)

它是一个低电平有效输入，用于启动并选通一个通信周期。它支持多个器件使用相同的串行通信线路。当此输入为高电平时，SDO 和 SDIO 引脚进入高阻态。在通信周期中，片选引脚应保持低电平。

It is an active-low input used to initiate and gate a communication cycle. It allows multiple devices to share the same serial communication lines. When this input is high, the SDO and SDIO pins enter a high-impedance state. The chip-select pin should be held low during a communication cycle.

2.3 串行数据 I/O（SDIO）/ 2.3 Serial Data I/O (SDIO)

向器件写入数据必须通过此引脚进行。不过，此引脚可以用作双向数据线路。此引脚的配置由寄存器 0x00 的位 7 控制。默认为逻辑 0，即将 SDIO 引脚配置为单向数据线路。

Data written to the device must go through this pin. However, this pin can be used as a bidirectional data line. Its configuration is controlled by bit 7 of register 0x00. The default is logic 0, which configures the SDIO pin as a unidirectional data line.

2.4 串行数据输出（SDO）/ 2.4 Serial Data Output (SDO)

如果协议选择用不同的线路来发送和接收数据，那么数据是从该引脚读出的。当器件以单独的双向 I/O 模式运行时，此引脚不会输出数据，并设置为高阻态。

If the protocol selects separate lines for transmitting and receiving data, data is read from this pin. When the device operates in single bidirectional I/O mode, this pin does not output data and is set to high impedance.

2.5 串行端口选项 / 2.5 Serial Port Options

该串行端口支持 MSB 优先和 LSB 优先两种数据格式。此功能由 LSB_FIRST（寄存器 0x00 的位 6）控制。默认是 MSB 优先（LSB_FIRST=0）。当 LSB_FIRST=0（MSB 优先）时，指令和数据位必须按照从 MSB 到 LSB 的顺序写入。采用 MSB 优先格式的多字节数据传输由一个包括最高有效数据字节寄存器地址的指令字节开始。后续数据字节应按照从高位地址到低位地址的顺序传输。在 MSB 优先模式下，多字节通信周期每传输一个数据字节，串行端口的内部字节地址产生器便递减 1（见图 17）。

The serial port supports both MSB-first and LSB-first data formats, controlled by LSB_FIRST (bit 6 of register 0x00). The default is MSB-first (LSB_FIRST=0). When LSB_FIRST=0 (MSB-first), instruction and data bits must be written from MSB to LSB. A multi-byte data transfer in MSB-first format starts with an instruction byte containing the most-significant data byte's register address. Subsequent data bytes should be transferred from higher to lower addresses. In MSB-first mode, the serial port's internal byte address generator decrements by 1 for each data byte transferred in a multi-byte communication cycle (see Figure 17).

当 LSB_FIRST=1（LSB 优先）时，指令和数据位必须按照从 LSB 到 MSB 的顺序写入（见图 18）。采用 LSB 优先格式的多字节数据传输由一个包括最低有效数据字节寄存器地址的指令字节开始，其后是多个数据字节。多字节通信周期每传输一个字节，串行端口的内部字节地址产生器便递增 1。

When LSB_FIRST=1 (LSB-first), instruction and data bits must be written from LSB to MSB (see Figure 18). A multi-byte data transfer in LSB-first format starts with an instruction byte containing the least-significant data byte's register address, followed by multiple data bytes. The serial port's internal byte address generator increments by 1 for each byte transferred in a multi-byte communication cycle.

如果 MSB 优先模式有效，串行端口控制器的数据地址将从写入的数据地址向 0x00 递减，以进行多字节 I/O 操作。如果 LSB 优先模式有效，串行端口控制器的数据地址将从写入的数据地址向 0x7F 递增，以进行多字节 I/O 操作。

If MSB-first mode is active, the serial port controller's data address decrements from the written data address toward 0x00 for multi-byte I/O operations. If LSB-first mode is active, it increments from the written data address toward 0x7F.

图 19 和图 20 分别表示了 SPI 的写和读时序图。

Figures 19 and 20 show the SPI write and read timing diagrams, respectively.

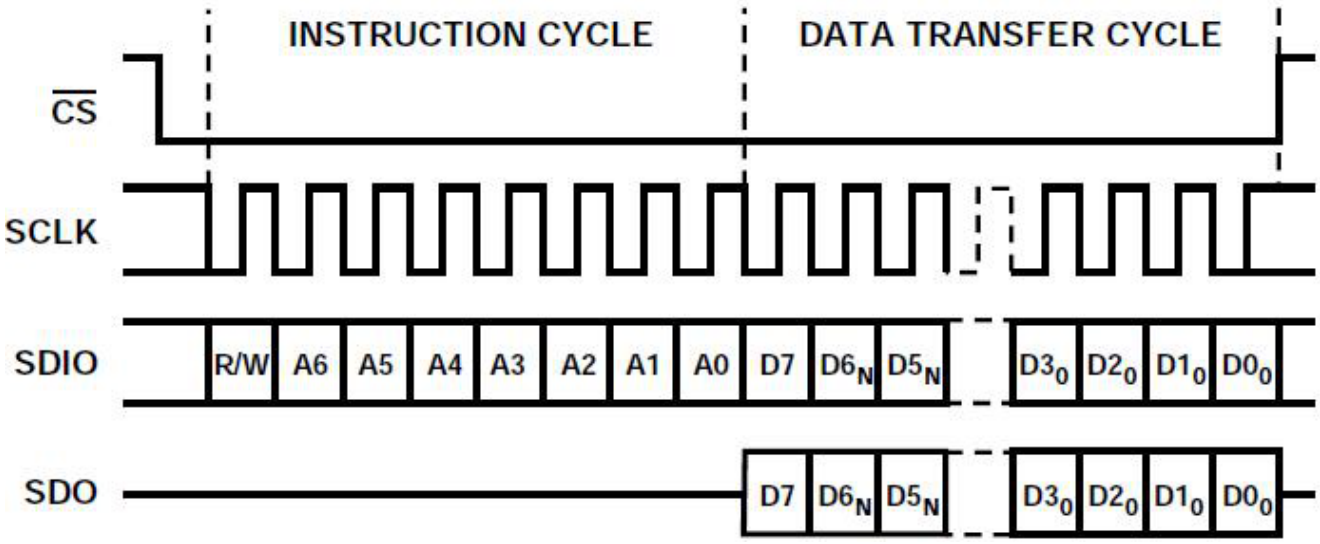


Figure 17: SPI 串口时序图（MSB 优先）/ SPI serial timing diagram (MSB-first)

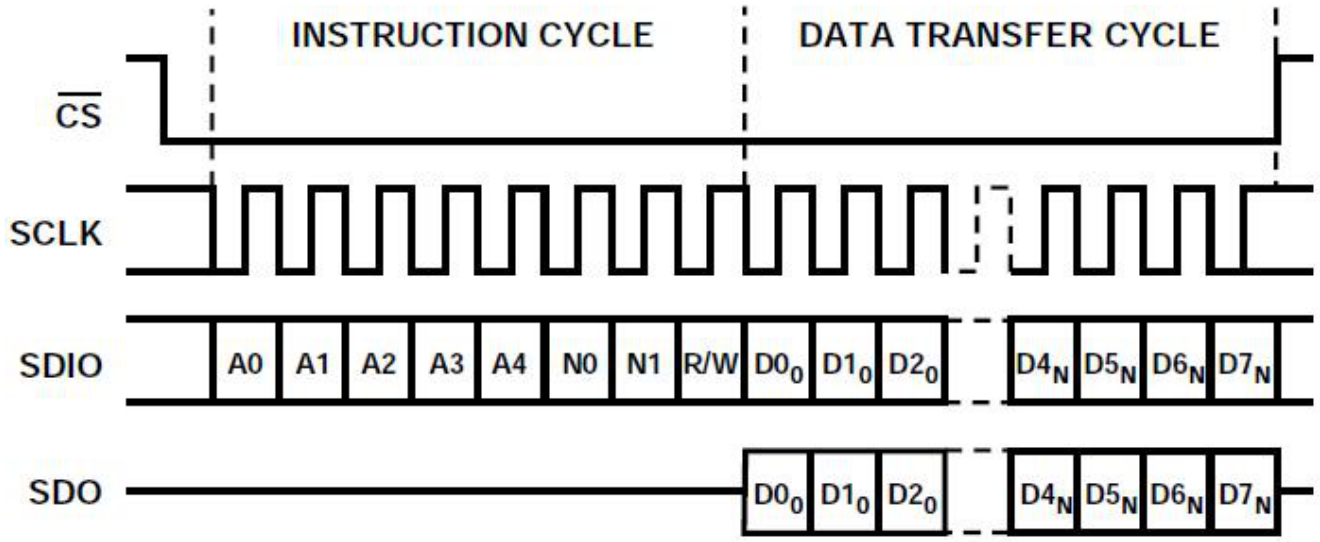


Figure 18: 串行寄存器接口时序（LSB 优先）/ Serial register interface timing (LSB-first)

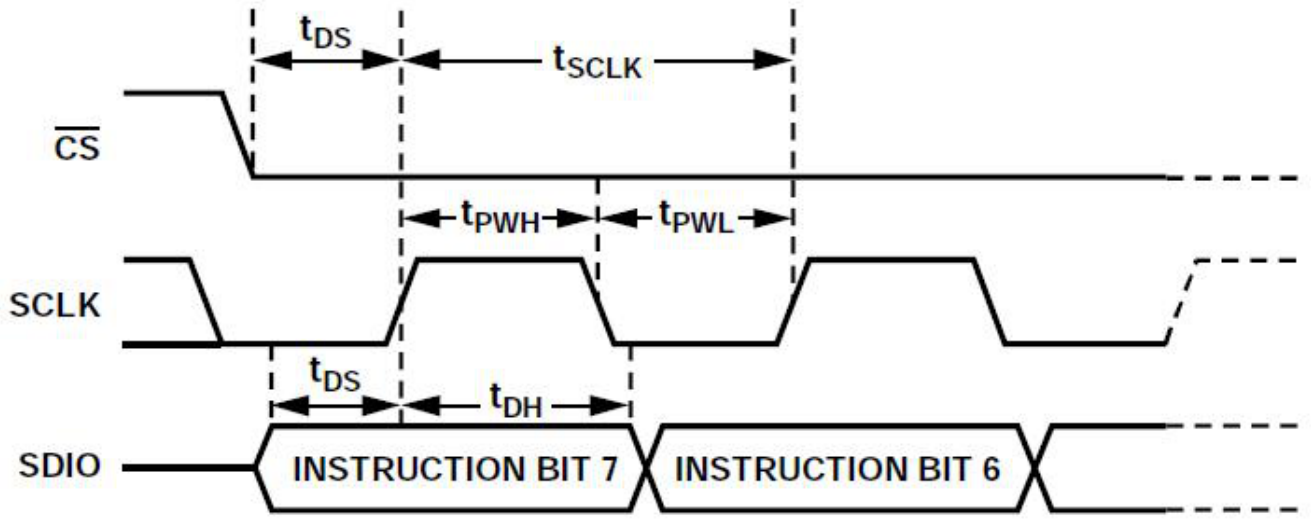


Figure 19: 串行端口寄存器写操作时序图 / Serial port register write timing diagram

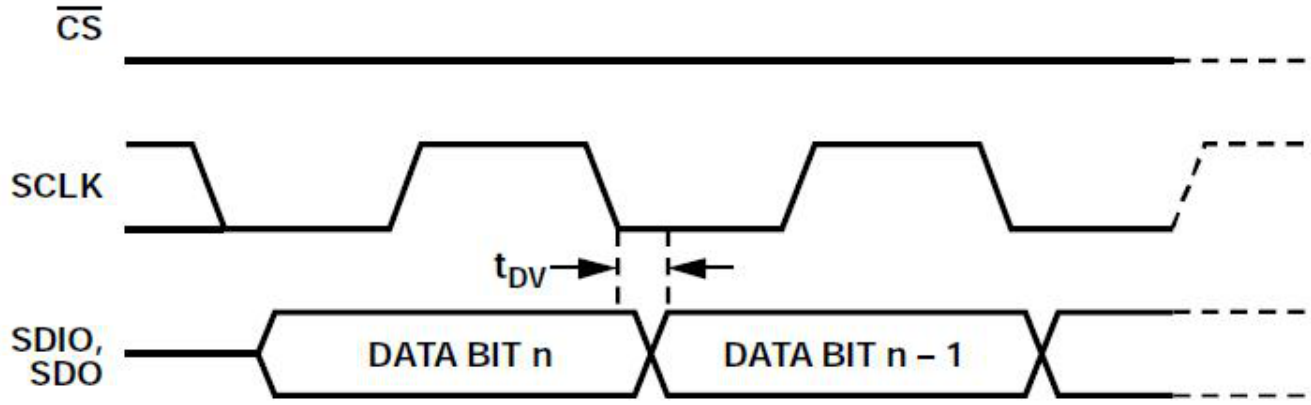


Figure 20: 串行端口寄存器读操作时序图 / Serial port register read timing diagram

3、LVDS 输入数据端口 / 3. LVDS Input Data Port

SXD033 配有一个 LVDS 数据端口，用以接收 I 和 Q 发射路径的数据。该器件可以接受字、字节和半字节格式的数据。在字、字节和半字节模式下，数据分别通过 16 位、8 位和 4 位 LVDS 数据总线发送。各种模式下总线的引脚分配如表 2 所示。

The SXD033 features an LVDS data port for receiving I- and Q-path transmit data. The device accepts data in word, byte, and nibble formats, sent over 16-bit, 8-bit, and 4-bit LVDS data buses respectively. Pin assignments for each mode are shown in Table 2.

表 2 各种数据输入模式的数据位对分配 / Table 2 Data Bit-Pair Assignments for Each Data Input Mode

模式 / Mode	MSB,…,LSB
字 / Word	D15,D14,…D0
字节 / Byte	D14,D12,D10,D8,D7,D5,D3,D1
半字节 / Nibble	D10,D8,D7,D5

注 1：在字节和半字节模式下，不用的引脚可以保持悬空。 Note 1: In byte and nibble modes, unused pins may be left floating.

数据伴随一个参考位（DCI），用于产生双倍数据速率（DDR）时钟。在字节和半字节模式下，需要一个 FRAME 信号来控制向何 DAC 发送数据。所有接口信号保持时序一致。虽然对总线有最大偏斜要求，但没有建立和保持时间要求需要满足。

Data is accompanied by a reference bit (DCI) used to generate a double-data-rate (DDR) clock. In byte and nibble modes, a FRAME signal is required to control which DAC receives the data. All interface signals remain timing-aligned. While there is a maximum skew requirement on the bus, there are no setup/hold time requirements to meet.

3.1 字接口模式 / 3.1 Word Interface Mode

在字模式下，DCI 信号是用于产生数据采样时钟的参考位。DCI 信号与数据保持时序一致。I DAC 数据应与 DCI 高电平一致，而 Q DAC 数据应与 DCI 低电平一致，完整时序图如图 21 所示。

In word mode, the DCI signal is the reference bit used to generate the data sampling clock and remains timing-aligned with the data. I-DAC data shall align with DCI high, while Q-DAC data shall align with DCI low; the complete timing diagram is shown in Figure 21.

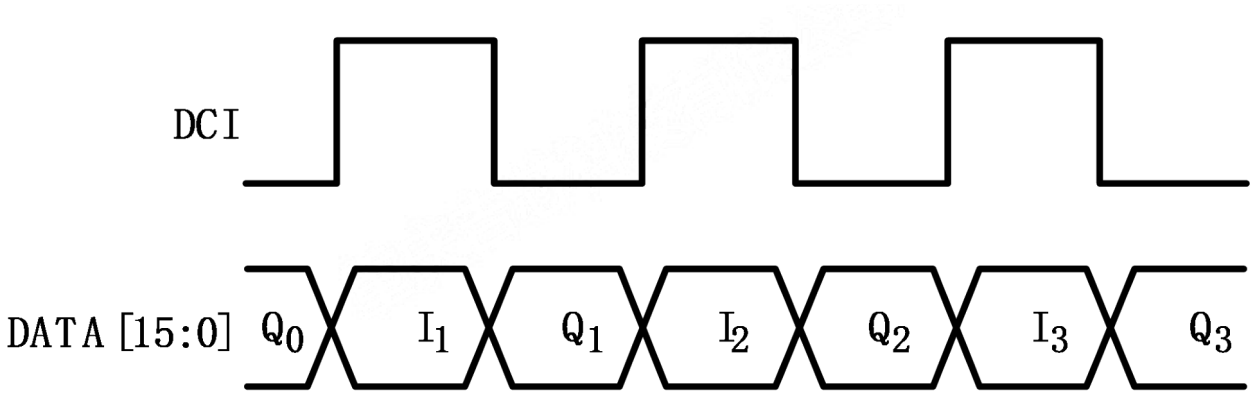


Figure 21: 字模式时序图 / Word-mode timing diagram

3.2 字节接口模式 / 3.2 Byte Interface Mode

在字节模式下，DCI 信号是用于产生数据采样时钟的参考位，应与数据保持时序一致。数据的最高有效字节应与 DCI 高电平一致，而最低有效字节应与 DCI 低电平一致。FRAME 信号指示向何 DAC 发送数据。当 FRAME 为高电平时，数据发送至 I DAC；当 FRAME 为低电平时，数据发送至 Q DAC。完整时序图见图 22。

In byte mode, the DCI signal is the reference bit used to generate the data sampling clock and shall remain timing-aligned with the data. The most significant byte of data shall align with DCI high, while the least significant byte shall align with DCI low. The FRAME signal indicates which DAC receives the data: data goes to the I DAC when FRAME is high and to the Q DAC when FRAME is low. See Figure 22 for the complete timing diagram.

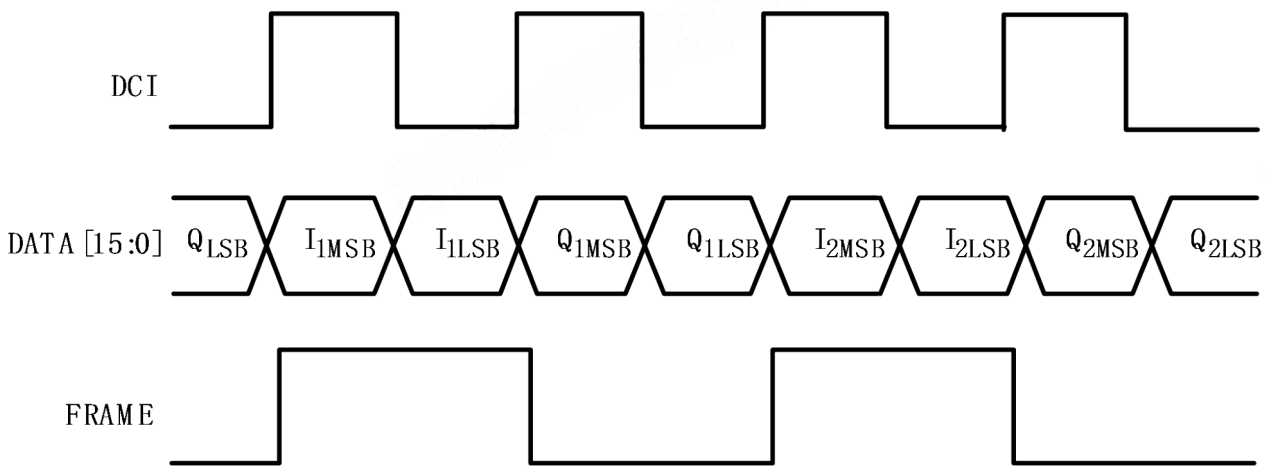


Figure 22: 字节模式时序图 / Byte-mode timing diagram

3.3 半字节接口模式 / 3.3 Nibble Interface Mode

在半字节模式下，DCI 信号是用于产生数据采样时钟的参考位，应与数据保持时序一致。FRAME 信号指示向何 DAC 发送数据。当 FRAME 为高电平时，数据发送至 I DAC；当 FRAME 为低电平时，数据发送至 Q DAC。必须写入所有四个半字节，器件才能正常工作。对于 12 位分辨率器件，第四个半字节中的数据充当数据帧结构的占位符。完整时序图见图 23。

In nibble mode, the DCI signal is the reference bit used to generate the data sampling clock and shall remain timing-aligned with the data. The FRAME signal indicates which DAC receives the data: data goes to the I DAC when FRAME is high and to the Q DAC when FRAME is low. All four nibbles must be written for the device to operate properly. For 12-bit-resolution devices, data in the fourth nibble acts as a placeholder in the data frame structure. See Figure 23 for the complete timing diagram.

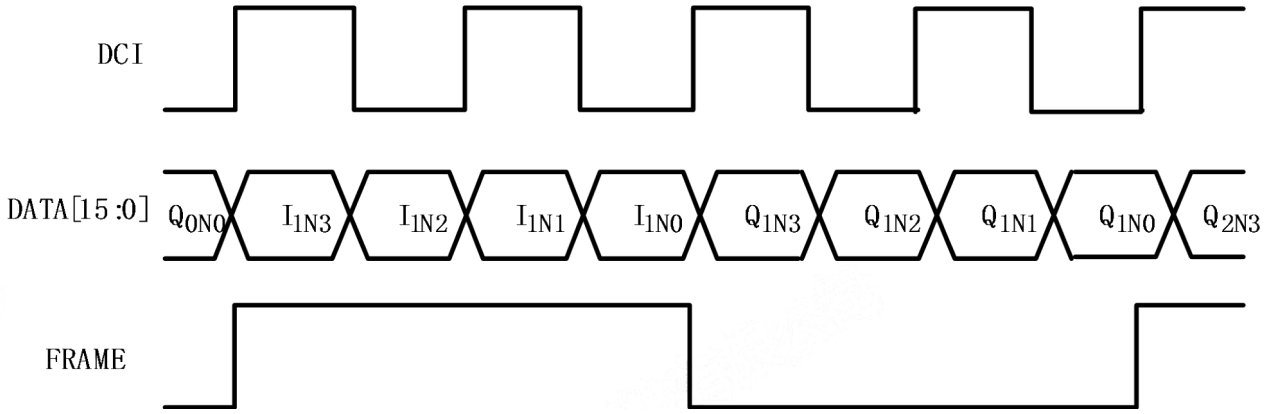


Figure 23: 半字节模式时序图 / Nibble-mode timing diagram

4、FIFO 操作 / 4. FIFO Operation

SXD033 内置一个 2 通道、16 位宽、8 字深 FIFO，设计用来缓解到达 DAC 输入端口的数据与内部 DAC 数据速率时钟之间的时序关系。FIFO 充当一个缓冲器，能够吸收数据源与 DAC 之间的时序偏差，例如 FPGA 或 ASIC 的时钟与数据偏差，从而显著提高接口的时序预算。

The SXD033 integrates a 2-channel, 16-bit-wide, 8-word-deep FIFO designed to ease timing between data arriving at the DAC input port and the internal DAC data-rate clock. The FIFO acts as a buffer that absorbs

timing skew between the data source and the DAC — e.g., clock-to-data skew from an FPGA or ASIC — significantly improving the interface timing budget.

图 24 显示了 FIFO 数据路径的框图。数据先被锁存至器件，经过格式化后写入 FIFO 写指针所决定的 FIFO 寄存器。每次有新数据载入 FIFO 时，写指针的值就会递增。另一方面，器件从读指针决定的 FIFO 寄存器读取数据并馈入数字数据路径。每次从 FIFO 读取数据到数据路径时，读指针的值就会更新。FIFO 指针以数据速率（DACCLK 速率除以插值比）递增。

Figure 24 shows a block diagram of the FIFO datapath. Data is first latched into the device, formatted, and written to the FIFO register selected by the FIFO write pointer; the write pointer increments each time new data is loaded into the FIFO. The device reads data from the FIFO register selected by the read pointer and feeds it into the digital datapath; the read pointer updates each time data is read from the FIFO into the datapath. The FIFO pointers increment at the data rate (DACCLK rate divided by the interpolation ratio).

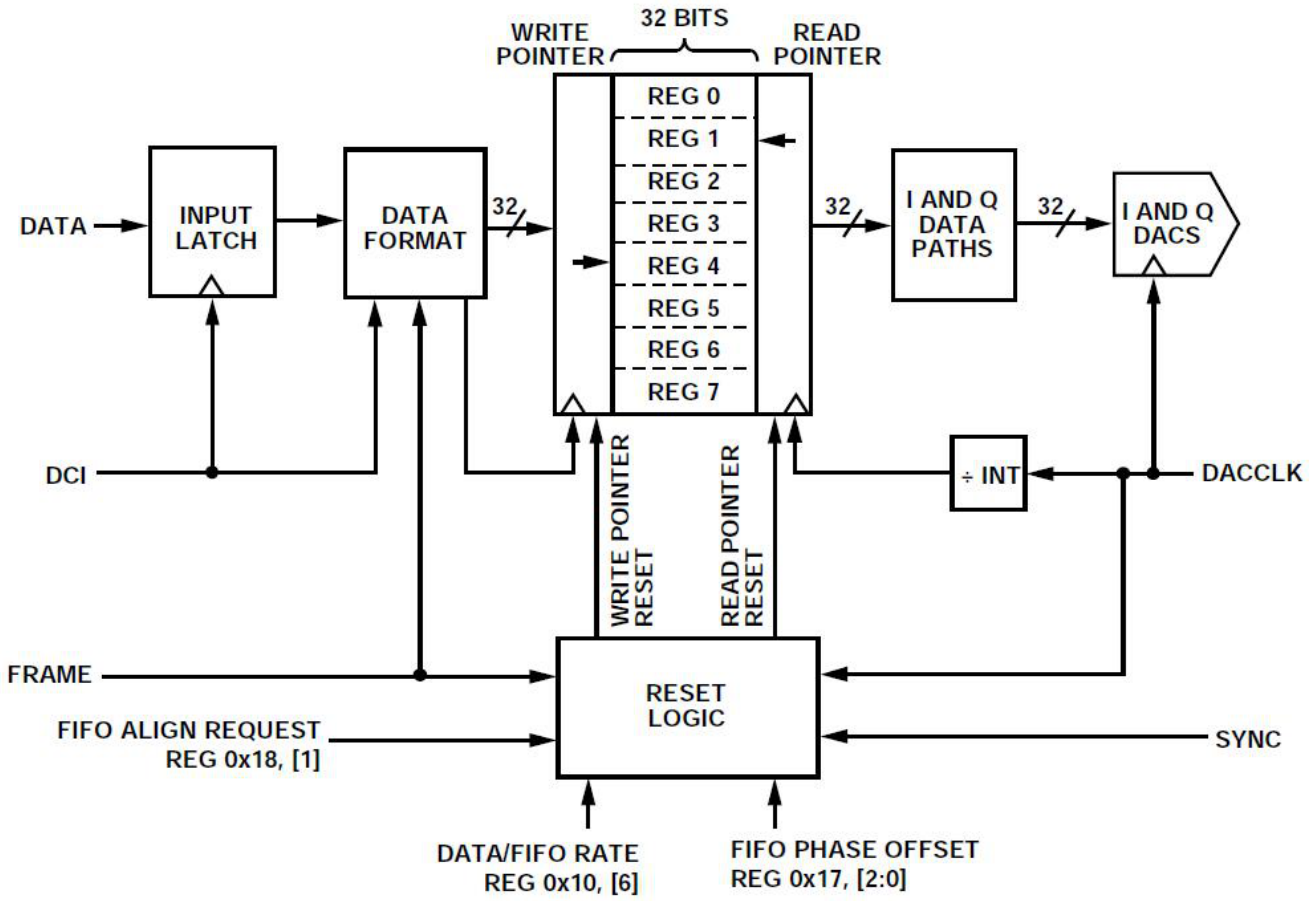


Figure 24: FIFO 框图 / FIFO block diagram

只要 FIFO 没有溢出或者变空，就会通过 FIFO 传输有效数据。当写指针和读指针指向同一 FIFO 位置时，即产生 FIFO 溢出或空置条件。这种同时访问会导致 FIFO 数据传输不可靠，因此必须避免。

Valid data is transferred through the FIFO as long as it neither overflows nor empties. When the write and read pointers target the same FIFO location, a FIFO overflow or empty condition occurs; such simultaneous access makes FIFO data transfer unreliable and must be avoided.

名义上，写入和读取 FIFO 的数据速率相同，这可以使 FIFO 深度保持不变。如果数据写入 FIFO 的速度快于数据读出的速度，FIFO 深度将增加。而如果数据写入器件的速度慢于数据读取的速度，FIFO 深度将降低。为获得最

佳时序余量，FIFO 深度应保持接近半满状态（写指针与读指针值相差 4）。FIFO 深度代表 FIFO 流水线延迟，是 SXD033 总延迟的一部分。

Nominally, data is written to and read from the FIFO at the same rate, keeping the FIFO depth constant. If data is written faster than it is read out, the FIFO depth increases; if data is written into the device slower than it is read, the FIFO depth decreases. For best timing margin, the FIFO depth should be kept near half-full (write and read pointer values differing by 4). The FIFO depth represents FIFO pipeline latency and is part of the total SXD033 latency.

为避免同时对相同的 FIFO 地址执行读取和写入，以及确保流水线延迟固定，必须将 FIFO 指针复位到已知状态。FIFO 指针的初始化方式有两种：对串行端口执行一个写序列，或者选通 FRAME 输入。FIFO 复位有两种类型：相对复位和绝对复位。相对复位会强制设定规定的 FIFO 深度。而绝对复位则是在复位初始化时强制设定特定的写指针值。串行端口启动的 FIFO 复位始终是相对复位。FRAME 选通脉冲启动的复位可以是相对复位，也可以是绝对复位。

To avoid simultaneous reads and writes to the same FIFO address and to ensure fixed pipeline latency, the FIFO pointers must be reset to a known state. There are two ways to initialize the FIFO pointers: a write sequence to the serial port, or strobing the FRAME input. There are two types of FIFO reset: relative reset and absolute reset. A relative reset forces a specified FIFO depth, while an absolute reset forces a specific write-pointer value at reset initialization. A serial-port-initiated FIFO reset is always a relative reset. A FRAME-strobe-initiated reset can be either a relative or an absolute reset.

FRAME 启动的 FIFO 复位操作取决于所选的同步模式。禁用同步时，或者配置为数据速率模式同步时，FRAME 选通脉冲启动相对 FIFO 复位。而选择 FIFO 模式同步时，FRAME 选通脉冲启动绝对 FIFO 复位。有关同步功能的更多信息，请参见"多芯片同步"部分。

FRAME-initiated FIFO reset behavior depends on the selected synchronization mode. With synchronization disabled or data-rate-mode synchronization configured, a FRAME strobe initiates a relative FIFO reset; with FIFO-mode synchronization selected, a FRAME strobe initiates an absolute FIFO reset. See the "Multi-Chip Synchronization" section for more information on synchronization.

表 3 列出了各种同步模式及相应的 FIFO 复位类型。

Table 3 lists the synchronization modes and corresponding FIFO reset types.

表 3 FIFO 复位汇总 / Table 3 FIFO Reset Summary

FIFO 复位信号 / FIFO Reset Signal	同步模式 / Sync Mode：禁用 / Disabled	数据速率 / Data Rate	FIFO 速率 / FIFO Rate
串行端口 / Serial port	相对 / Relative	相对 / Relative	相对 / Relative
FRAME	相对 / Relative	相对 / Relative	绝对 / Absolute

4.1 串行端口启动的 FIFO 复位 / 4.1 Serial-Port-Initiated FIFO Reset

串行端口启动的 FIFO 复位可以在任何模式下进行，结果始终是相对 FIFO 复位。要通过串行端口初始化 FIFO 数据水平，寄存器 0x18 的位 1 必须从 0 变为 1，再变回 0。当对该寄存器的写操作完成时，FIFO 数据水平完成初始化。触发初始化后，下次读指针变为 0 时，写指针将在初始化时被设置为 FIFO 起始水平（寄存器 0x17 的位 [2:0]）变量的值。该值默认为 4，但可以编程为 0 到 7 的值。

A serial-port-initiated FIFO reset can be performed in any mode and is always a relative FIFO reset. To initialize the FIFO data level via the serial port, bit 1 of register 0x18 must transition from 0 to 1 and back to 0; the FIFO data level initialization completes when the register write completes. After initialization is triggered, the write pointer is set to the FIFO start level (bits[2:0] of register 0x17) the next time the read pointer becomes 0. This value defaults to 4 but is programmable from 0 to 7.

串行端口 FIFO 数据水平初始化的推荐步骤如下： Recommended steps for serial-port FIFO data-level initialization:

步骤 1：将寄存器 0x18 的位 1 置 1，以请求复位 FIFO 水平。 Step 1: Set bit 1 of register 0x18 to 1 to request a FIFO level reset. 步骤 2：通过确保寄存器 0x18 的位 2 为 1，验证器件已对该请求做出应答。 Step 2: Verify the device has acknowledged the request by confirming bit 2 of register 0x18 is 1. 步骤 3：将寄存器 0x18 的位 1 置 0，以撤除该请求。 Step 3: Set bit 1 of register 0x18 to 0 to withdraw the request. 步骤 4：通过确保寄存器 0x18 的位 2 为 0，验证器件已撤销应答信号。 Step 4: Verify the device has withdrawn the acknowledge by confirming bit 2 of register 0x18 is 0.

4.2 FRAME 启动的相对 FIFO 复位 / 4.2 FRAME-Initiated Relative FIFO Reset

FRAME 输入的主要功能是指示向何 DAC 写入输入数据。它还有另一个功能，即初始化 FIFO 数据水平值，方法是至少在将完整数据载入 I 和 Q DAC 所需的时间段内将 FRAME 信号置位高电平。这相当于字模式下的一个 DCI 周期、字节模式下的两个 DCI 周期和半字节模式下的四个 DCI 周期。

The primary function of the FRAME input is to indicate which DAC the input data is written to. It has a second function: initializing the FIFO data level by holding FRAME high for at least the time needed to load a complete set of data into the I and Q DACs — equivalent to one DCI cycle in word mode, two DCI cycles in byte mode, and four DCI cycles in nibble mode.

要利用 FRAME 信号启动相对 FIFO 复位，器件必须配置为数据速率模式（寄存器 0x10[6]）。在数据速率模式下置位 FRAME 时，写指针将在下次读指针变为 0 时设置为 4（默认值，或者设置为 FIFO 起始水平）（见图 25）。

To use the FRAME signal to initiate a relative FIFO reset, the device must be configured for data-rate mode (register 0x10[6]). When FRAME is asserted in data-rate mode, the write pointer is set to 4 (default, or the FIFO start level) the next time the read pointer becomes 0 (see Figure 25).

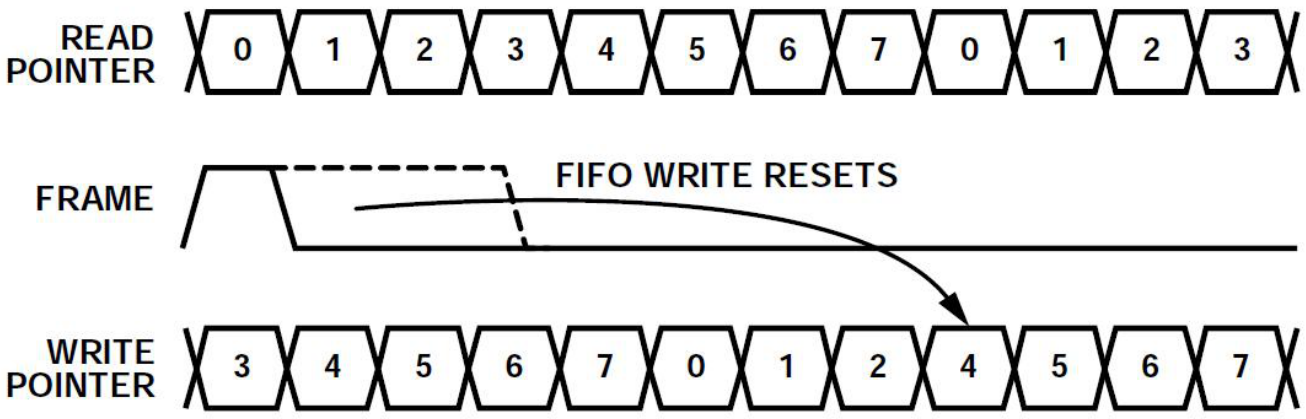


Figure 25: FRAME 输入与写指针值的关系（数据速率模式） / FRAME input vs. write-pointer value (data-rate mode)

4.3 FRAME 启动的绝对 FIFO 复位 / 4.3 FRAME-Initiated Absolute FIFO Reset

在 FIFO 速率同步模式下，REFCLK/SYNC 信号用于将 FIFO 读指针复位到地址 0。用于采样 SYNC 信号的 DAC 时钟边沿由寄存器 0x10 的位 3 选择。FRAME 信号用于复位 FIFO 写指针。在 FIFO 速率同步模式下，至少在将完整数据载入 I 和 Q DAC 所需的时间段内需将 FRAME 信号置位高电平，然后 FIFO 写指针立即复位。FIFO 写指针复位为寄存器 0x17 中 FIFO 相位偏移[2:0]的值。FIFO 速率同步通过将寄存器 0x10 的位 6 设置为 0 进行选择（见图 26）。

In FIFO-rate synchronization mode, the REFCLK/SYNC signal resets the FIFO read pointer to address 0. The DAC clock edge used to sample the SYNC signal is selected by bit 3 of register 0x10. The FRAME signal resets the FIFO write pointer: in FIFO-rate sync mode, FRAME must be held high for at least the time needed to load a complete set of data into the I and Q DACs, after which the FIFO write pointer resets immediately to the FIFO phase offset[2:0] value in register 0x17. FIFO-rate synchronization is selected by setting bit 6 of register 0x10 to 0 (see Figure 26).

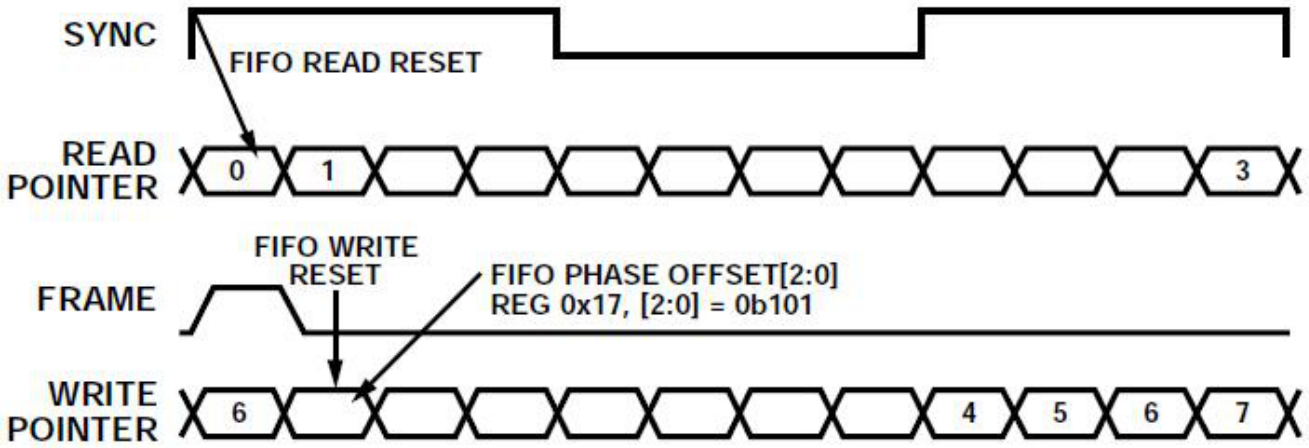


Figure 26: FRAME 输入与写指针值的关系（FIFO 速率模式）/ FRAME input vs. write-pointer value (FIFO-rate mode)

4.4 FIFO 状态监控 / 4.4 FIFO Status Monitoring

可以从寄存器 0x18 读取 FIFO 初始化和状态。此寄存器提供有关 FIFO 初始化方法及初始化是否成功的信息。寄存器 0x18 的 MSB 是 FIFO 警告标志位，可以选择让它触发一个器件 IRQ。此标志位指示 FIFO 接近为空（FIFO 水平等于 1）或溢出（FIFO 水平等于 7），意味着数据可能很快就会损坏，应当采取措施。

FIFO initialization and status can be read from register 0x18, which reports the FIFO initialization method and whether initialization succeeded. The MSB of register 0x18 is a FIFO warning flag that can optionally trigger a device IRQ; it indicates the FIFO is nearly empty (FIFO level = 1) or overflowing (FIFO level = 7), meaning data may soon be corrupted and action should be taken.

FIFO 数据水平可以随时从寄存器 0x19 读取。串行端口报告的 FIFO 数据水平表示为在绝对读计数器为 0 时写计数器状态的 7 位温度计编码。因此，最佳 FIFO 数据水平 4 在状态寄存器中报告的值为 00001111。应当注意，根据 DCI 与主 DACCLK 之间的时序关系不同，FIFO 水平值可能有±1 的出入。因此，读写指针的差值至少应为 2。

The FIFO data level can be read from register 0x19 at any time. The serial-port-reported FIFO data level is expressed as a 7-bit thermometer code of the write-counter state when the absolute read counter is 0; thus the optimal FIFO data level of 4 is reported as 00001111 in the status register. Note that the FIFO level

value may vary by ±1 depending on the timing relationship between DCI and the main DACCLK, so the read/write pointer difference should be at least 2.

5、接口时序 / 5. Interface Timing

数字接口端口的时序图如图 27 所示。数据总线的采样点出现在 DCI 信号各边沿后的 350 ps（标称值）时，并且具有±300ps 的不确定性，如图 27 中的采样间隔所示。在该采样间隔内，DATA 和 FRAME 信号必须一直有效。在采样间隔之间，DATA 和 FRAME 信号可以随时改变。

The digital interface port timing is shown in Figure 27. Data-bus sampling points occur 350 ps (nominal) after each DCI edge with ±300 ps of uncertainty, as shown by the sampling intervals in Figure 27. DATA and FRAME signals must remain valid throughout the sampling interval and may change at any time between sampling intervals.

相对于边沿的建立（tS）和保持（tH）时间如图 27 中所示。最短建立和保持时间如表 4 所示。

Setup (tS) and hold (tH) times relative to the edge are shown in Figure 27; minimum setup and hold times are listed in Table 4.

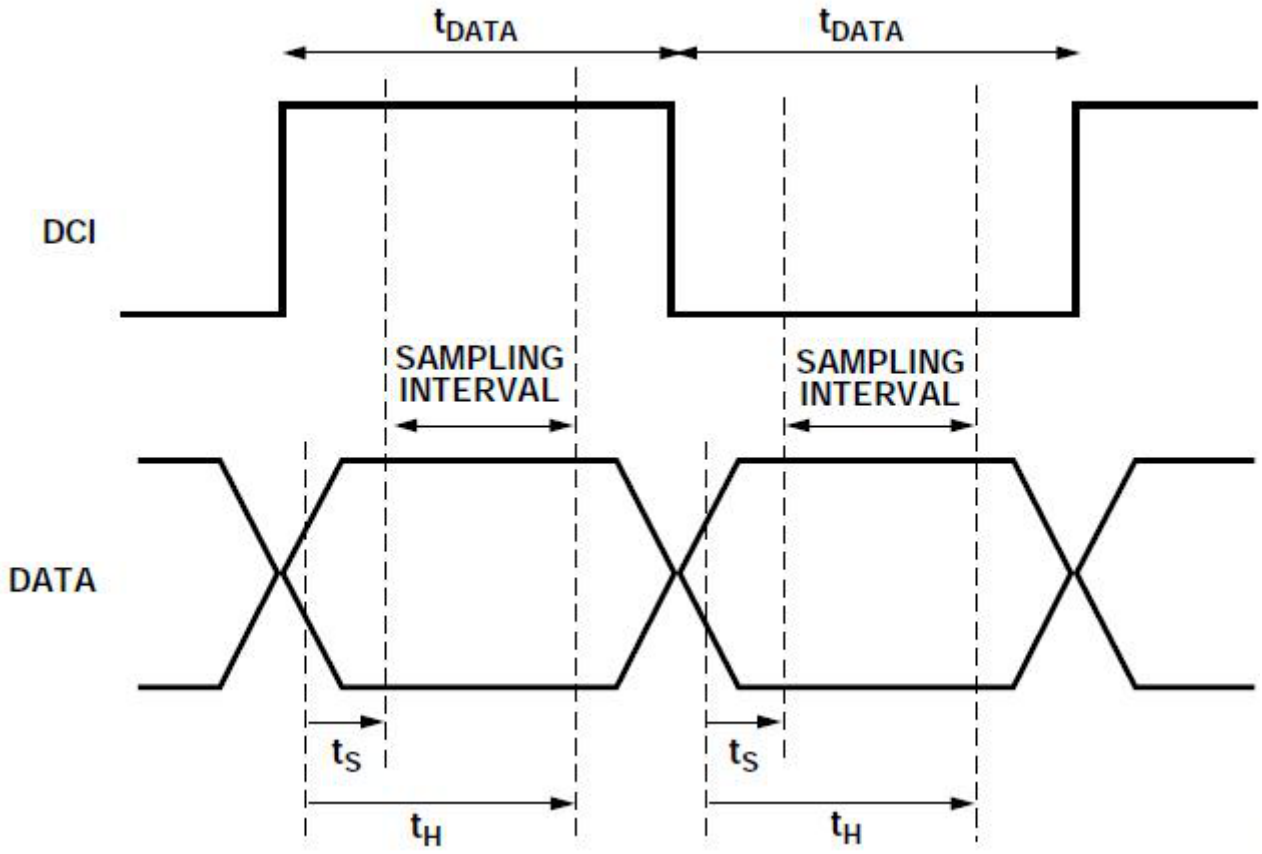


Figure 27: 输入数据端口时序图 / Input data port timing diagram

表 4 DATA 至 DCI 建立和保持时间与 DCI 延迟值的关系 / Table 4 DATA-to-DCI Setup/Hold Times vs. DCI Delay Setting

DCI_DELAY 寄存器 0x16 位[1:0] / DCI_DELAY, register 0x16 bits[1:0]	最短建立时间(tS)ns / Min setup time (tS), ns	最短保持时间(tH)ns / Min hold time (tH), ns	采样间隔 ns / Sampling window, ns
00	-0.05	0.65	0.60
01	-0.23	0.95	0.72
10	-0.38	1.22	0.84
11	-0.47	1.38	0.91

在数据速率模式下，除了表 5 所示的 DCI 至 DATA 时序要求外，还必须满足 DCI 与 DACCLK 之间的第二时序约束条件。数据速率模式仅使用一个 FIFO 槽。DCI 至 DACCLK 时序限制的目的是防止数据同时写入和读出该 FIFO 槽。DCI 与 DACCLK 之间的时序要求如图 28 所示。

In data-rate mode, a second timing constraint between DCI and DACCLK must be met in addition to the DCI-to-DATA timing requirements of Table 5. Data-rate mode uses only one FIFO slot; the DCI-to-DACCLK timing restriction prevents simultaneous writes to and reads from that FIFO slot. The DCI-to-DACCLK timing requirements are shown in Figure 28.

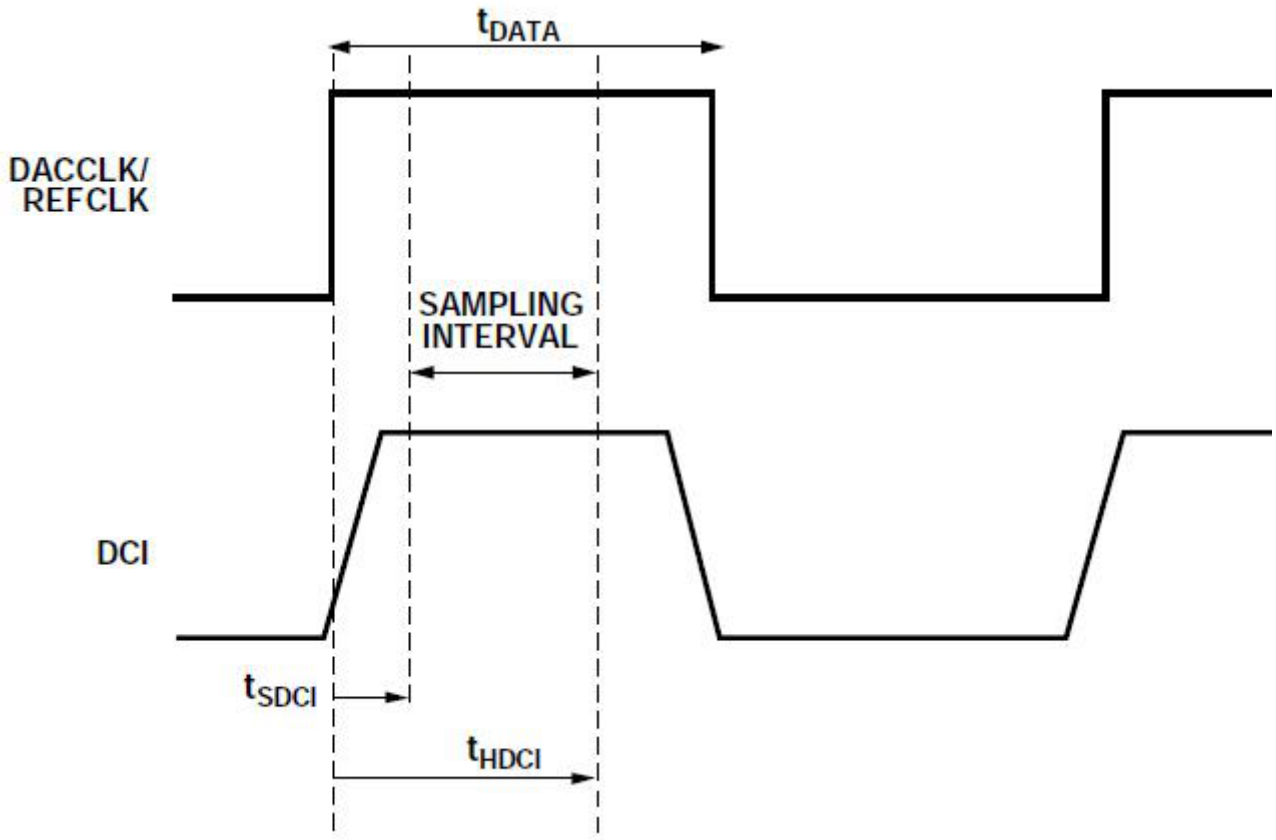


Figure 28: 输入数据端口时序图（数据速率模式） / Input data port timing diagram (data-rate mode)

表 5 DCI 至 DACCLK 建立和保持时间与 DCI 延迟值的关系 / Table 5 DCI-to-DACCLK Setup/Hold Times vs. DCI Delay Setting

DCI_DELAY 寄存器 0x16 位[1:0] / DCI_DELAY, register 0x16 bits[1:0]	最短建立时间(tS)ns / Min setup time (tS), ns	最短保持时间(tH)ns / Min hold time (tH), ns	采样间隔 ns / Sampling window, ns
00	-0.07	0.82	0.75
01	-0.24	1.13	0.89
10	-0.39	1.40	1.01
11	-0.49	1.55	1.06

6、数字数据路径 / 6. Digital Datapath

图 29 显示了数字数据路径的功能框图。数字处理包括预调制模块、三个半带插值滤波器、带高分辨率 NCO 的正交调制器、相位和失调调整模块，以及反 sinc 滤波器。

Figure 29 shows the functional block diagram of the digital datapath. Digital processing includes a pre-modulation block, three half-band interpolation filters, a quadrature modulator with high-resolution NCO, phase and offset adjustment blocks, and an inverse-sinc filter.

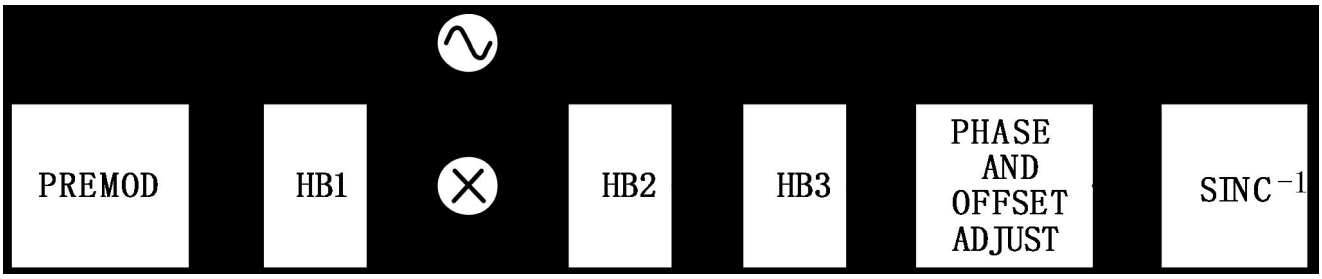


Figure 29: 数字数据路径框图 / Digital datapath block diagram

数字数据路径接受 I 和 Q 数据流，并将它们当作正交数据流进行处理。当输入数据流表示为复数数据时，可以使用这些信号处理模块。

The digital datapath accepts I and Q data streams and processes them as quadrature data streams. These signal-processing blocks can be used when the input data streams represent complex data.

该数据路径也可以用来处理一个代表两个独立实数数据的输入数据流，但功能会略受限制。预调制模块可以像在任何非偏移插值滤波器模式下一样使用。

The datapath can also process an input data stream representing two independent real data streams, with slightly limited functionality. The pre-modulation block can be used as in any non-shifted interpolation filter mode.

6.1 预调制 / 6.1 Pre-Modulation

半带插值滤波器具有可选的通带，中心频率能以输入数据速率的一半为增量移动。预调制模块对输入波形进行数字上变频，幅度为输入数据速率（fDATA）的一半。这样就可以将基带输入数据频移到插值滤波器通带的中心。

The half-band interpolation filters have selectable passbands whose center frequency moves in increments of half the input data rate. The pre-modulation block digitally upconverts the input waveform

by half the input data rate (fDATA), shifting baseband input data to the center of the interpolation filter passband.

6.2 插值滤波器 / 6.2 Interpolation Filters

发射路径包括三个插值滤波器，各插值滤波器都将输出数据速率提高 2 倍。这些半带（HB）滤波器可以分别进行旁路或级联，以提供 1 倍、2 倍、4 倍或 8 倍的插值比。各半带滤波器级提供不同的带宽与工作模式组合。

The transmit path includes three interpolation filters, each doubling the output data rate. These half-band (HB) filters can be individually bypassed or cascaded to provide interpolation ratios of 1x, 2x, 4x, or 8x. Each half-band filter stage offers different bandwidth and operating-mode combinations.

三个半带滤波器相对于滤波器输入端数据速率的带宽如下： The bandwidths of the three half-band filters relative to each filter's input data rate are:

- HB1 带宽=0.8×fIN1 / HB1 bandwidth = 0.8×fIN1
- HB2 带宽=0.5×fIN2 / HB2 bandwidth = 0.5×fIN2
- HB3 带宽=0.4×fIN3 / HB3 bandwidth = 0.4×fIN3

可用带宽定义为滤波器通带纹波小于±0.001 dB 且镜像抑制大于+85 dB 的频率范围。决定滤波器可用带宽的通常是镜像抑制性能，而不是通带平坦度。

Usable bandwidth is defined as the frequency range over which filter passband ripple is less than ±0.001 dB and image rejection is greater than +85 dB. Usable filter bandwidth is usually determined by image-rejection performance rather than passband flatness.

半带滤波器具有多种工作模式，可以提供可编程通带中心频率和信号调制功能。HB1 滤波器有四种工作模式，而 HB2 和 HB3 滤波器各有八种工作模式。

The half-band filters offer multiple operating modes providing programmable passband center frequency and signal modulation. The HB1 filter has four operating modes, while the HB2 and HB3 filters each have eight.

6.2.1 半带滤波器 1（HB1） / 6.2.1 Half-Band Filter 1 (HB1)

HB1 有四种工作模式，如图 30 所示。各种模式下的滤波器响应曲线完全相同。这四种模式通过两个因素来区别：滤波器中心频率以及滤波器是否调制输入信号。

HB1 has four operating modes, as shown in Figure 30. The filter response curves are identical in all modes; the four modes differ by two factors: filter center frequency and whether the filter modulates the input signal.

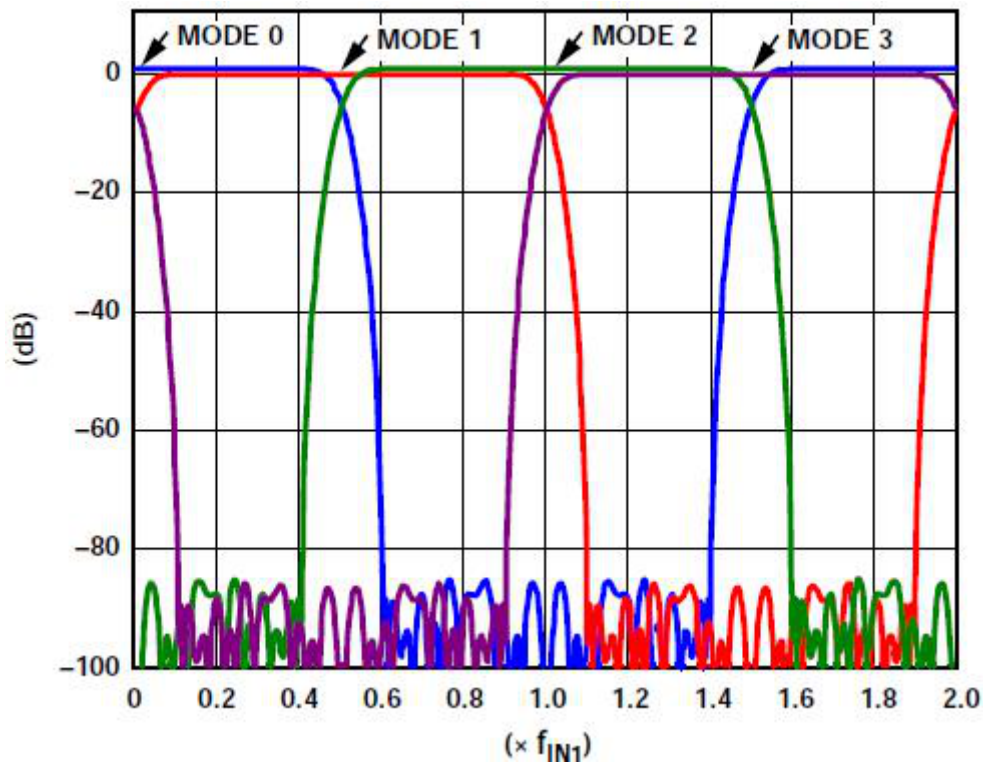


Figure 30: HB1 滤波器模式 / HB1 filter modes

如图 30 所示，各种模式下的中心频率偏移滤波器输入数据速率（fIN1）的一半。模式 0 和模式 1 不调制输入信号。模式 2 和模式 3 用 fIN1 调制输入信号。在模式 0 和模式 2 下工作时，I 和 Q 路径独立工作，且两个通道的数据不发生混合。在模式 1 和模式 3 下工作时，I 和 Q 路径的数据发生混合；因此，输入滤波器的数据被认为是复数数据。表 6 概述了 HB1 的各种模式。

As shown in Figure 30, the center frequencies in the various modes are offset by half the filter input data rate (fIN1). Modes 0 and 1 do not modulate the input signal; modes 2 and 3 modulate the input signal with fIN1. In modes 0 and 2, the I and Q paths operate independently without mixing data between channels; in modes 1 and 3, I- and Q-path data are mixed, so the filter input data is treated as complex. Table 6 summarizes the HB1 modes.

表 6 HB1 滤波器模式汇总 / Table 6 HB1 Filter Mode Summary

模式 / Mode	fCENTER	fMOD	输入数据 / Input Data
0	DC	无 / None	实数或复数 / Real or complex
1	fIN/2	无 / None	复数 / Complex
2	fIN	fIN	实数或复数 / Real or complex
3	3fIN/2	fIN	复数 / Complex

图 31 显示了 HB1 的通带滤波器响应性能。大多数应用中，滤波器的可用带宽受限于阻带抑制所提供的镜像抑制性能，而不是通带平坦度。表 7 显示了 HB1 滤波器在不同带宽下支持的通带平坦度和阻带抑制。

Figure 31 shows the HB1 passband filter response. In most applications, usable filter bandwidth is limited by the image rejection provided by stopband rejection rather than passband flatness. Table 7 shows the passband flatness and stopband rejection supported by the HB1 filter at various bandwidths.

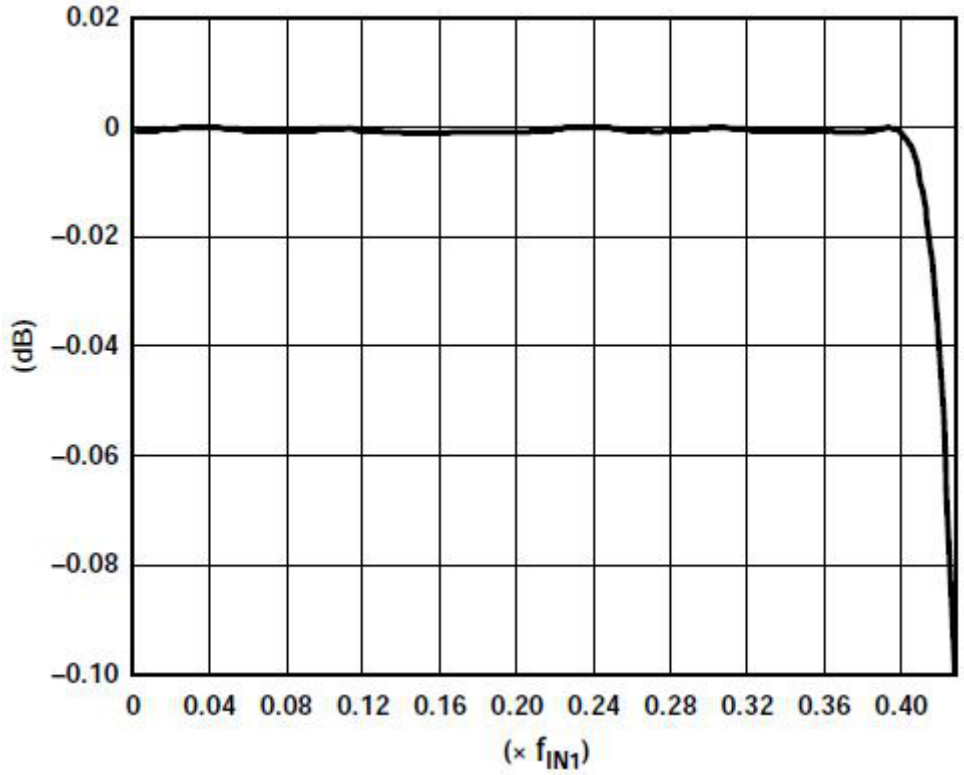


Figure 31: HB1 的通带详情 / HB1 passband detail

表 7 不同带宽下 HB1 通带和阻带性能 / Table 7 HB1 Passband and Stopband Performance vs. Bandwidth

带宽（fIN1 的%）/ Bandwidth (% of fIN1)	通带平坦度(dB) / Passband flatness (dB)	阻带抑制(dB) / Stopband rejection (dB)
80	0.001	85
80.4	0.0012	80
81.2	0.0033	70
82	0.0076	60
83.6	0.0271	50
85.6	0.1096	40

7.2.2 半带滤波器 2（HB2）/ 7.2.2 Half-Band Filter 2 (HB2)

HB2 有八种工作模式，如图 32 和图 33 所示。各种模式下的滤波器响应曲线完全相同。这八种模式通过两个因素来区别：滤波器中心频率以及滤波器是否调制输入信号。

HB2 has eight operating modes, as shown in Figures 32 and 33. The filter response curves are identical in all modes; the eight modes differ by two factors: filter center frequency and whether the filter modulates the input signal.

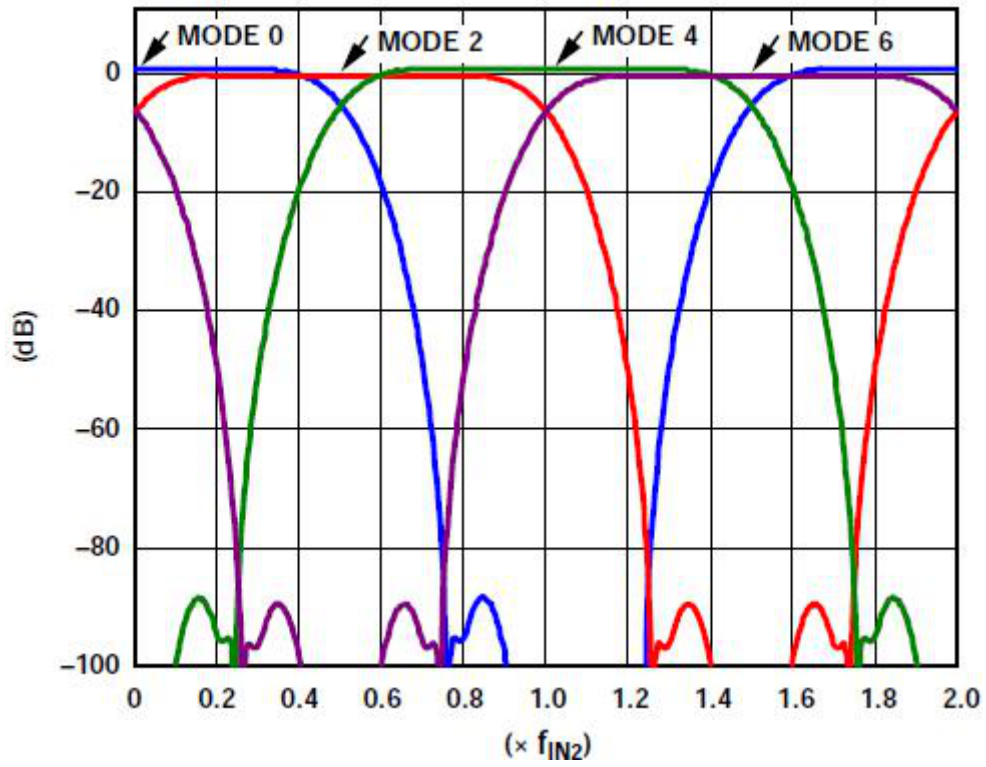


Figure 32: HB2 偶数滤波器模式 / HB2 even filter modes

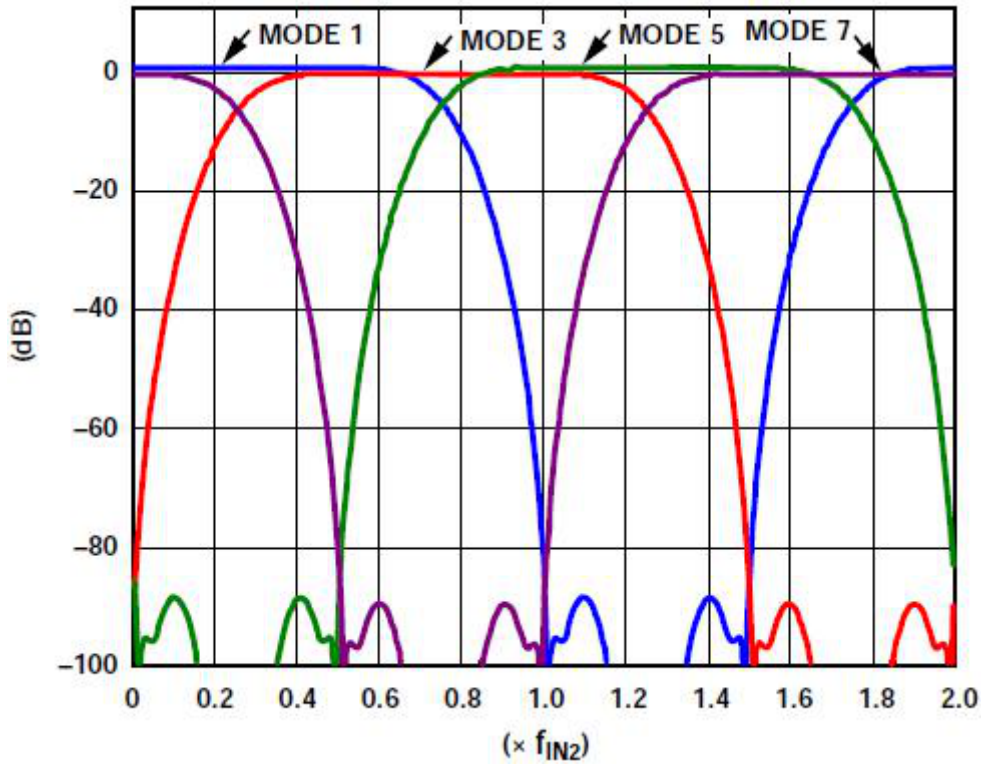


Figure 33: HB2 奇数滤波器模式 / HB2 odd filter modes

如图 32 和图 33 所示，各种模式下的中心频率偏移滤波器输入数据速率（fIN2）的¼。模式 0 至模式 3 不调制输入信号。模式 4 至模式 7 用 fIN2 调制输入信号。在模式 0 和模式 4 下工作时，I 和 Q 路径独立工作，且两个通道的数据不发生混合。在其它六种模式下工作时，I 和 Q 路径的数据发生混合；因此，输入滤波器的数据被认为是复数数据。

As shown in Figures 32 and 33, the center frequencies in the various modes are offset by ¼ of the filter input data rate (fIN2). Modes 0 through 3 do not modulate the input signal; modes 4 through 7 modulate it with fIN2. In modes 0 and 4, the I and Q paths operate independently without mixing; in the other six modes, I- and Q-path data are mixed, so the filter input data is treated as complex.

表 8 HB2 和 HB3 滤波器模式汇总 / Table 8 HB2 and HB3 Filter Mode Summary

模式 / Mode	fCENTER	fMOD	输入数据 / Input Data
0	DC	无 / None	实数或复数 / Real or complex
1	fIN/4	无 / None	复数 / Complex
2	fIN/2	无 / None	复数 / Complex
3	3fIN/4	无 / None	复数 / Complex
4	fIN	fIN	实数或复数 / Real or complex
5	5fIN/4	fIN	复数 / Complex
6	3fIN/2	fIN	复数 / Complex
7	7fIN/4	fIN	复数 / Complex

图 34 显示了 HB2 的通带滤波器响应性能。大多数应用中，滤波器的可用带宽受限于阻带抑制所提供的镜像抑制性能，而不是通带平坦度。表 9 显示了 HB2 滤波器在不同带宽下支持的通带平坦度和阻带抑制。

Figure 34 shows the HB2 passband filter response. In most applications, usable filter bandwidth is limited by the image rejection provided by stopband rejection rather than passband flatness. Table 9 shows the passband flatness and stopband rejection supported by the HB2 filter at various bandwidths.

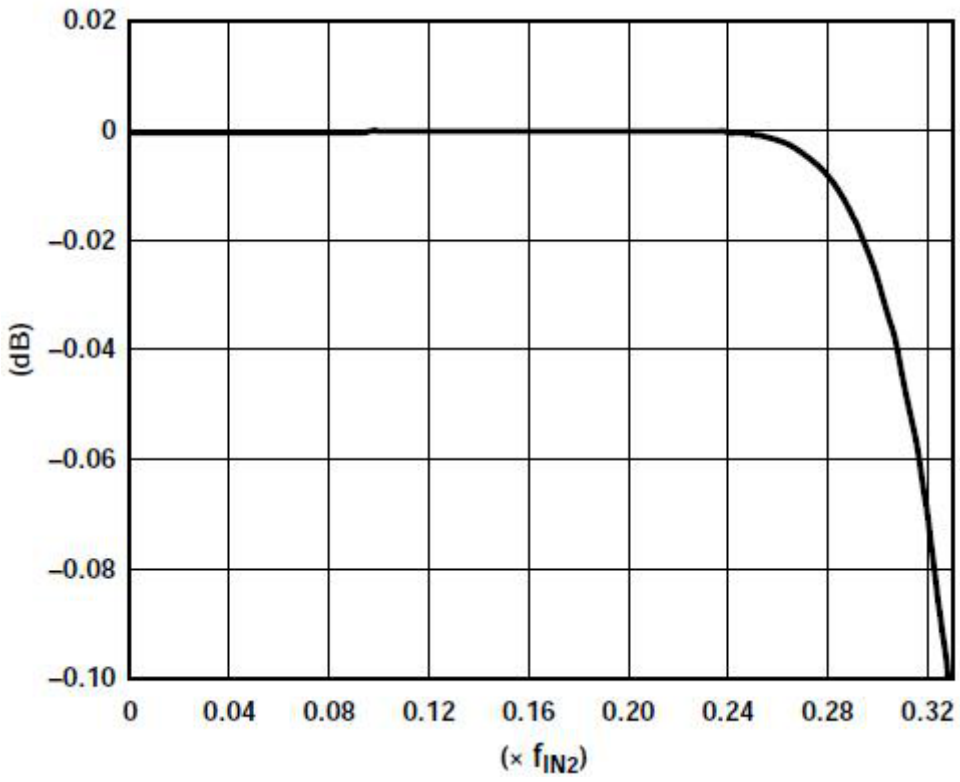


Figure 34: HB2 的通带详情 / HB2 passband detail

表 9 不同带宽下 HB2 通带和阻带性能 / Table 9 HB2 Passband and Stopband Performance vs. Bandwidth

带宽（fIN2 的%）/ Bandwidth (% of fIN2)	通带平坦度(dB) / Passband flatness (dB)	阻带抑制(dB) / Stopband rejection (dB)
50	0.0010	85
50.8	0.0012	80
52.8	0.0028	70
56	0.0089	60
60	0.0287	50
64.8	0.1877	40

7.2.3 半带滤波器 3（HB3）/ 7.2.3 Half-Band Filter 3 (HB3)

HB3 有八种工作模式，功能与 HB2 相同。HB2 与 HB3 的主要区别在于滤波器带宽。

HB3 has eight operating modes with the same functionality as HB2. The main difference between HB2 and HB3 is filter bandwidth.

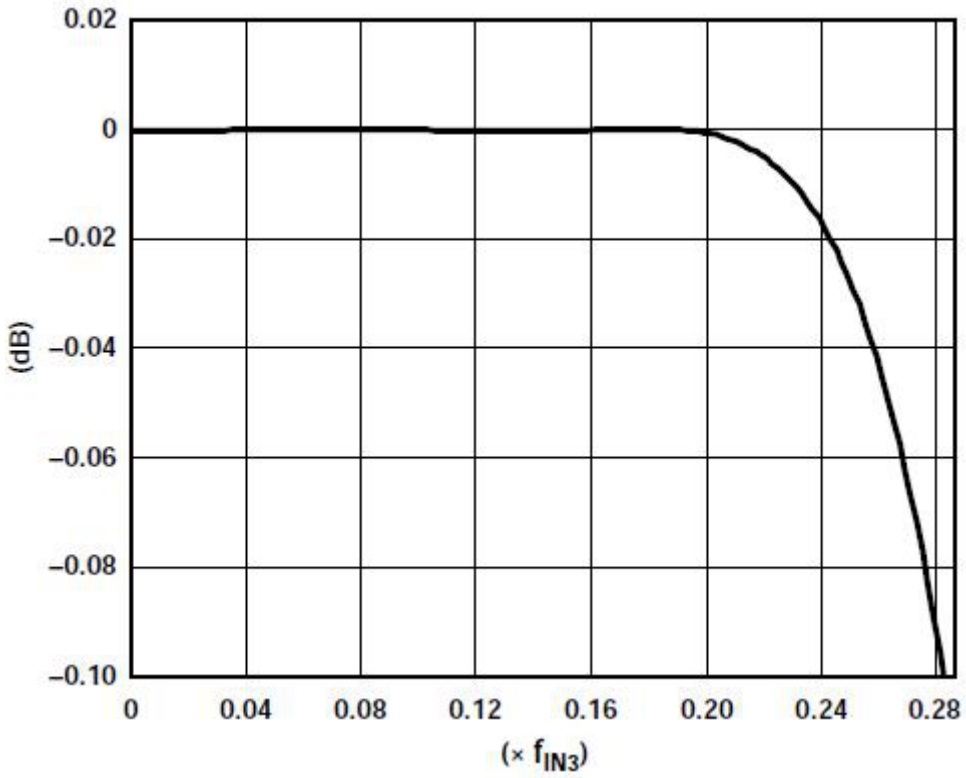


Figure 35: HB3 的通带详情 / HB3 passband detail

图 35 显示了 HB3 的通带滤波器响应性能。大多数应用中，滤波器的可用带宽受限于阻带抑制所提供的镜像抑制性能，而不是通带平坦度。表 10 显示了 HB3 滤波器在不同带宽下支持的通带平坦度和阻带抑制。

Figure 35 shows the HB3 passband filter response. In most applications, usable filter bandwidth is limited by the image rejection provided by stopband rejection rather than passband flatness. Table 10 shows the passband flatness and stopband rejection supported by the HB3 filter at various bandwidths.

表 10 不同带宽下 HB1 通带和阻带性能 / Table 10 HB1 Passband and Stopband Performance vs. Bandwidth

带宽（fIN3 的%）/ Bandwidth (% of fIN3)	通带平坦度(dB) / Passband flatness (dB)	阻带抑制(dB) / Stopband rejection (dB)
40	0.001	85
40.8	0.0014	80
42.4	0.002	70
45.6	0.0093	60
49.8	0.03	50
55.6	0.1	40

6.3 NCO 调制 / 6.3 NCO Modulation

数字正交调制器包括数字控制振荡器、移相器和复数调制器，用于通过一个可编程载波信号调制输入信号。图 36 给出了数字调制器的框图。数字调制器提供的精调制与插值滤波器和预调制模块提供的粗调制相结合，能够以非常高的频率分辨率将信号放在输出频谱中的任何位置。

The digital quadrature modulator comprises a numerically controlled oscillator, a phase shifter, and a complex modulator, used to modulate the input signal with a programmable carrier. Figure 36 shows a block diagram of the digital modulator. Fine modulation from the digital modulator combined with coarse modulation from the interpolation filters and pre-modulation block places the signal anywhere in the output spectrum with very high frequency resolution.

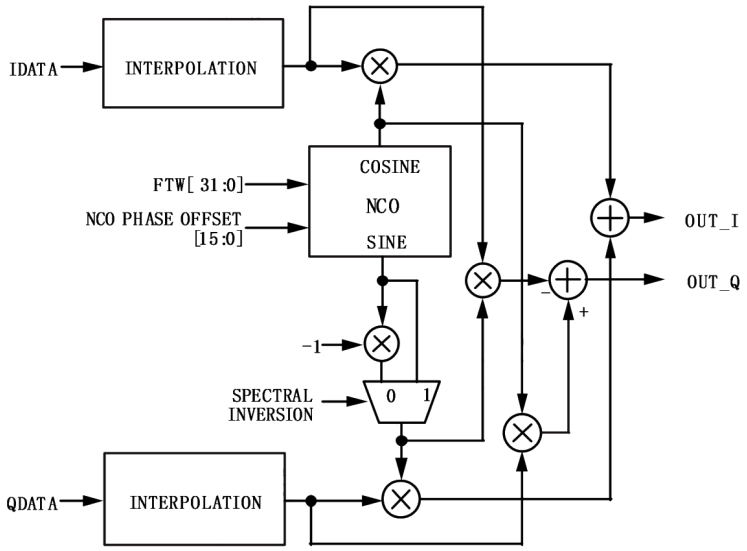


Figure 36: 数字正交调制框图 / Digital quadrature modulation block diagram

正交调制器用于将 NCO 产生的载波信号与 I 和 Q 信号混频。NCO 产生一个正交载波信号，以将输入信号转换到新的中心频率。复载波信号是一对相同频率的正弦波形，彼此错相 90°。复载波信号的频率通过寄存器 0x30 至 0x33 的 FTW [31:0]设置。

The quadrature modulator mixes the NCO-generated carrier with the I and Q signals. The NCO generates a quadrature carrier to translate the input signal to a new center frequency. The complex carrier is a pair of sine waveforms at the same frequency, 90° out of phase with each other. Its frequency is set by FTW[31:0] in registers 0x30 to 0x33.

NCO 工作频率 fNCO 等于 fDATA（旁路 HB1）或两倍的 fDATA（使能 HB1）。复载波信号的频率设置范围是 DC 至 fNCO。频率调谐字（FTW）的计算方法如下： The NCO operating frequency fNCO equals fDATA (HB1 bypassed) or twice fDATA (HB1 enabled). The complex carrier frequency setting range is DC to fNCO. The frequency tuning word (FTW) is calculated as follows:

FTW = (fCARRIER / fNCO) × 2^32

所产生的正交载波信号与 I 和 Q 数据混频。然后，正交积相加并进入 I 和 Q 数据路径。

The resulting quadrature carrier is mixed with the I and Q data; the quadrature products are then summed into the I and Q datapaths.

6.4 更新频率调谐字 / 6.4 Updating the Frequency Tuning Word

与其它配置寄存器不同，频率调谐字寄存器不是在写入后立即更新。FTW 寄存器加载所需的值后，要使新的 FTW 生效，寄存器 0x36 的位必须从 0 变为 1。

Unlike other configuration registers, the frequency tuning word registers do not update immediately upon being written. After loading the desired value into the FTW registers, the bit in register 0x36 must transition from 0 to 1 for the new FTW to take effect.

6.5 数据路径配置 / 6.5 Datapath Configuration

SXD033 数据路径的配置首先是从输入数据速率、插值比、输出信号带宽和输出信号中心频率的应用要求开始的。

Configuring the SXD033 datapath starts from the application requirements: input data rate, interpolation ratio, output signal bandwidth, and output signal center frequency.

知道这四个参数之后，配置数据路径的第一步是检查器件是否支持带宽要求。第二步是选择插值滤波器的模式。最后一步是确定所有其它频率偏移要求，并应用于预调制和 NCO 调制。

With these four parameters known, the first step is to check whether the device supports the bandwidth requirement; the second step is to select the interpolation filter modes; the final step is to determine all other frequency-shift requirements and apply them to pre-modulation and NCO modulation.

6.6 确定数据路径信号带宽 / 6.6 Determining Datapath Signal Bandwidth

数据路径的可用信号带宽取决于输出信号的中心频率与所用插值滤波器的中心频率之间的关系。如果信号中心频率偏离半带滤波器的中心频率，则可用信号带宽会降低。当配置正确时，2 倍插值的可用复数信号带宽始终为输入数据速率的 80%。4 倍插值的可用信号带宽随输出频率变化而变化，范围为输入数据速率的 50%到 80%，如图 37 所示。请注意，在 4 倍插值模式下，fDAC=4×fDATA；因此，从 DC 到 fDAC，图 37 所示的数据会重复四次。

Usable datapath signal bandwidth depends on the relationship between the output signal center frequency and the center frequency of the interpolation filters used. Usable signal bandwidth decreases if the signal center frequency deviates from the half-band filter center frequency. When configured correctly, usable complex signal bandwidth for 2x interpolation is always 80% of the input data rate. For 4x interpolation it varies with output frequency from 50% to 80% of the input data rate, as shown in Figure

37. Note that in 4x interpolation mode fDAC=4×fDATA, so the Figure 37 data repeats four times from DC to fDAC.

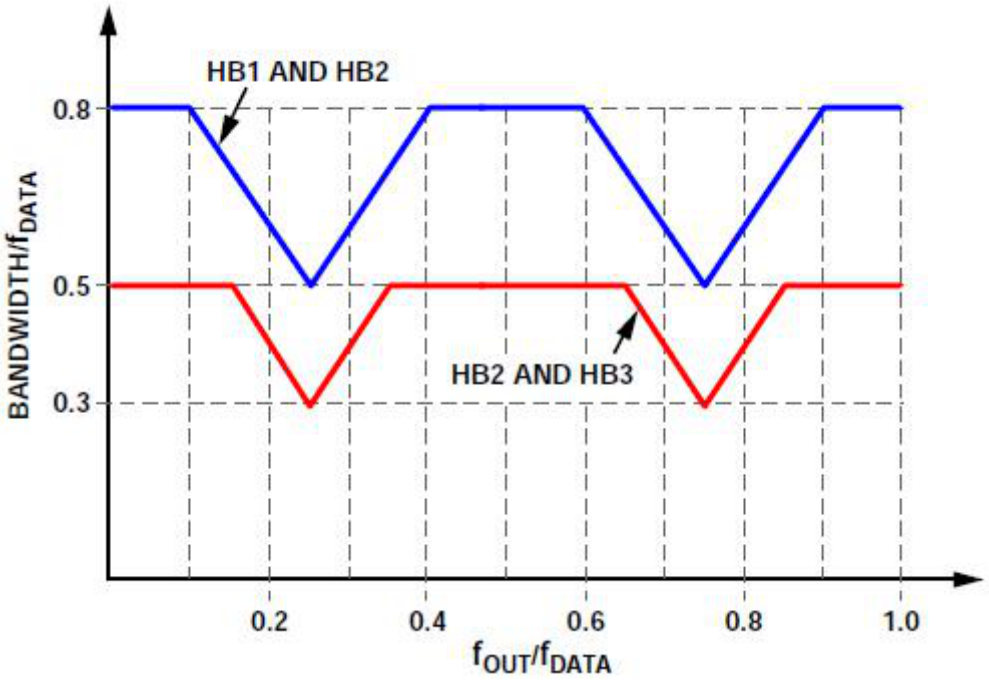


Figure 37: 信号带宽与输出信号中心频率的关系（4 倍插值）/ Signal bandwidth vs. output center frequency (4x interpolation)

利用 HB2 和 HB3 滤波器配置 4 倍插值时，器件的功耗有所下降，但带宽会受损。图 37 中的下部曲线表明：该模式下支持的带宽在 fDATA 的 30%到 50%范围内变化。

Configuring 4x interpolation with the HB2 and HB3 filters reduces device power dissipation at the expense of bandwidth; the lower curve in Figure 37 shows supported bandwidth varying from 30% to 50% of fDATA in this mode.

8 倍插值的可用信号带宽随输出频率变化而变化，范围为输入数据速率的 50%到 80%，如图 38 所示。请注意，在 8 倍插值模式下，fDAC=8×fDATA。因此，从 DC 到 fDAC，图 38 所示的数据会重复八次。

For 8x interpolation, usable signal bandwidth varies with output frequency from 50% to 80% of the input data rate, as shown in Figure 38. Note that in 8x interpolation mode fDAC=8×fDATA, so the Figure 38 data repeats eight times from DC to fDAC.

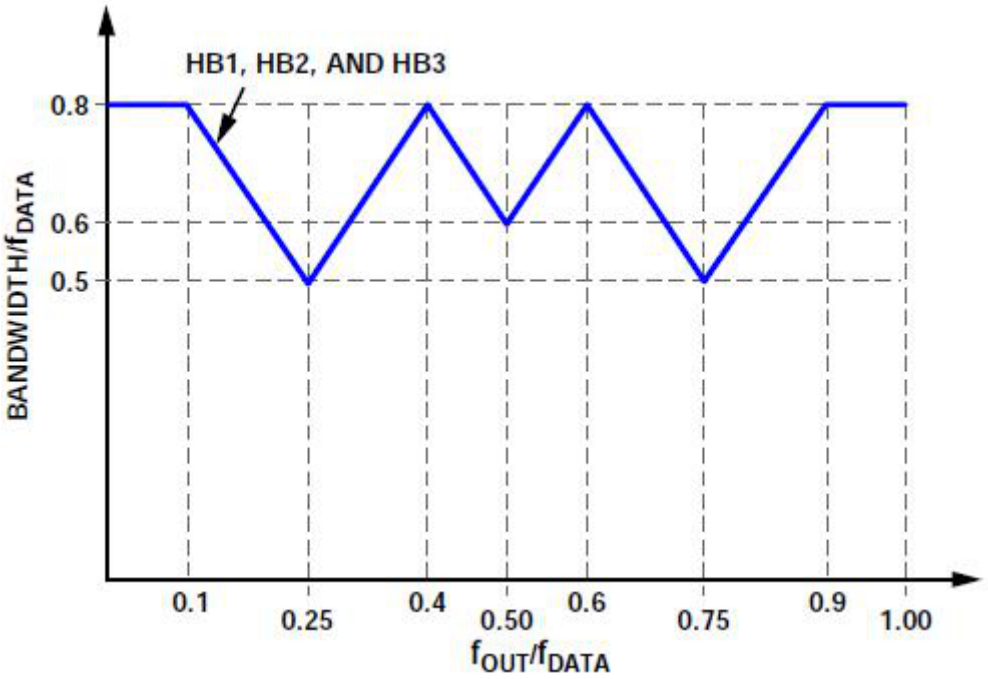


Figure 38: 信号带宽与输出信号中心频率的关系（8 倍插值）/ Signal bandwidth vs. output center frequency (8x interpolation)

6.7 确定插值滤波器模式 / 6.7 Determining Interpolation Filter Modes

表 11 列出了不同滤波器插值系数、滤波器中心频率和信号调制下的推荐插值滤波器设置。插值模式是根据信号的最终中心频率和所需的信号频移来选择的。知道这些参数并用输入数据速率（fDATA）表示后，便可从表 11 中选择最匹配。

Table 11 lists recommended interpolation filter settings for various filter interpolation factors, filter center frequencies, and signal modulations. The interpolation mode is selected based on the signal's final center frequency and required frequency shift; with these parameters expressed in terms of the input data rate (fDATA), the best match can be chosen from Table 11.

表 11 推荐的插值滤波器模式（寄存器 0x1C 至寄存器 0x1E）/ Table 11 Recommended Interpolation Filter Modes (Registers 0x1C to 0x1E)

插值系数 / Interpolation Factor	滤波器模式 / Filter Mode：HB1[1:0]	HB2[5:0]	HB3[5:0]	fSIGNAL 调制 / fSIGNAL Modulation	fCENTER 频移 / fCENTER Shift
8	00(0)	000000	000000	DC	0
8	01(1)	001001	000000	DC[1]	fDATA/2
8	10(2)	010010	001001	fDATA	fDATA
8	11(3)	011011	001001	fDATA[1]	3fDATA/2
8	00(0)	100100	010010	2fDATA	2fDATA
8	01(1)	101101	010010	2fDATA[1]	5fDATA/2
8	10(2)	110110	011011	3fDATA	3fDATA
8	11(3)	111111	011011	3fDATA[1]	7fDATA/2
8	00(0)	000000	100100	4fDATA	4fDATA

插值系数 / Interpolation Factor	滤波器模式 / Filter Mode：HB1[1:0]	HB2[5:0]	HB3[5:0]	fSIGNAL 调制 / fSIGNAL Modulation	fCENTER 频移 / fCENTER Shift
8	01(1)	001001	100100	4fDATA[1]	9fDATA/2
8	10(2)	010010	101101	5fDATA	5fDATA
8	11(3)	011011	101101	5fDATA[1]	11fDATA/2
8	00(0)	100100	110110	6fDATA	6fDATA
8	01(1)	101101	110110	6fDATA[1]	13fDATA/2
8	10(2)	110110	111111	7fDATA	7fDATA
8	11(3)	111111	111111	7fDATA[1]	15fDATA/2
4	00(0)	000000	旁路 / Bypass	DC	0
4	01(1)	001001	旁路 / Bypass	DC[1]	fDATA/2
4	10(2)	010010	旁路 / Bypass	fDATA	fDATA
4	11(3)	011011	旁路 / Bypass	fDATA[1]	3fDATA/2
4	00(0)	100100	旁路 / Bypass	2fDATA	2fDATA
4	01(1)	101101	旁路 / Bypass	2fDATA[1]	5fDATA/2
4	10(2)	110110	旁路 / Bypass	3fDATA	3fDATA
4	11(3)	111111	旁路 / Bypass	3fDATA[1]	7fDATA/2
2	00(0)	旁路 / Bypass	旁路 / Bypass	DC	0
2	01(1)	旁路 / Bypass	旁路 / Bypass	DC[1]	fDATA/2
2	10(2)	旁路 / Bypass	旁路 / Bypass	fDATA	fDATA
2	11(3)	旁路 / Bypass	旁路 / Bypass	fDATA[1]	3fDATA/2

注 1：使用 HB1 模式 1 或模式 3 时，使能预调制可将输入信号再频移 fDATA/2，从而使基带输入信号位于滤波器通带中心。 Note 1: When using HB1 mode 1 or mode 3, enabling pre-modulation shifts the input signal by an additional fDATA/2, centering the baseband input signal in the filter passband. 注 2：不使用 NCO 的 8 倍插值示例中使用了该配置。另请参见"不使用 NCO 的 8 倍插值"部分。 Note 2: This configuration is used in the 8x interpolation example without NCO. See also the "8x Interpolation Without NCO" section. 注 3：使用 NCO 的 4 倍插值示例中使用了该配置。另请参见"使用 NCO 的 4 倍插值"部分。 Note 3: This configuration is used in the 4x interpolation example with NCO. See also the "4x Interpolation With NCO" section.

6.8 不使用 NCO 的 8 倍插值（配置示例 1）/ 6.8 8x Interpolation Without NCO (Configuration Example 1)

已知条件如下： Given conditions:

fDATA=100 MSPS 8 倍插值 / 8x interpolation fBW=75 MHz fCENTER=100 MHz

所需的 75 MHz 带宽为 fDATA 的 75%。这种情况下，fOUT/fDATA=100/100=1.0。从图 38 可以看出，在 fDATA 时支持的带宽为 0.8，证明 SXD033 支持该配置所需的带宽。信号中心频率为 fDATA，假设输入信号为基带信号，则所需的频移也为 fDATA。选择表 11 中第三行（用数字上标 2 强调显示）时，对应的滤波器模式提供中心频率 fDATA 和频移 fDATA。三个半带滤波器的选定模式为：HB1 使用模式 2；HB2 使用模式 2；而 HB3 使用模式 1。图 39 显示了信号如何通过这些插值滤波器进行传播。由于 2×fIN1=fIN2 且 2×fIN2=fIN3，因此进入各后续级的信号频率似乎缩小一半。输出信号频段为 fIN3（400MHz）的 0.15 至 0.35。因此，支持的输出频率为 60 MHz 至 140 MHz，涵盖所需以 100 MHz 为中心的 75 MHz 带宽。

The required 75 MHz bandwidth is 75% of fDATA. Here fOUT/fDATA = 100/100 = 1.0. Figure 38 shows supported bandwidth of 0.8 at fDATA, proving the SXD033 supports the bandwidth required by this configuration. The signal center frequency is fDATA; assuming a baseband input signal, the required frequency shift is also fDATA. Selecting the third row of Table 11 (highlighted with superscript 2) provides filter modes with center frequency fDATA and shift fDATA. The selected half-band filter modes are: HB1 mode 2, HB2 mode 2, and HB3 mode 1. Figure 39 shows how the signal propagates through these interpolation filters. Since 2×fIN1=fIN2 and 2×fIN2=fIN3, the signal frequency appears to halve entering each subsequent stage. The output signal band is 0.15 to 0.35 of fIN3 (400 MHz), so supported output frequencies are 60 MHz to 140 MHz, covering the required 75 MHz bandwidth centered at 100 MHz.

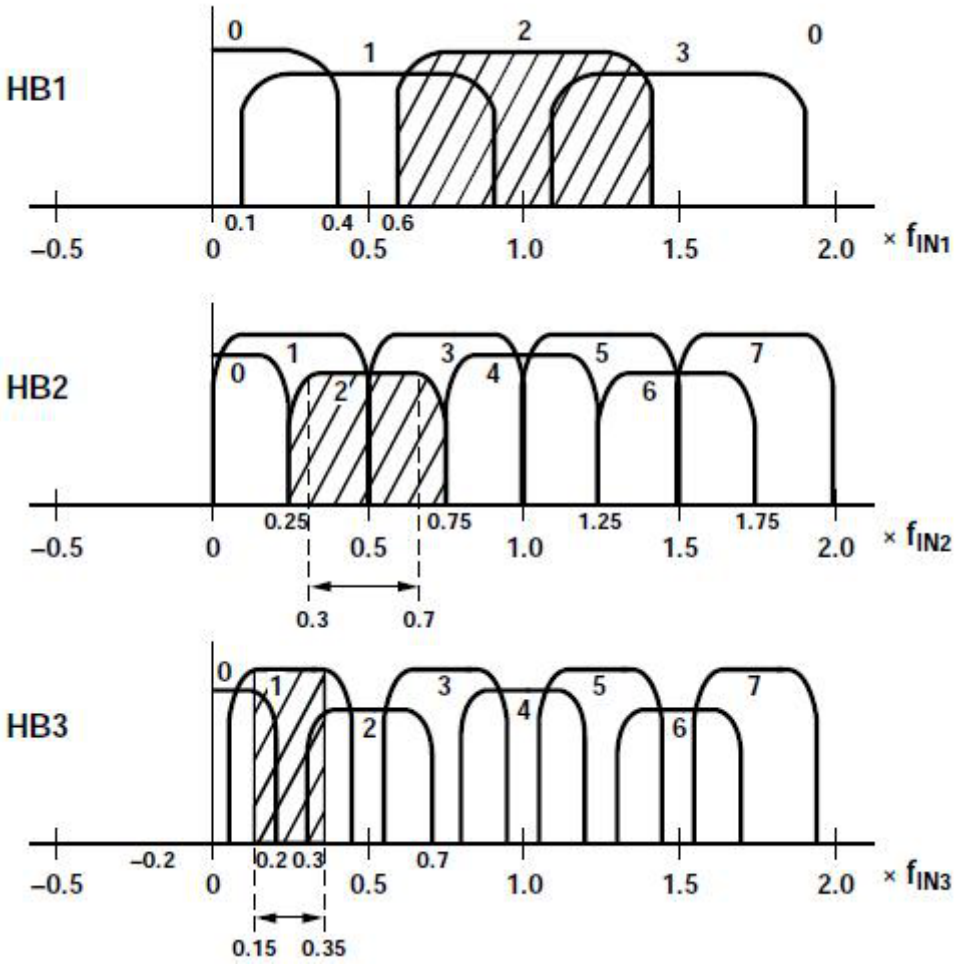


Figure 39: 8 倍插值的信号传播 / Signal propagation for 8x interpolation

6.9 使用 NCO 的 4 倍插值（配置示例 2）/ 6.9 4x Interpolation With NCO (Configuration Example 2)

已知条件如下： Given conditions:

fDATA=250 MSPS 4 倍插值 / 4x interpolation fBW=140 MHz fCENTER=175 MHz

所需的 140 MHz 带宽为 fDATA 的 56%。如图 37 所示，0.7×fDATA 时的值为 0.6，其计算方法为：0.8 − 2(0.7 − 0.6)=0.6。这证明 SXD033 支持 60% fDATA 的带宽，它超过所需值 56%。信号中心频率为 0.7×fDATA，假设输入信号为基带信号，则所需的频移也为 0.7×fDATA。选择表 11 中 4 倍插值部分的第二行（用数字上标 3 强调显示）时，对应的滤波器模式提供 fDATA/2 的中心频率，无频移。三个半带滤波器的选定模式为：HB1 使用模式 1；HB2 使用模式 1；而 HB3 旁路。由于选择了 HB1 的模式 1，因而应使能预调制模块。这样可以提供 fDATA/2 调制，从而让基带输入数据以 HB1 的中心频率为中心。数字调制器可以使用来提供最终频移 0.2×fDATA，以将输出信号放在所需的 0.7×fDATA 位置。

The required 140 MHz bandwidth is 56% of fDATA. As shown in Figure 37, the value at 0.7×fDATA is 0.6, calculated as 0.8 − 2(0.7 − 0.6) = 0.6, proving the SXD033 supports 60% fDATA bandwidth, exceeding the required 56%. The signal center frequency is 0.7×fDATA; assuming a baseband input signal, the required frequency shift is also 0.7×fDATA. Selecting the second row of the 4x interpolation section of Table 11 (highlighted with superscript 3) provides filter modes with fDATA/2 center frequency and no shift. The selected modes are: HB1 mode 1, HB2 mode 1, HB3 bypassed. Since HB1 mode 1 is selected, the pre-modulation block should be enabled, providing fDATA/2 modulation to center the baseband input data at the HB1 center frequency. The digital modulator can then provide the final 0.2×fDATA shift to place the output signal at the desired 0.7×fDATA location.

使用 NCO 时 FTW 的计算公式如下： The FTW calculation with NCO is:

FTW = (fCARRIER / fNCO) × 2^32

其中： where:

fCARRIER = 0.2 × fDATA； fNCO = 2 × fDATA，因此，FTW = 2^32/10。 fNCO = 2 × fDATA; therefore FTW = 2^32/10.

6.10 数据速率与插值模式 / 6.10 Data Rates and Interpolation Modes

表 12 概述了各种总线宽度模式与插值率组合下的最大总线速度（fBUS）、支持的输入数据速率和信号带宽。支持的实信号带宽是输入数据速率的一部分，取决于所选的插值滤波器（HB1、HB2 或 HB3）。支持的复数信号带宽是实信号带宽的两倍。

Table 12 summarizes maximum bus speed (fBUS), supported input data rates, and signal bandwidths for combinations of bus-width modes and interpolation rates. Supported real signal bandwidth is a fraction of the input data rate depending on the selected interpolation filters (HB1, HB2, or HB3); supported complex signal bandwidth is twice the real signal bandwidth.

一般而言，使能 HB1 时能够最好地支持 2 倍插值，而使能 HB1 和 HB2 时能够最好地支持 4 倍插值。某些情况下，不使用 HB1 可以降低功耗。如果所需带宽足够低，则可以通过 HB2 来支持 2 倍插值，而通过 HB2 和 HB3 来支持 4 倍插值。

Generally, enabling HB1 best supports 2x interpolation, while enabling HB1 and HB2 best supports 4x interpolation. In some cases, not using HB1 reduces power dissipation. If the required bandwidth is low enough, 2x interpolation can be supported via HB2, and 4x interpolation via HB2 and HB3.

表 12 不同插值模式下的数据速率和带宽汇总（DVDD18=1.8V±2%）/ Table 12 Data Rate and Bandwidth Summary vs. Interpolation Mode (DVDD18 = 1.8 V ±2%)

总线宽度 / Bus Width	滤波器模式 / Filter Mode：HB3	HB2	HB1	fBUS（Mbps）/ fBUS (Mbps)	fDATA（Mbps）/ fDATA (Mbps)	实信号带宽（MHz）/ Real Signal BW (MHz)	fDAC（MHz）/ fDAC (MHz)
半字节（4 位）/ Nibble (4-bit)	0	0	0	1200	150	75	150
半字节（4 位）/ Nibble (4-bit)	0	0	1	1200	150	60	300
半字节（4 位）/ Nibble (4-bit)	0	1	0	1200	150	37.5	300
半字节（4 位）/ Nibble (4-bit)	0	1	1	1200	150	60	600
半字节（4 位）/ Nibble (4-bit)	1	1	0	1200	150	37.5	600
半字节（4 位）/ Nibble (4-bit)	1	1	1	1200	150	60	1200
字节（8 位）/ Byte (8-bit)	0	0	0	1200	300	150	300
字节（8 位）/ Byte (8-bit)	0	0	1	1200	300	120	600
字节（8 位）/ Byte (8-bit)	0	1	0	1200	300	75	600
字节（8 位）/ Byte (8-bit)	0	1	1	1200	300	120	1200
字节（8 位）/ Byte (8-bit)	1	1	0	1200	300	75	1200
字节（8 位）/ Byte (8-bit)	1	1	1	600	150	60	1200
字（16 位）/ Word (16-bit)	0	0	0	1200	600	300	600
字（16 位）/ Word (16-bit)	0	0	1	900	450	180	900
字（16 位）/ Word (16-bit)	0	1	0	1200	600	150	1200
	0	1	1	600	300	120	1200

总线宽度 / Bus Width	滤波器模式 / Filter Mode：HB3	HB2	HB1	fBUS（Mbps）/ fBUS (Mbps)	fDATA（Mbps）/ fDATA (Mbps)	实信号带宽（MHz）/ Real Signal BW (MHz)	fDAC（MHz）/ fDAC (MHz)
字（16 位）/ Word (16-bit)							
字（16 位）/ Word (16-bit)	1	1	0	600	300	75	1200
字（16 位）/ Word (16-bit)	1	1	1	300	150	60	1200

6.11 正交相位校正 / 6.11 Quadrature Phase Correction

正交相位校正模块的作用是补偿 DAC 之后模拟正交调制器的相位不平衡。如果正交调制器存在相位不平衡，就会出现能量显著的干扰边带。通过调节正交相位调整值，可以优化单边带无线电的镜像抑制性能。

The quadrature phase correction block compensates phase imbalance of the analog quadrature modulator following the DAC. Phase imbalance in the quadrature modulator produces significant interfering sidebands; adjusting the quadrature phase trim optimizes image-rejection performance of single-sideband radios.

通常情况下，I 与 Q 通道之间的角度恰好为 90°。正交相位调整可以改变 I 与 Q 通道之间的角度。当 I 相位调整[9:0]设置为 1000000000b 时，I DAC 输出远离 Q DAC 输出大约 1.75°，两个通道之间的角度变为 91.75°。当 I 相位调整[9:0]设置为 0111111111b 时，I DAC 输出移近 Q DAC 输出大约 1.75°，两个通道之间的角度变为 88.25°。

Normally the angle between the I and Q channels is exactly 90°. Quadrature phase adjustment changes this angle: with I phase adjust[9:0] = 1000000000b, the I DAC output moves away from the Q DAC output by about 1.75°, making the inter-channel angle 91.75°; with I phase adjust[9:0] = 0111111111b, the I DAC output moves toward the Q DAC output by about 1.75°, making the angle 88.25°.

Q 相位调整[9:0]的工作原理与此相同。当 Q 相位调整[9:0]设置为 1000000000b 时，Q DAC 输出远离 I DAC 输出大约 1.75°，两个通道之间的角度变为 91.75°。当 Q 相位调整[9:0]设置为 0111111111b 时，Q DAC 输出移近 I DAC 输出大约 1.75°，两个通道之间的角度变为 88.25°。

Q phase adjust[9:0] works the same way: with Q phase adjust[9:0] = 1000000000b, the Q DAC output moves away from the I DAC output by about 1.75° (angle 91.75°); with 0111111111b, it moves toward it by about 1.75° (angle 88.25°).

基于这两个端点，相位补偿寄存器的综合分辨率约为 3.5°/1024 或每个代码 0.00342°。

Based on these two endpoints, the combined resolution of the phase compensation registers is approximately 3.5°/1024, or 0.00342° per code.

6.12 直流失调校正 / 6.12 DC Offset Correction

通过调整寄存器 0x3C 至 0x3F 的 I DAC 失调[15:0]和 Q DAC 失调[15:0]，可以独立控制 I 数据路径和 Q 数据路径的直流值。这些值直接增加到数据路径值上。应注意不要超过发射值的范围。

The DC values of the I and Q datapaths can be independently controlled by adjusting I DAC offset[15:0] and Q DAC offset[15:0] in registers 0x3C to 0x3F; these values are added directly to the datapath values. Care should be taken not to exceed the transmit value range.

图 40 显示了 DAC 失调电流是如何随着 I DAC 失调[15:0]和 Q DAC 失调[15:0]值变化而变化的。当数字输入固定在中间电平（0x0000，二进制补码数据格式）时，图 40 显示了 DAC 失调值从 0 逐步变到 65535 时的标称 IOUTP 和 IOUTN 电流。IOUTP 和 IOUTN 是互补电流输出，因此二者之和始终是 20 mA。

Figure 40 shows how DAC offset current varies with I DAC offset[15:0] and Q DAC offset[15:0]. With digital input fixed at midscale (0x0000, two's-complement data format), Figure 40 shows nominal IOUTP and IOUTN currents as the DAC offset value steps from 0 to 65535. IOUTP and IOUTN are complementary current outputs, so their sum is always 20 mA.

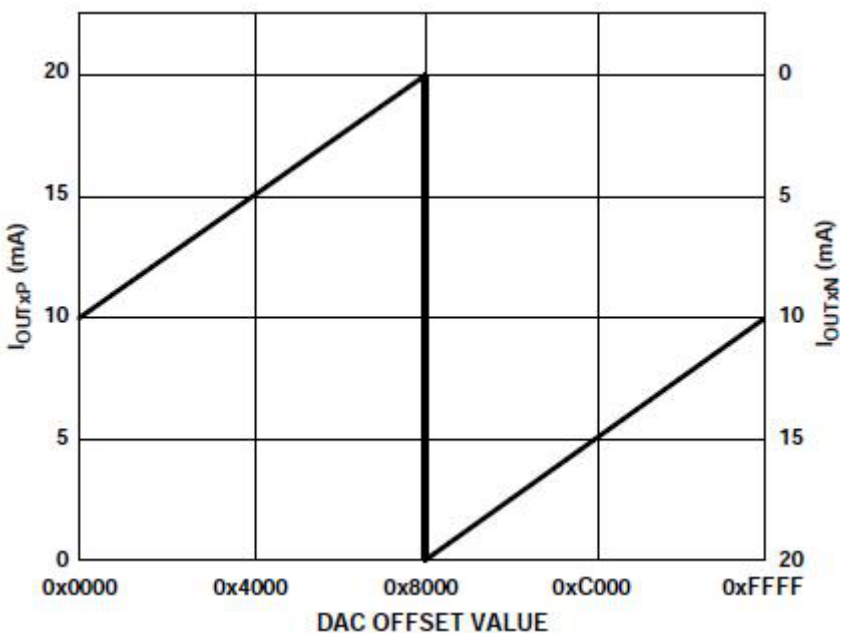


Figure 40: DAC 输出电流与 DAC 失调值得关系 / DAC output current vs. DAC offset value

6.13 反 Sinc 滤波器 / 6.13 Inverse-Sinc Filter

反 sinc（sinc−1）滤波器是一个九抽头 FIR 滤波器。DAC sinc−1 与 sin(x)/x 响应的复合响应如图 41 所示。在最高 0.4×fDACCLK 的频率范围内，复合响应的通带纹波小于±0.05 dB。为在通带的上端提供必要的峰化，所示的反 sinc 滤波器具有约 3.2dB 的内在插入损耗。图 41 显示了复合频率响应性能。

The inverse-sinc (sinc−1) filter is a nine-tap FIR filter. The composite response of DAC sinc−1 and the sin(x)/x response is shown in Figure 41. Over frequencies up to 0.4×fDACCLK, the composite response passband ripple is less than ±0.05 dB. To provide the necessary peaking at the upper end of the passband, the inverse-sinc filter shown has about 3.2 dB of intrinsic insertion loss. Figure 41 shows the composite frequency response.

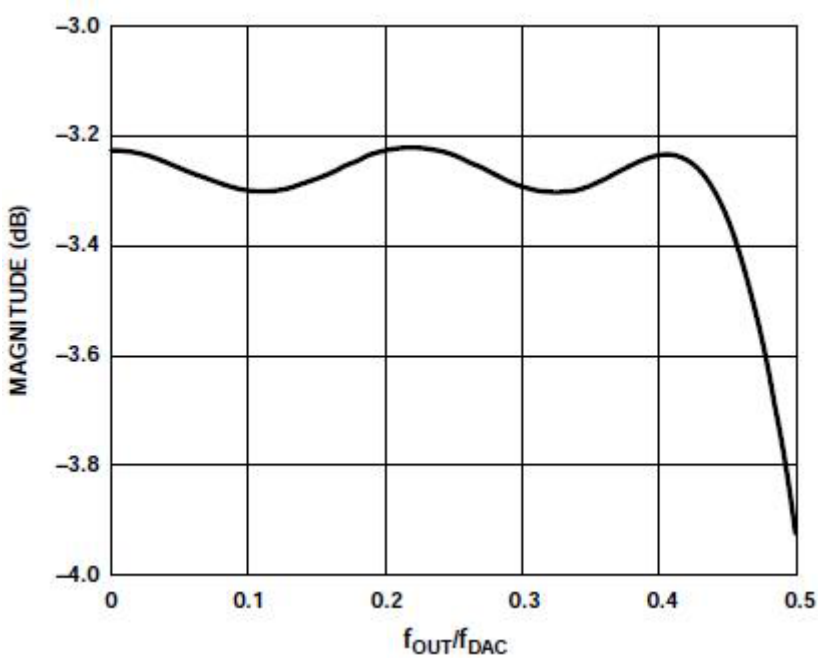


Figure 41: Sinc−1 滤波器和 Sin(x)/x 滚降的采样复合响应 / Sampled composite response of the sinc−1 filter and sin(x)/x roll-off

sinc−1 滤波器默认不使能，可以通过将旁路 sinc−1 位（寄存器 0x1B 的位 6）置 0 来使能。

The sinc−1 filter is disabled by default and can be enabled by setting the bypass-sinc−1 bit (bit 6 of register 0x1B) to 0.

7、DAC 输入时钟配置 / 7. DAC Input Clock Configuration

SXD033 的 DAC 采样时钟（DACCLK）可以直接用作时钟源，也可以在倍频后用作时钟源。时钟倍频涉及到片内锁相环（PLL）。首先，锁相环接受参考时钟，后者频率为所需 DACCLK 速率（通常是数据输入频率）的因数。然后，PLL 将该参考时钟倍频至所需的 DACCLK 频率，这样就可以利用该频率来产生 DAC 所需的全部内部时钟。时钟乘法器所提供的高质量时钟能够满足大部分应用的性能要求。使用片内时钟乘法器可以消除产生和分配高速 DACCLK 的负担。

The SXD033 DAC sampling clock (DACCLK) can be used directly as a clock source or after frequency multiplication. Clock multiplication involves the on-chip phase-locked loop (PLL): the PLL first accepts a reference clock whose frequency is a submultiple of the desired DACCLK rate (usually the data input frequency), then multiplies it to the desired DACCLK frequency, from which all internal clocks required by the DAC are generated. The high-quality clock from the clock multiplier meets the performance requirements of most applications, and using the on-chip clock multiplier eliminates the burden of generating and distributing a high-speed DACCLK.

第二种模式是旁路时钟乘法器电路，而将 DACCLK 直接提供给 DAC 内核。这种模式允许用户将极高质量的时钟直接提供给 DAC 内核使用。在要求极低 DAC 输出噪声的苛刻应用中，特别是在直接合成 150 MHz 以上的信号时，可能需要通过 REFCLKP、REFCLKN、DACCLKP 和 DACCLKN 引脚直接提供 DACCLK。

The second mode bypasses the clock multiplier and provides DACCLK directly to the DAC core, allowing users to supply a very-high-quality clock straight to the DAC core. In demanding applications requiring

extremely low DAC output noise — particularly when directly synthesizing signals above 150 MHz — DACCLK may need to be provided directly via the REFCLKP, REFCLKN, DACCLKP, and DACCLKN pins.

7.1 直接输入时钟 / 7.1 Direct Input Clock

直接提供低噪声时钟可以使 DAC 输出端的噪声频谱密度降到最低。要选择差分 CLK 输入作为 DAC 采样时钟源，请将 PLL 使能位（寄存器 0x0A 的位[7]）置 0。这将使内部 PLL 时钟乘法器掉电，并且选择来自 DACCLKP 和 DACCLKN 引脚的输入作为内部 DAC 的采样时钟源，如图 42 所示。

Providing a low-noise clock directly minimizes noise spectral density at the DAC output. To select the differential CLK input as the DAC sampling clock source, set the PLL enable bit (bit[7] of register 0x0A) to 0; this powers down the internal PLL clock multiplier and selects the DACCLKP/DACCLKN inputs as the sampling clock source for the internal DAC, as shown in Figure 42.

该器件还具有占空比校正电路和差分输入电平校正电路。在某些情况下，使能这些电路可以改善性能。这些功能的控制位在寄存器 0x08 中。

The device also features duty-cycle correction and differential input level correction circuits, which can improve performance in some cases; their control bits are in register 0x08.

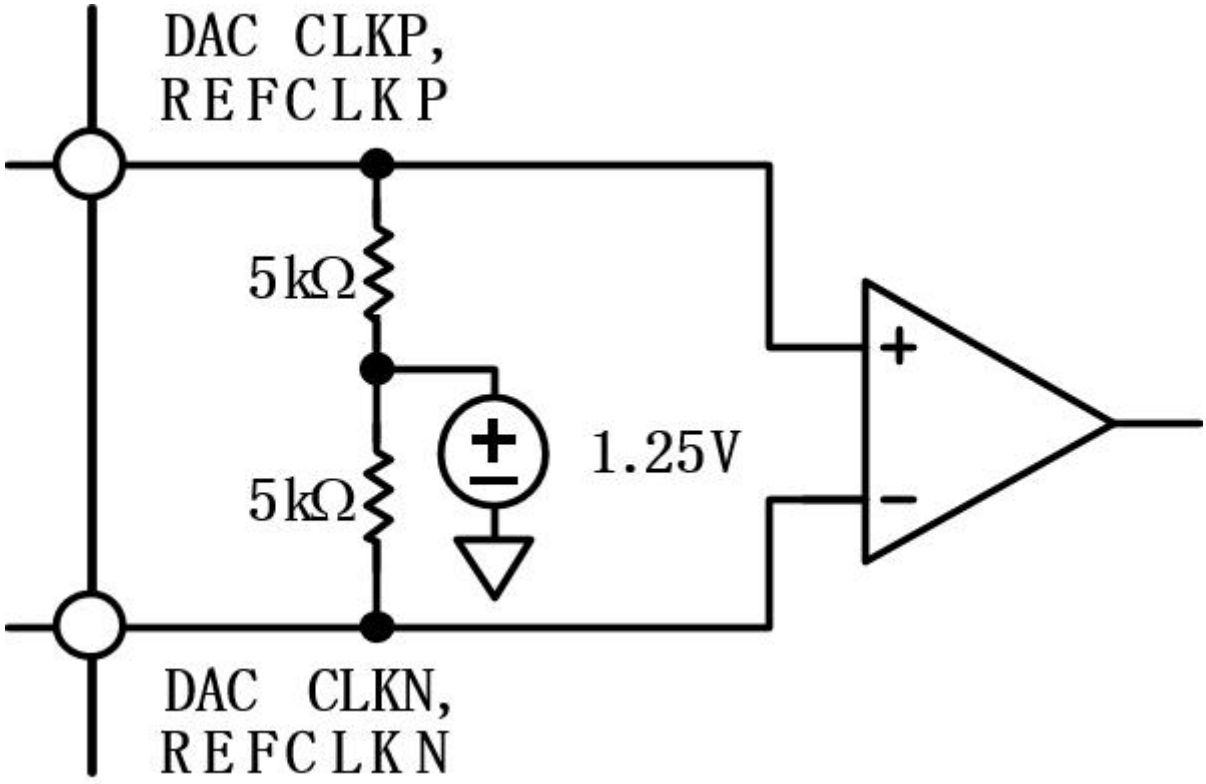


Figure 42: 时钟接收电路 / Clock receiver circuit

7.2 时钟倍频 / 7.2 Clock Multiplication

片内 PLL 时钟倍乘电路可以用来从低频参考时钟产生 DAC 采样速率时钟。当 PLL 使能位（寄存器 0x0A 的位[7]）置 1 时，时钟乘法电路从较低速率的 REFCLK 输入产生 DAC 采样时钟。图 43 显示了时钟倍乘电路的功能框图。

The on-chip PLL clock multiplication circuit generates the DAC sample-rate clock from a low-frequency reference clock. When the PLL enable bit (bit[7] of register 0x0A) is set to 1, the clock multiplier produces the DAC sampling clock from the lower-rate REFCLK input. Figure 43 shows the functional block diagram of the clock multiplication circuit.

时钟倍乘电路使 VCO 的输出频率 fVCO 等于 REFCLK 输入信号频率乘以 N1×N0。 The clock multiplication circuit makes the VCO output frequency fVCO equal to the REFCLK input frequency multiplied by N1×N0:

$$fVCO = fREFCLK \times (N1 \times N0)$$

DAC 采样时钟频率 fDACCLK 等于： The DAC sampling clock frequency fDACCLK equals:

$$fDACCLK = fREFCLK \times N1$$

必须适当选择 VCO 的输出频率，使 fVCO 始终在 1.1 GHz 至 2 GHz 的最佳工作范围内。还必须适当选择参考时钟的频率以及 N1 和 N0 的值，以便能够合成所需的 DACCLK 频率，并且确保 VCO 输出频率位于正确范围内。

The VCO output frequency must be chosen so that fVCO always stays within the optimal 1.1 GHz to 2 GHz operating range. The reference clock frequency and the values of N1 and N0 must also be chosen appropriately to synthesize the desired DACCLK frequency while keeping the VCO output frequency in the correct range.

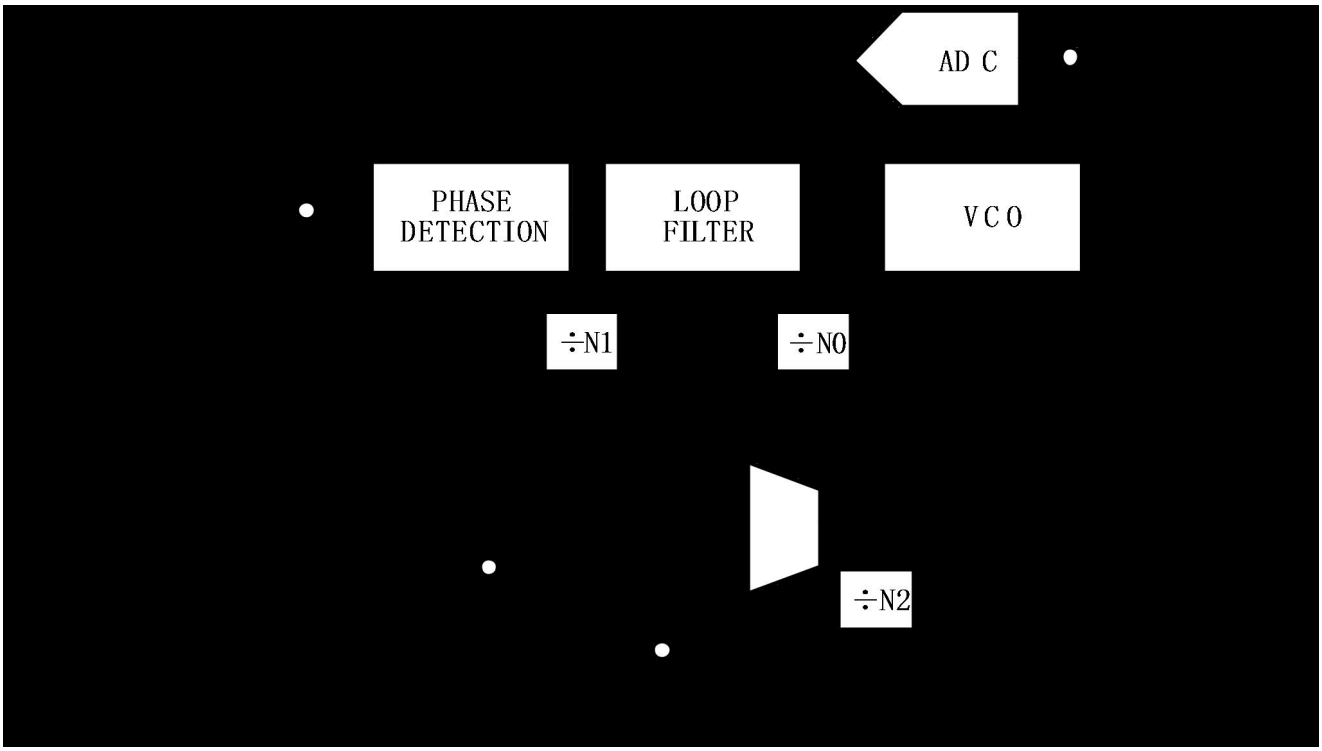


Figure 43: PLL 时钟倍乘电路 / PLL clock multiplication circuit

7.3 PLL 设置 / 7.3 PLL Settings

PLL 电路有三个设置，应将其编程为标称值。表 13 所示的 PLL 值是这些参数的推荐设置。

The PLL circuit has three settings that should be programmed to nominal values; the recommended settings are shown in Table 13.

表 13 PLL 设置 / Table 13 PLL Settings

PLL SPI 控制 / PLL SPI Control	寄存器地址 / Register Address	位 / Bits	优化设置 / Optimized Setting
PLL 环路带宽[1:0] / PLL loop bandwidth[1:0]	0x0C	[7:6]	11
PLL 电荷泵电流[4:0] / PLL charge-pump current[4:0]	0x0C	[4:0]	10001
PLL 交叉控制使能 / PLL crossover control enable	0x0D	[4]	1

7.4 配置 VCO 调谐带 / 7.4 Configuring the VCO Tuning Band

PLL VCO 的有效工作范围大致为 1.1 GHz 至 2.0 GHz，被 63 个重叠频段所覆盖。对于任何所需的 VCO 输出频率，可能有多个有效的 PLL 频段选择值。器件间的差异和工作温度会影响实际频段的频率范围。因此，需要针对每个器件确定最佳的 PLL 频段选择值。

The effective operating range of the PLL VCO is approximately 1.1 GHz to 2.0 GHz, covered by 63 overlapping bands. Multiple valid PLL band selections may exist for any desired VCO output frequency; device-to-device variation and operating temperature affect each band's actual frequency range, so the optimal PLL band selection must be determined per device.

7.5 自动选择 VCO 频段 / 7.5 Automatic VCO Band Selection

器件内置 VCO 频段自动选择功能，利用该功能配置 VCO 频段是一种简单而又可靠的方法。在手动模式下启动 PLL，并将 PLL 置于自动频段选择模式，就可以启用该功能。具体方法是将寄存器 0x0A 设置为值 0xC0，然后设置为值 0x80。写入这些值后，器件执行自动程序以确定最佳 VCO 频段设置。

The device integrates automatic VCO band selection — a simple and reliable way to configure the VCO band. Enable it by starting the PLL in manual mode and placing the PLL in automatic band-select mode: set register 0x0A to 0xC0, then to 0x80. After writing these values, the device runs an automatic routine to determine the optimal VCO band setting.

7.6 手动选择 VCO 频段 / 7.6 Manual VCO Band Selection

器件还提供手动频段选择模式（PLL 手动使能，寄存器 0x0A 的位[6]=1），允许用户选择 VCO 调谐带。在手动模式下，VCO 频段直接由写入手动 VCO 频段（寄存器 0x0A 位[5:0]）的值设置。为了正确选择 VCO 频段，应遵循下列步骤：

The device also provides manual band-select mode (PLL manual enable, bit[6] of register 0x0A = 1), allowing the user to select the VCO tuning band. In manual mode, the VCO band is set directly by the value written to the manual VCO band (bits[5:0] of register 0x0A). Follow these steps to select the VCO band correctly:

步骤 1：将器件置于手动频段选择模式。 Step 1: Place the device in manual band-select mode. 步骤 2：在能使 PLL 锁定的一系列频段上扫描 VCO 频段。 Step 2: Sweep the VCO band across the bands over which the PLL can lock. 步骤 3：对于每个频段，利用 VCO 控制电压（寄存器 0x0E[3:0]）验证 PLL 已锁定并读取 PLL。 Step 3: For each band, verify PLL lock using the VCO control voltage (register 0x0E[3:0]) and read the PLL. 步骤 4：选择控制电压最接近范围中心（即 0000 或 1000）的频段。详情参见表 14。由此得到的 VCO 频段应该就是器件的最佳设置。将此频段写入手动 VCO 频段（寄存器 0x0A[5:0]）值。 Step 4: Select the band whose control voltage is closest to the middle of the range (i.e., 0000 or 1000); see Table 14. The resulting VCO band should be the optimal setting for the device. Write this band to the manual VCO band (register

0x0A[5:0]) value. 步骤 5：如果需要，可以通过查询 VCO 控制电压来确定 VCO 位于工作频段内何处。表 14 说明了如何解读 PLL VCO 控制电压（寄存器 0x0E 的位[3:0]）值。 Step 5: If needed, determine where the VCO sits within its operating band by reading the VCO control voltage. Table 14 explains how to interpret the PLL VCO control voltage (bits[3:0] of register 0x0E).

表 14 VCO 控制电压范围指示 / Table 14 VCO Control Voltage Range Indication

VCO 控制电压 / VCO Control Voltage	指示 / Indication
1111	移至更高的 VCO 频段 / Move to a higher VCO band
1110	
1101	VCO 工作在频段的高端 / VCO operating at the high end of the band
1100	
1011	
1010	
1001	
1000	VCO 工作在频段的最佳区间 / VCO operating in the optimal region of the band
0111	
0110	
0101	
0100	VCO 工作在频段的低端 / VCO operating at the low end of the band
0011	
0010	
0001	移至更低的 VCO 频段 / Move to a lower VCO band
0000	

8、模拟输出 / 8. Analog Output

8.1 发射 DAC 操作 / 8.1 Transmit DAC Operation

图 44 给出了发射路径 DAC 的示意框图。DAC 内核包括电流源阵列、开关内核、数字控制逻辑和满量程输出电流控制。DAC 满量程输出电流（IFS）标称值为 20 mA。IOUT1P/IOUT2P 和 IOUT1N/IOUT2N 引脚的输出电流互补，即意味着这两个电流之和始终等于 DAC 的满量程电流。DAC 的数字输入码决定提供给负载的有效差分电流。

Figure 44 shows a schematic block diagram of the transmit-path DAC. The DAC core includes a current-source array, switch core, digital control logic, and full-scale output current control. The DAC full-scale output current (IFS) is nominally 20 mA. The IOUT1P/IOUT2P and IOUT1N/IOUT2N pin output currents are complementary — their sum always equals the DAC full-scale current. The DAC digital input code determines the effective differential current delivered to the load.

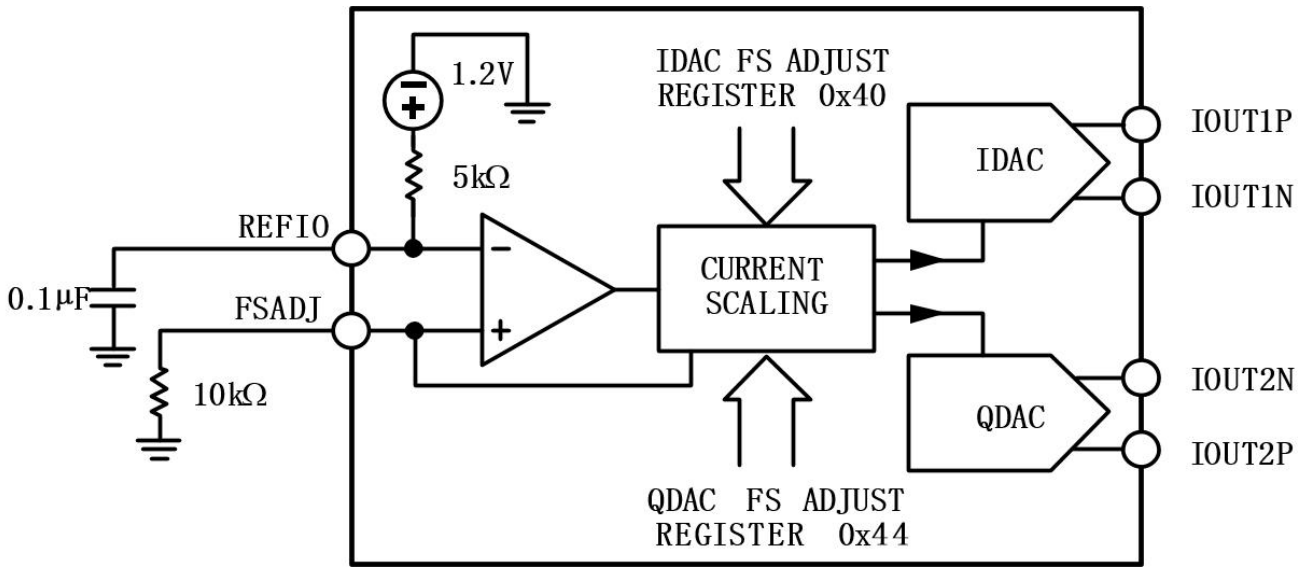


Figure 44: DAC 核输出框图 / DAC core output block diagram

DAC 具有一个 1.2 V 带隙基准电压源，其输出阻抗为 5 kΩ。DAC 满量程电流与 DAC 增益码的关系基准输出电压出现在 REFIO 引脚上。使用内部基准电压源发射 DAC 传递函数时，应使用一个 0.1μF 电容将 REFIO 引脚去耦至 AVSS。只有在外部电路吸取的直流电流为 2μA 或更低时，才可针对其使用内部基准电压源。对于 2μA 以上的动态负载或静态负载，应缓冲 REFIO 引脚。需要时，可以将一个外部基准电压源（1.10 V 至 1.30 V）施加于 REFIO 引脚，从而覆盖内部基准电压源。

The DAC has a 1.2 V bandgap reference with 5 kΩ output impedance; the reference output voltage relating DAC full-scale current to the DAC gain code appears on the REFIO pin. When using the internal reference for the transmit DAC transfer function, decouple the REFIO pin to AVSS with a 0.1 µF capacitor. The internal reference may be used only when the external circuit draws 2 µA DC or less; for dynamic or static loads above 2 µA, buffer the REFIO pin. If needed, an external reference (1.10 V to 1.30 V) can be applied to the REFIO pin to override the internal reference.

FSADJ 引脚与 AVSS 之间必须连接一个 10kΩ 的外部电阻 RSET。该电阻与基准电压控制放大器一同设置 DAC 的正确内部偏置电流。由于满量程电流与该电阻成反比，因此 RSET 的容差会反映在满量程输出幅度中。

A 10 kΩ external resistor RSET must be connected between the FSADJ pin and AVSS; together with the reference-voltage control amplifier it sets the correct DAC internal bias current. Since full-scale current is inversely proportional to this resistor, RSET tolerance is reflected in the full-scale output amplitude.

满量程电流的计算公式如下所示，其中 I 和 Q DAC 的增益分别通过寄存器 0x40 和 0x44 进行设置： The full-scale current is calculated as follows, where the I- and Q-DAC gains are set via registers 0x40 and 0x44 respectively:

$$IFS = (VREF / RSET) \times (72 + (3/16) \times DACgain)$$

使用 VREF（1.2 V）、RSET（10 kΩ）和 DAC 增益（512）的标称值时，DAC 的满量程电流典型值为 20.16 mA。按照图 45 所示设置 DAC 增益参数时，可以在 8.66 mA 至 31.66 mA 范围内调整 DAC 满量程电流。

With nominal VREF (1.2 V), RSET (10 kΩ), and DAC gain (512), the typical DAC full-scale current is 20.16 mA. Setting the DAC gain as shown in Figure 45 allows the DAC full-scale current to be adjusted from 8.66 mA to 31.66 mA.

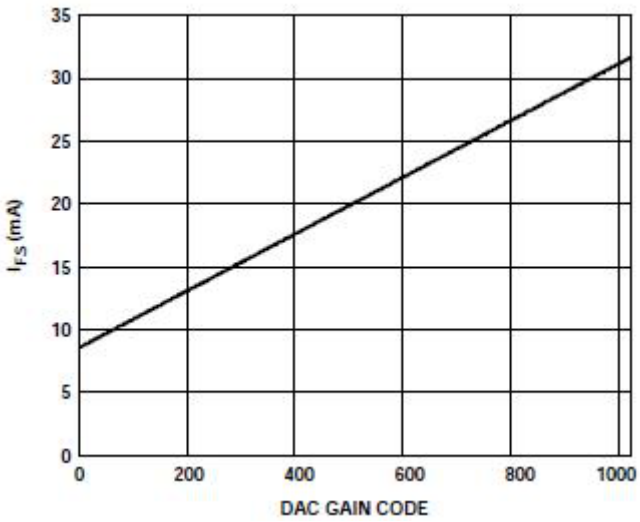


Figure 45: DAC 满量程电流与 DAC 增益码的关系 / DAC full-scale current vs. DAC gain code

8.2 发射 DAC 传递函数 / 8.2 Transmit DAC Transfer Function

IOUT1P/IOUT2P 和 IOUT1N/IOUT2N 引脚的输出电流互补，即意味着这两个电流之和始终等于 DAC 的满量程电流。DAC 的数字输入码决定提供给负载的有效差分电流。当所有位均为高电平时，IOUT1P/IOUT2P 提供最大输出电流。对于 DAC 输出，输出电流与 DACCODE 的关系式如下：

The IOUT1P/IOUT2P and IOUT1N/IOUT2N pin output currents are complementary — their sum always equals the DAC full-scale current. The DAC digital input code determines the effective differential current delivered to the load. When all bits are high, IOUT1P/IOUT2P source the maximum output current. For the DAC output, output current vs. DACCODE is:

IOUTP = (DACCODE / 2^N) × IOUTFS IOUTN = IOUTFS − IOUTP

其中，DACCODE=0 至 2^N−1。 where DACCODE = 0 to 2^N − 1.

8.3 发射 DAC 输出配置 / 8.3 Transmit DAC Output Configuration

以差分配置工作时，SXD033 可以实现最佳噪声和失真性能。变压器和差分放大器的共模抑制能够大大减少 DAC 输出的共模误差源，其中包括偶阶失真产物和噪声。当重构波形的频率成分增加或幅度提高时，失真性能的改善更加显著，其原因是对各种动态共模失真机制、数字馈通和噪声进行了一阶消除。

The SXD033 achieves its best noise and distortion performance in a differential configuration. The common-mode rejection of transformers and differential amplifiers greatly reduces common-mode error sources at the DAC output, including even-order distortion products and noise. Distortion improvement is more pronounced as the reconstructed waveform's frequency content or amplitude increases, because various dynamic common-mode distortion mechanisms, digital feedthrough, and noise are cancelled to first order.

图 46 给出了最基本的 DAC 输出电路。一对电阻 RO 用于将互补的各输出电流转换为差分电压输出 VOUT。DAC 的电流输出为高阻态，因此 DAC 输出的差分驱动点阻抗 ROUT 等于 2×RO。图 47 显示了输出电压波形。

Figure 46 shows the most basic DAC output circuit: a pair of resistors RO converts the complementary output currents to a differential voltage output VOUT. The DAC current outputs are high impedance, so the

DAC output differential drive-point impedance ROUT equals 2×RO. Figure 47 shows the output voltage waveform.

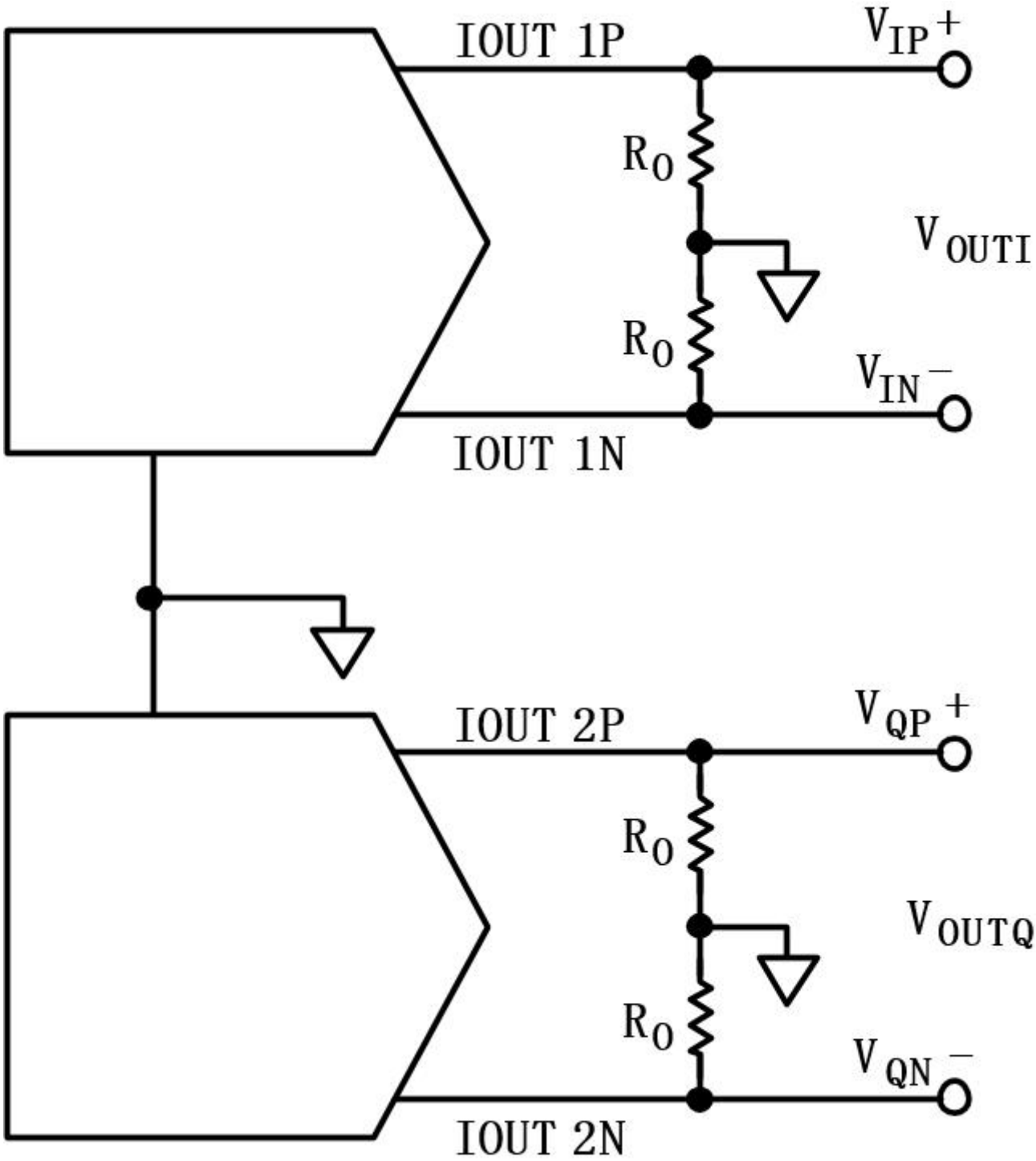


Figure 46: DAC 核输出负载电路 / DAC core output load circuit

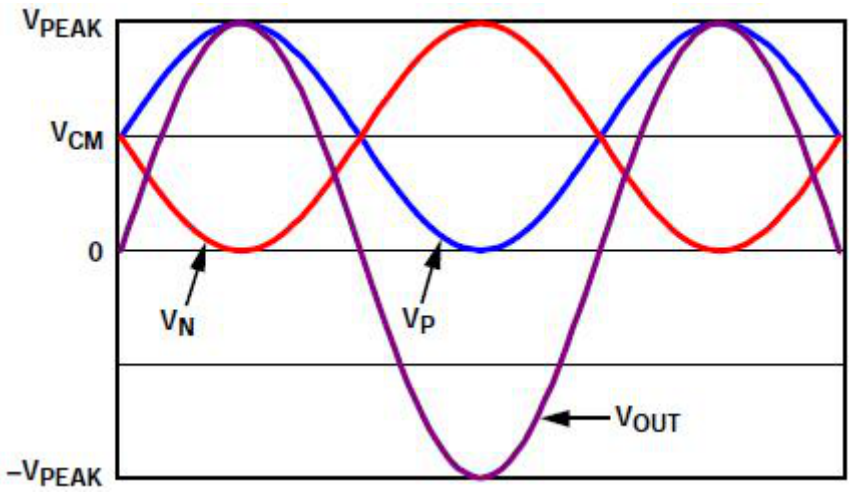


Figure 47: 电压输出波形 / Voltage output waveform

共模信号电压 VCM 的计算公式如下： The common-mode signal voltage VCM is calculated as:

VCM = (IFS / 2) × RO

峰值输出电压 VPEAK 的计算公式如下： The peak output voltage VPEAK is calculated as:

VPEAK = IFS × RO

采用这种电路配置时，单端峰值电压与峰值差分输出电压相同。

With this circuit configuration, the single-ended peak voltage equals the peak differential output voltage.

8.4 辅助 DAC 操作 / 8.4 Auxiliary DAC Operation

SXD033 有两个辅助 DAC，一个与 I 路径关联，而另一个与 Q 路径关联。这些辅助 DAC 可以用来补偿发射信号的直流失调。每个辅助 DAC 有一个单端电流，该电流可以吸入或流出到相关发射 DAC 的 P 或 N 输出端。辅助 DAC 结构如图 48 所示。

The SXD033 has two auxiliary DACs, one associated with the I path and one with the Q path, used to compensate DC offset of the transmit signal. Each auxiliary DAC provides a single-ended current that can sink into or source out of the associated transmit DAC's P or N output. The auxiliary DAC structure is shown in Figure 48.

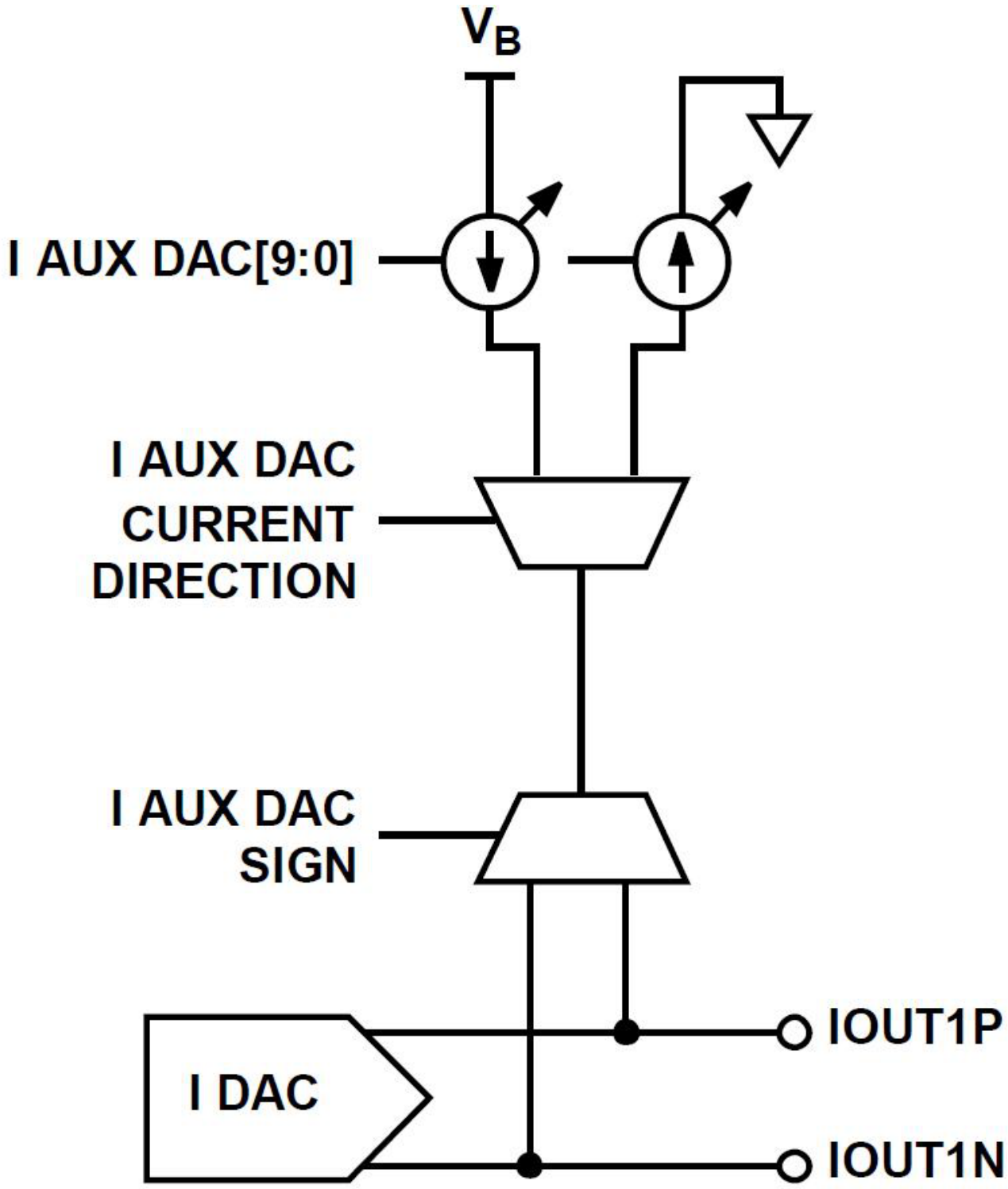


Figure 48: 辅助 DAC 结构 / Auxiliary DAC structure

用于控制 I 和 Q 辅助 DAC 的控制寄存器是寄存器 0x42、寄存器 0x43、寄存器 0x46 和寄存器 0x47。

The control registers for the I and Q auxiliary DACs are registers 0x42, 0x43, 0x46, and 0x47.

8.5 与调制器接口 / 8.5 Interfacing to Modulators

SXD033 只需极少的元件就能与 ADL537x 系列调制器接口。图 49 给出了一个推荐的接口电路示例。ADL537x 系列的基带输入需要 500 mV 的直流偏置。DAC 各输出端的标称中间电平输出电流为 10 mA（满量程电流的一

半）。因此，从 DAC 各输出端连接一个 50Ω 电阻到地，就能获得 ADL537x 输入所需的 500 mV 直流共模偏置。信号电平可以通过增加与调制器输入端并联的负载电阻来降低。发射信号的峰峰值电压摆幅为：

The SXD033 interfaces to ADL537x-series modulators with minimal components; Figure 49 shows a recommended interface circuit example. The ADL537x baseband inputs require 500 mV DC bias. Nominal midscale output current at each DAC output is 10 mA (half of full-scale current), so connecting a 50 Ω resistor from each DAC output to ground produces the 500 mV DC common-mode bias required at the ADL537x inputs. Signal level can be reduced by adding load resistance in parallel with the modulator inputs. The peak-to-peak voltage swing of the transmit signal is:

VSIGNAL = IFS × (2 × RB × RL) / (2 × RB + RL)

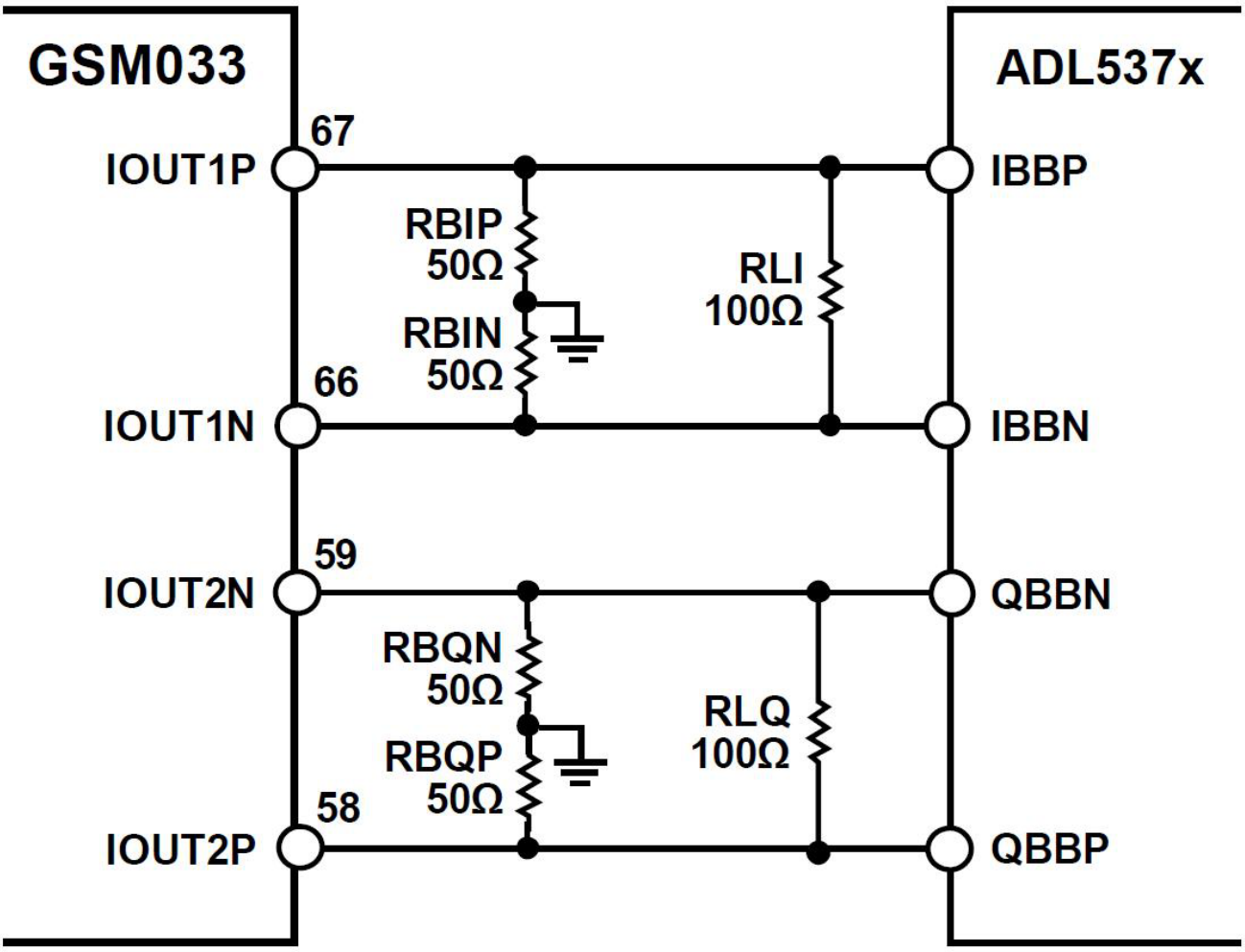


Figure 49: SXD033 与 ADL537x 系列调制器之间的典型接口电路 / Typical interface circuit between SXD033 and ADL537x-series modulators

8.6 基带滤波器实现 / 8.6 Baseband Filter Implementation

大多数应用要求在 DAC 与调制器之间放置一个基带抗镜像滤波器，以滤除奈奎斯特镜像和宽带 DAC 噪声。该滤波器可以安装在 DAC 输出端的 I-V 电阻与调制器输入端上的信号电平设置电阻之间，这样就能确立该滤波器的输入和输出阻抗。

Most applications require a baseband anti-image filter between the DAC and the modulator to filter Nyquist images and wideband DAC noise. The filter can be placed between the I-V resistors at the DAC

outputs and the signal-level-setting resistors at the modulator inputs, establishing the filter's input and output impedances.

图 50 显示了一个五阶低通滤波器。I-V 电阻与滤波器的其余部分之间有一个共模扼流圈，用以消除 DAC 产生的共模信号，并防止共模信号被转换为差分信号，从而作为干扰杂散信号出现在输出频谱中。将第一滤波器电容一分为二，并将中心点接地，可以构建一个共模低通滤波器，用以对高频信号进行进一步的共模抑制。共模信号可以通过纯差分滤波器。

Figure 50 shows a fifth-order low-pass filter. A common-mode choke between the I-V resistors and the rest of the filter removes DAC-generated common-mode signals and prevents their conversion to differential signals that would appear as interfering spurs in the output spectrum. Splitting the first filter capacitor in two and grounding the center tap builds a common-mode low-pass filter for further common-mode rejection of high-frequency signals. Common-mode signals can pass through a purely differential filter.

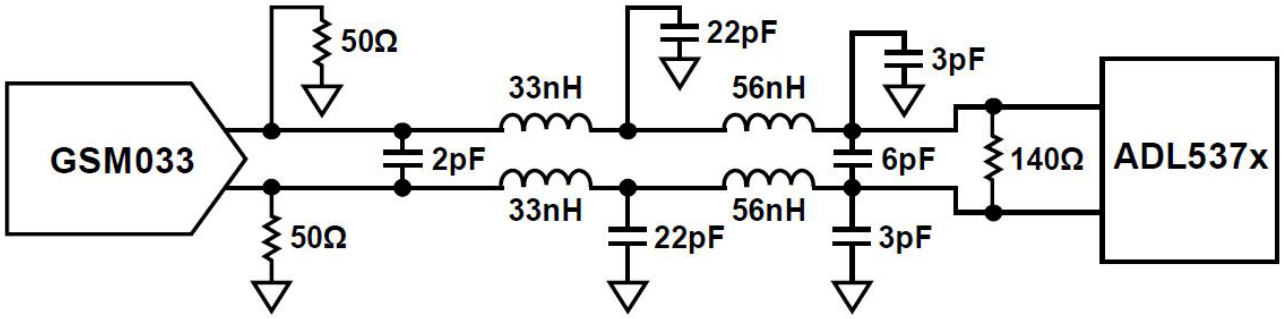


Figure 50: DAC 调制器与五阶低通滤波器接口 / DAC-to-modulator interface with fifth-order low-pass filter

8.7 驱动 ADL5375-15 / 8.7 Driving the ADL5375-15

ADL5375-15 需要 1500 mV 直流偏置，因此其接口要求比 ADI 公司的大多数其它调制器稍显复杂。DAC 输出必须进行电平转换，以便从 500 mV 直流偏置转换到 ADL5375-15 所需的 1500 mV 直流偏置。电平转换可以利用纯无源网络实现，如图 51 所示。在该网络中，DAC 的直流偏置仍然是 500 mV，但 ADL5375-15 的输入是 1500 mV。这种无源电平转换网络会导致交流信号出现大约 2 dB 的损耗。

The ADL5375-15 requires 1500 mV DC bias, making its interface slightly more complex than most other ADI modulators. The DAC outputs must be level-shifted from 500 mV DC bias to the 1500 mV DC bias required by the ADL5375-15, which can be done with a purely passive network as shown in Figure 51. In this network the DAC DC bias remains 500 mV while the ADL5375-15 inputs sit at 1500 mV; the passive level-shifting network introduces about 2 dB of AC signal loss.

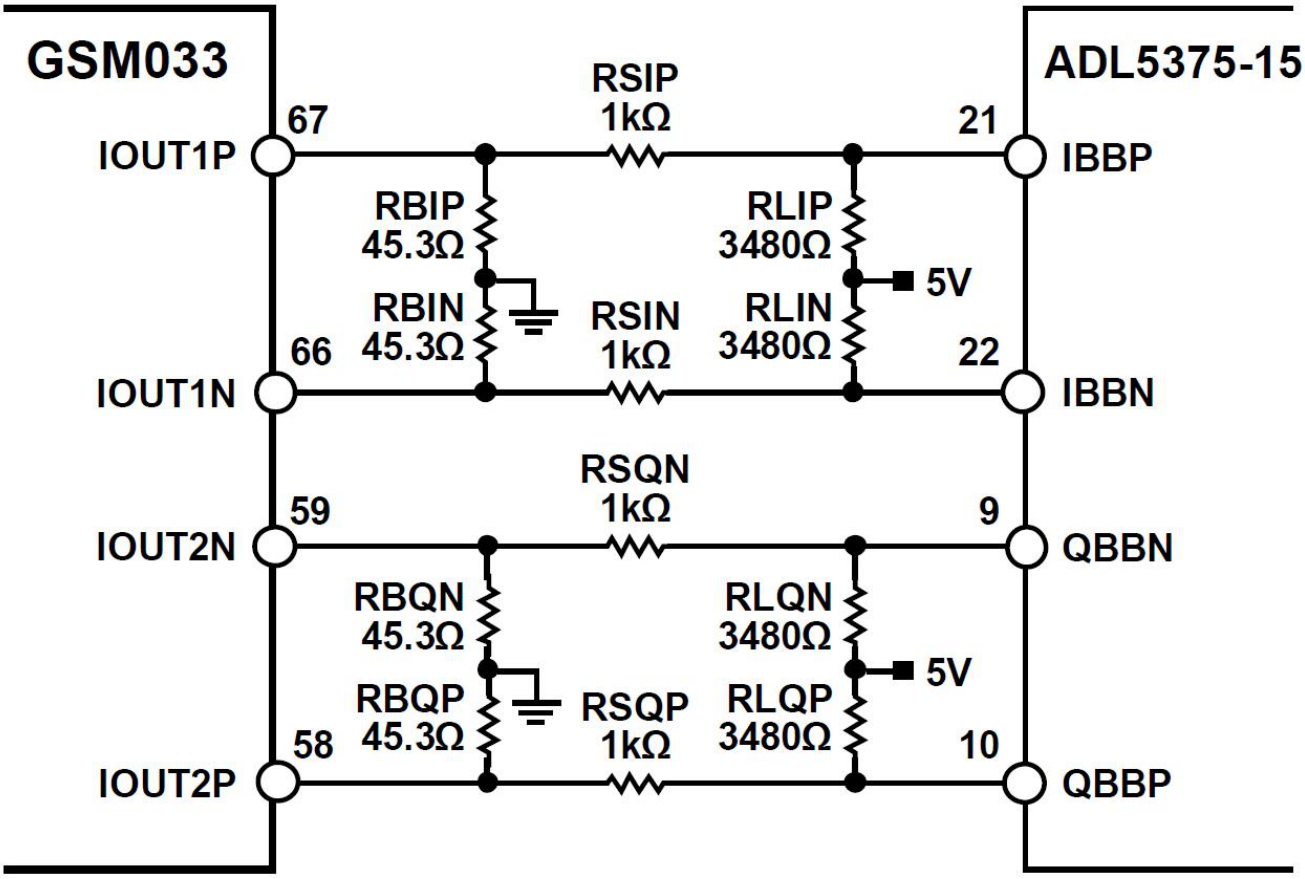


Figure 51: 用于偏置 ADL5375-15 的无源电平转换网络 / Passive level-shifting network for biasing the ADL5375-15

8.8 降低 LO 泄漏和干扰边带 / 8.8 Reducing LO Leakage and Interfering Sidebands

由于 I 和 Q 基带输入存在直流失调电压，并且从 LO 输入到输出存在馈通路径，因此模拟正交调制器可能会引入 LO 频率的干扰信号。LO 馈通可以通过在 DAC 输出端施加直流失调校正电压予以消除。这可以利用辅助 DAC（寄存器 0x42、寄存器 0x43、寄存器 0x46 和寄存器 0x47）或数字直流失调调整（寄存器 0x3C 至寄存器 0x3F）来实现。使用辅助 DAC 的优点是无需使用任何主 DAC 动态范围来执行直流失调调整，而缺点是输出信号的共模电平会随着辅助 DAC 电流而变化。使用数字失调调整时则相反。

DC offsets on the I and Q baseband inputs and feedthrough paths from the LO input to the output can cause the analog quadrature modulator to introduce interfering signals at the LO frequency. LO feedthrough can be cancelled by applying a DC offset correction voltage at the DAC outputs, using either the auxiliary DACs (registers 0x42, 0x43, 0x46, 0x47) or digital DC offset adjustment (registers 0x3C to 0x3F). The auxiliary-DAC approach needs no main-DAC dynamic range for DC offset adjustment, at the cost of output common-mode level varying with auxiliary DAC current; the digital-offset approach is the reverse.

为获得良好的边带抑制性能，I 与 Q 信号的增益和相位均必须匹配。可以利用 I/Q 相位调整寄存器（寄存器 0x38 至寄存器 0x3B）和 DAC FS 调整寄存器（寄存器 0x40 和寄存器 0x44）来校准 I 和 Q 发射路径，从而优化边带抑制性能。

For good sideband rejection, I and Q signal gain and phase must match; the I and Q transmit paths can be calibrated with the I/Q phase-adjust registers (registers 0x38 to 0x3B) and the DAC FS adjust registers (registers 0x40 and 0x44) to optimize sideband rejection.

9、多芯片同步 / 9. Multi-Chip Synchronization

系统可能要求多个 DAC 的输出彼此同步或与系统时钟同步。在支持发射分集或波束形成的系统中，会使用多根天线来发射相关信号，这就要求多个 DAC 输出彼此相位对齐。采用时分多路复用发射链的系统可能要求一个或多个 DAC 与系统级参考时钟同步。

Systems may require multiple DAC outputs to synchronize with each other or with the system clock. Systems supporting transmit diversity or beamforming use multiple antennas to transmit correlated signals, requiring multiple DAC outputs to be phase-aligned. Systems with time-division-multiplexed transmit chains may require one or more DACs to synchronize to a system-level reference clock.

对于多个器件，当各自时钟产生状态机的状态完全相同时，以及当时序对齐数据同时从所有器件的 FIFO 读取时，则认为这些器件彼此同步。当时钟产生状态机、从 FIFO 读取的数据与系统时钟的特定时钟边沿存在固定且已知的关系时，则认为器件与系统时钟同步。SXD033 支持多个器件彼此同步或与系统时钟同步。

Multiple devices are considered synchronized with each other when their clock-generation state machines are in identical states and timing-aligned data is read from all devices' FIFOs simultaneously. A device is considered synchronized to the system clock when its clock-generation state machine and FIFO-read data have a fixed, known relationship to a specific system-clock edge. The SXD033 supports synchronizing multiple devices with each other or with the system clock.

SXD033 支持两种同步模式：数据速率模式和 FIFO 速率模式。这两种模式的区别在于同步逻辑尝试同步的最低速率时钟不同。在数据速率模式下，输入数据速率代表最低同步时钟。在 FIFO 速率模式下，FIFO 速率（等于数据速率除以 FIFO 深度 8）代表最低速率时钟。FIFO 速率同步的优点是 DCI 变化（相对于 DACCLK 或 REFCLK 输入）的阻挡窗口间隔时间较长。

The SXD033 supports two synchronization modes: data-rate mode and FIFO-rate mode, differing in the lowest-rate clock the synchronization logic attempts to synchronize. In data-rate mode, the input data rate is the lowest sync clock; in FIFO-rate mode, the FIFO rate (data rate divided by FIFO depth 8) is. FIFO-rate synchronization offers longer blocking-window intervals for DCI variation (relative to the DACCLK or REFCLK inputs).

在数据速率模式下，无法利用 FIFO 的灵活性来吸收数据源与 DAC 之间的时间差异，从而导致阻挡窗口以输入数据速率重复。

In data-rate mode, FIFO flexibility cannot absorb timing differences between the data source and the DAC, so the blocking window repeats at the input data rate.

选择何种方法来提供 DAC 采样时钟会直接影响同步方法的选择。使用器件时钟乘法器时，只能使用数据速率模式。直接提供 DAC 采样时钟时，可以选用数据速率模式和 FIFO 速率模式。下文将详细说明支持两种时钟模式和查询同步逻辑状态的同步方法。

The choice of DAC sampling clock source directly affects the synchronization method: with the device clock multiplier, only data-rate mode can be used; with directly provided DAC sampling clock, either data-rate or FIFO-rate mode may be used. The following details synchronization methods supporting both clock modes and reading synchronization-logic status.

9.1 利用时钟倍频实现同步 / 9.1 Synchronization Using Clock Multiplication

利用时钟乘法器来产生 DAC 采样速率时钟时，REFCLK 输入信号同时用作 PLL 时钟乘法器的参考时钟以及同步信号。为使器件同步，应将 REFCLK 信号低偏斜地分配到需要同步的所有器件。不同器件 REFCLK 信号之间的偏斜直接表现为 DAC 输出的时序不匹配。

When the clock multiplier generates the DAC sample-rate clock, the REFCLK input serves both as the PLL clock multiplier reference and as the synchronization signal. To synchronize devices, distribute REFCLK with low skew to all devices to be synchronized; skew between devices' REFCLK signals appears directly as DAC output timing mismatch.

REFCLK 信号的频率通常等于输入数据速率。FRAME 和 DCI 信号可以在 FPGA 中与数据一同产生。典型配置的电路图如图 52 所示。

The REFCLK frequency is typically equal to the input data rate. FRAME and DCI signals can be generated in the FPGA along with the data. A typical configuration circuit is shown in Figure 52.

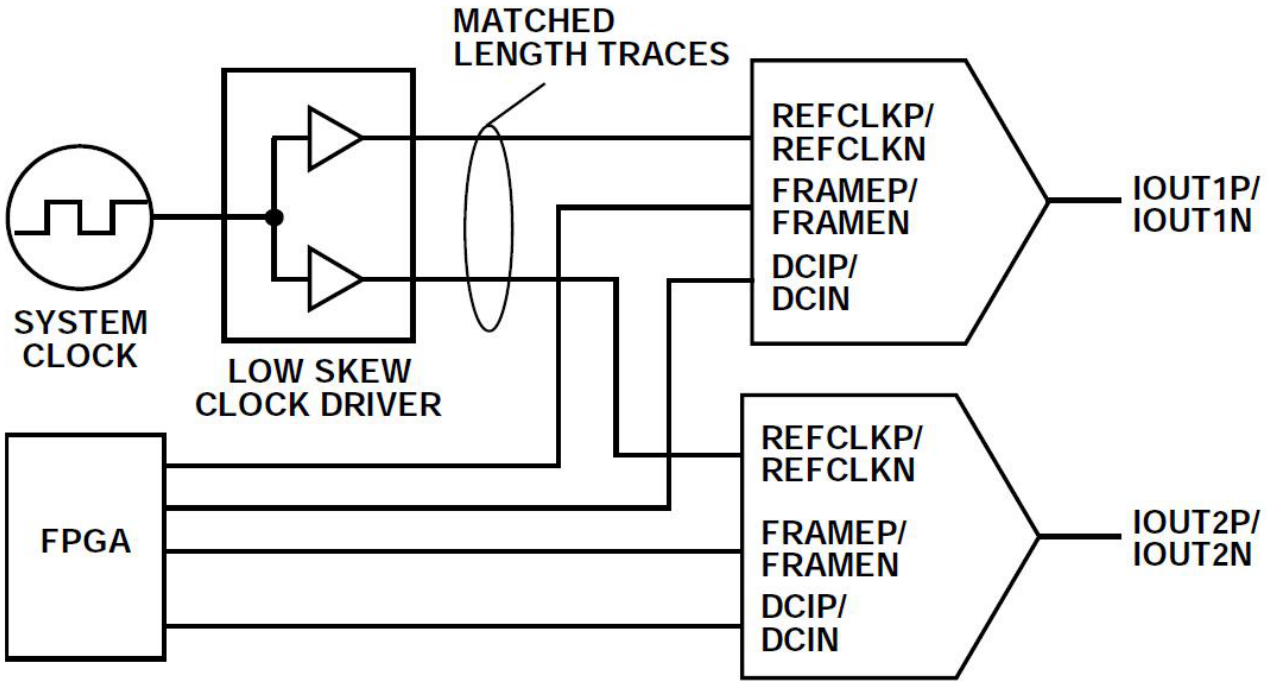


Figure 52: 同步器件的典型电路图 / Typical circuit for synchronizing devices

"使用 PLL 时的同步程序"部分概述了实现多器件同步所需的步骤。该程序假设 REFCLK 信号施加于所有器件，并且各器件的 PLL 相位锁定至该信号。以下程序必须在每个器件上执行。

The "Synchronization Procedure When Using the PLL" section outlines the steps for multi-device synchronization. The procedure assumes REFCLK is applied to all devices and each device's PLL is phase-locked to it; it must be executed on every device.

9.2 使用 PLL 时的同步程序 / 9.2 Synchronization Procedure When Using the PLL

将 0xC0 写入同步控制寄存器（寄存器 0x10），以配置数据速率周期性同步。还可以使用其它同步选项。

Write 0xC0 to the synchronization control register (register 0x10) to configure data-rate periodic synchronization; other synchronization options may also be used.

读取同步状态寄存器（寄存器 0x12）并确认同步锁定位（位 6）为高电平，表示器件已经实现后端同步，且同步丢失位（位 7）为低电平。这些电平表明，时钟相位相对于同步信号是恒定且已知的。

Read the synchronization status register (register 0x12) and confirm the sync-lock bit (bit 6) is high — indicating the device has achieved back-end synchronization — and the sync-lost bit (bit 7) is low. These levels indicate the clock phase is constant and known relative to the synchronization signal.

在写入两个完整输入数据字所需的时间内选通 FRAME 信号高电平，以使 FIFO 复位。复位 FIFO 的目的是确保从 FIFO 读取正确的数据。

Strobe FRAME high for the time needed to write two complete input data words, resetting the FIFO to ensure correct data is read from it.

这样就完成了同步程序，此时所用器件应被同步。

This completes the synchronization procedure; the devices in use should now be synchronized.

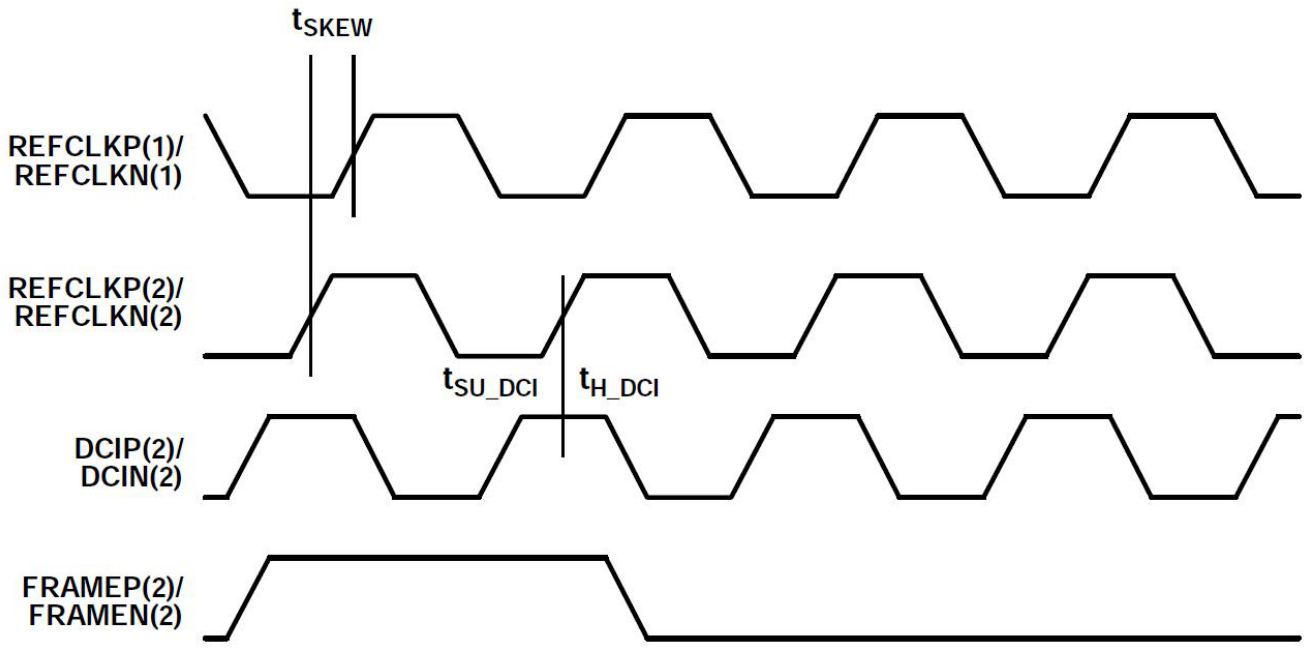


Figure 53: 同步器件所需的时序图 / Timing diagram required for synchronizing devices

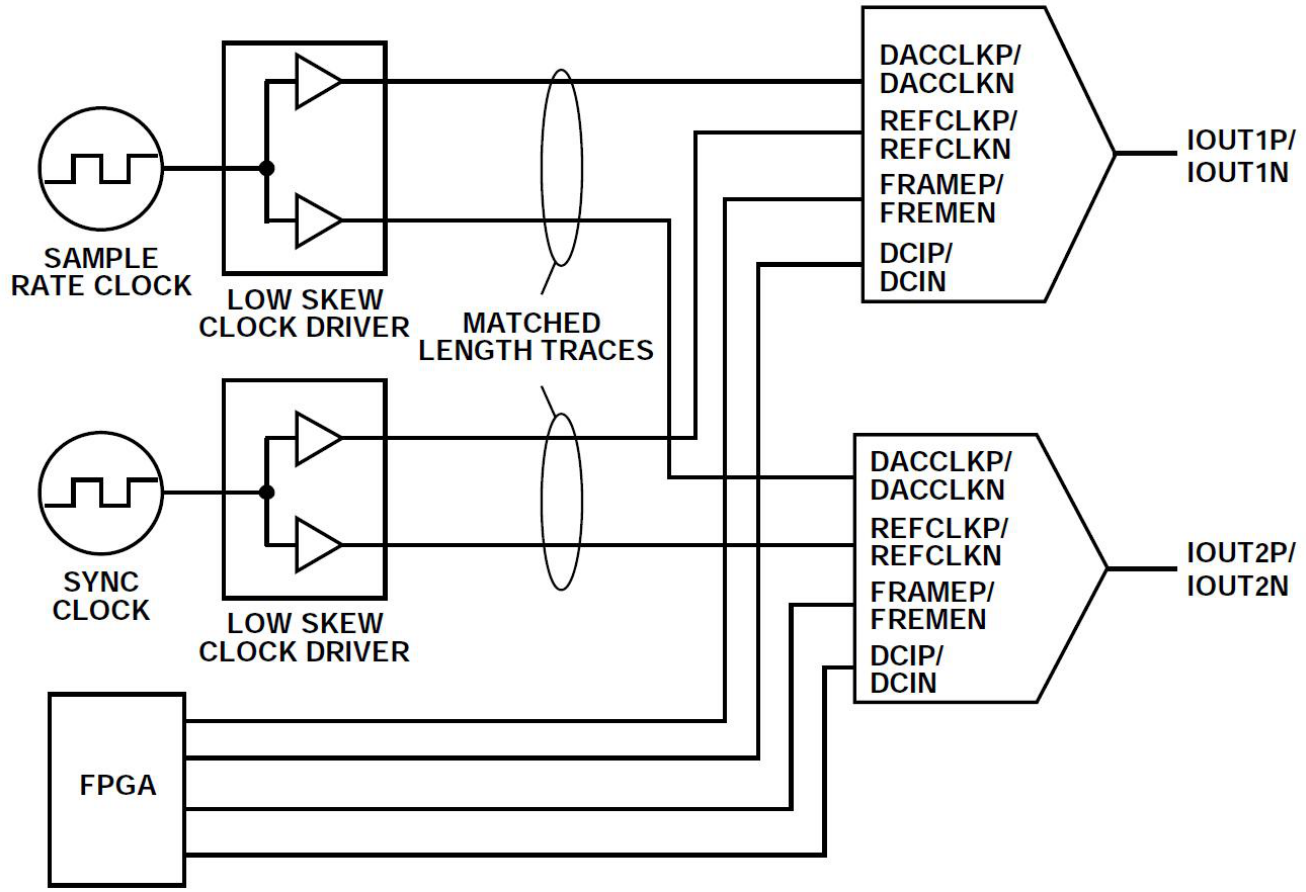


Figure 54: 器件与系统时钟同步的典型电路图 / Typical circuit for synchronizing devices to the system clock

为保持同步，器件 REFCLK 信号之间的偏斜必须小于 tSKEW ns。各器件的 DCI 和数据与 REFCLK 信号之间还必须满足建立和保持时间要求。复位 FIFO 时，在写入两个完整输入数据字所需的时间内 FRAME 信号必须保持高电平。输入信号的时序图如图 53 所示。

To maintain synchronization, skew between device REFCLK signals must be less than tSKEW ns, and each device's DCI and data must meet setup/hold requirements relative to REFCLK. When resetting the FIFO, FRAME must stay high for the time needed to write two complete input data words. Input signal timing is shown in Figure 53.

在上例中，REFCLK 频率等于数据速率。虽然这是最普遍的情况，但并不是正确同步严格要求的。任何满足下列条件的 REFCLK 频率都是可以接受的。 In the above example the REFCLK frequency equals the data rate. While this is the most common case, it is not strictly required for correct synchronization; any REFCLK frequency satisfying the following is acceptable:

fSYNC_I = fDACCLK / 2^N and fSYNC_I ⩽ fDATA

其中，N = 0、1、2 或 3。 where N = 0, 1, 2, or 3.

例如，以下配置就是可行的解决方案：4 倍插值、时钟频率 fVCO = 1600 MHz、fDACCLK = 800 MHz、fDATA = 200 MHz 且 fSYNC_I = 100 MHz。

For example, the following is a workable solution: 4x interpolation, clock frequency fVCO = 1600 MHz, fDACCLK = 800 MHz, fDATA = 200 MHz, and fSYNC_I = 100 MHz.

9.3 利用直接输入时钟实现同步 / 9.3 Synchronization Using a Direct Input Clock

直接提供 DAC 采样速率时钟时，实现同步需要一个独立的 REFCLK 输入信号。为使器件同步，必须将 DACCLK 信号和 REFCLK 信号低偏斜地分配到需要同步的所有器件。如果器件需要与主时钟同步，则应直接利用主时钟来产生 REFCLK 输入。

With a directly provided DAC sample-rate clock, synchronization requires an independent REFCLK input. To synchronize devices, DACCLK and REFCLK must be distributed with low skew to all devices to be synchronized. If a device must synchronize to a master clock, the master clock should be used directly to generate the REFCLK input.

9.4 数据速率模式同步 / 9.4 Data-Rate Mode Synchronization

"直接提供 DAC 采样时钟时的数据速率同步程序"部分概述了在数据速率模式下实现多器件同步所需的步骤。该程序假设 DACCLK 和 REFCLK 信号施加于所有器件。以下程序必须在每个器件上执行。

The "Data-Rate Synchronization Procedure With Directly Provided DAC Sampling Clock" section outlines the steps for multi-device synchronization in data-rate mode, assuming DACCLK and REFCLK are applied to all devices; the procedure must be executed on every device.

9.5 直接提供 DAC 采样时钟时的数据速率同步程序 / 9.5 Data-Rate Synchronization Procedure With Directly Provided DAC Sampling Clock

将 0xC0 写入同步控制寄存器（寄存器 0x10），以配置数据速率周期性同步。还可以使用其它同步选项，详见"其它同步功能"部分。

Write 0xC0 to the synchronization control register (register 0x10) to configure data-rate periodic synchronization; other synchronization options are detailed in the "Other Synchronization Functions" section.

轮询同步锁定位（寄存器 0x12 的位 6），确认器件已经后端同步。此位为高电平表明时钟相位相对于同步信号是恒定且已知的。

Poll the sync-lock bit (bit 6 of register 0x12) to confirm the device has achieved back-end synchronization; a high level indicates the clock phase is constant and known relative to the synchronization signal.

在输入两个完整输入数据字所需的时间内选通 FRAME 信号高电平，以使 FIFO 复位。复位 FIFO 的目的是确保能够同时从各器件的 FIFO 读取正确的数据。

Strobe FRAME high for the time needed to input two complete input data words, resetting the FIFO so that correct data can be read from all devices' FIFOs simultaneously.

这样就完成了同步程序，此时所用器件应被同步。

This completes the synchronization procedure; the devices in use should now be synchronized.

为确保各 DAC 在同一 CLK 边沿更新为正确的数据，各 DAC 必须满足两个时序关系。DCIP/DCIN 和 D[15:0]P/D[15:0]N 必须满足相对于 DACCLK 上升沿的建立和保持时间要求，而 REFCLK 也必须满足相对于 DACCLK 上升沿的建立和保持时间要求。复位 FIFO 时，在输入两个完整输入数据字所需的时间内 FRAME 信号必须保持高电

平。满足这些条件时，各 DAC 的输出就能在彼此相差不超过（tSKEW + tOUTDLY）ns 的时间范围内完成更新。输入信号的时序要求如图 55 所示。

To ensure all DACs update to correct data on the same CLK edge, each DAC must satisfy two timing relationships: DCIP/DCIN and D[15:0]P/D[15:0]N must meet setup/hold requirements relative to the DACCLK rising edge, and REFCLK must also meet setup/hold requirements relative to the DACCLK rising edge. When resetting the FIFO, FRAME must stay high for the time needed to input two complete input data words. When these conditions are met, all DAC outputs update within (tSKEW + tOUTDLY) ns of each other. Input signal timing requirements are shown in Figure 55.

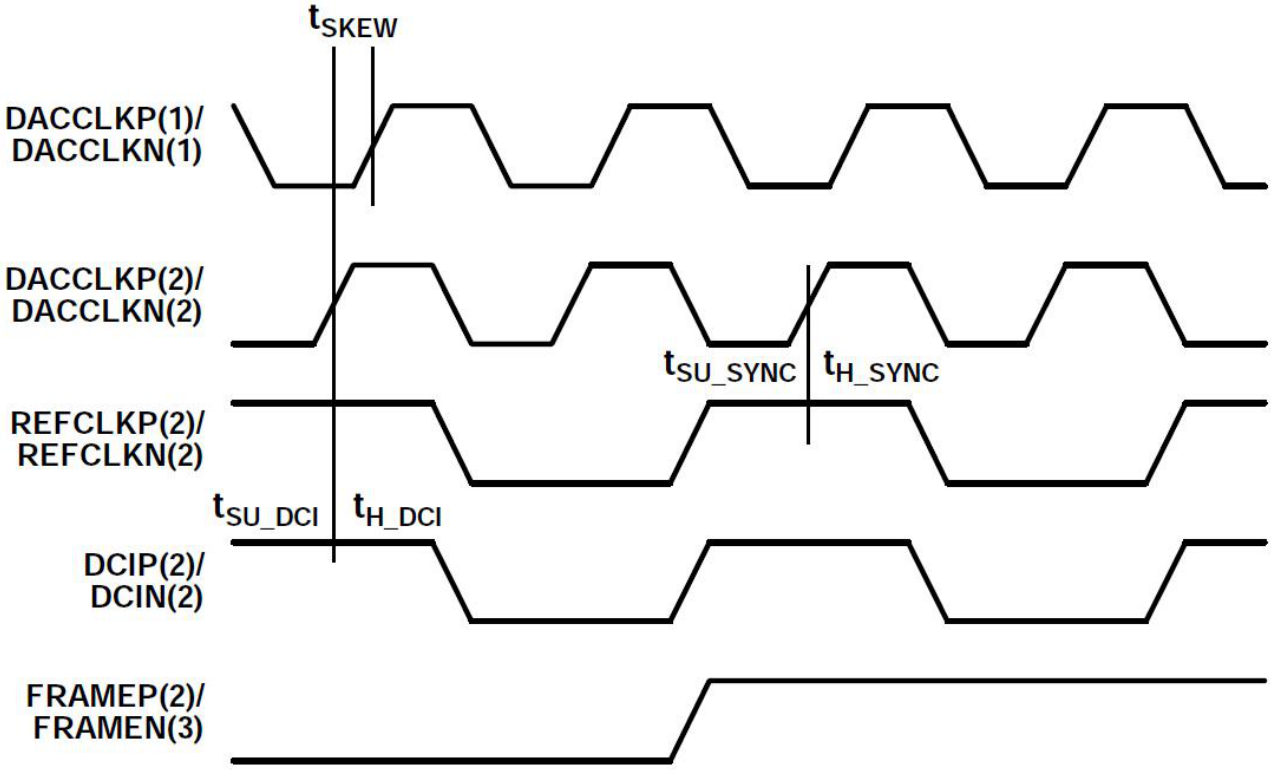


Figure 55: 数据速率同步信号时序要求（2 倍插值）/ Data-rate synchronization signal timing requirements (2x interpolation)

图 55 所示为 2 倍插值时的同步信号时序；因此，fDCI = 1/2 × fCLK。所示的 REFCLK 输入等于数据速率。在数据速率模式下，器件可以重新同步的最大频率表示为： Figure 55 shows synchronization signal timing for 2x interpolation; therefore fDCI = 1/2 × fCLK. The REFCLK input shown equals the data rate. In data-rate mode, the maximum frequency at which the device can resynchronize is:

fSYNC_I = fDATA / 2^N

其中，N 为任意非负整数。 where N is any non-negative integer.

一般而言，如果 N 值等于或大于 3，应选择 FIFO 速率同步模式。

Generally, if N is 3 or greater, FIFO-rate synchronization mode should be selected.

9.6 FIFO 速率模式同步 / 9.6 FIFO-Rate Mode Synchronization

"直接提供 DAC 采样时钟时的 FIFO 速率同步程序"部分概述了在 FIFO 速率模式下实现多器件同步所需的步骤。该程序假设 REFCLK 和 DACCLK 信号施加于所有器件。以下程序必须在每个器件上执行。

The "FIFO-Rate Synchronization Procedure With Directly Provided DAC Sampling Clock" section outlines the steps for multi-device synchronization in FIFO-rate mode, assuming REFCLK and DACCLK are applied to all devices; the procedure must be executed on every device.

9.7 直接提供 DAC 采样时钟时的 FIFO 速率同步程序 / 9.7 FIFO-Rate Synchronization Procedure With Directly Provided DAC Sampling Clock

将 0x80 写入同步控制寄存器（寄存器 0x10），以配置 FIFO 速率周期性同步。还可以使用其它同步选项，详见"其它同步功能"部分。

Write 0x80 to the synchronization control register (register 0x10) to configure FIFO-rate periodic synchronization; other synchronization options are detailed in the "Other Synchronization Functions" section.

轮询同步锁定位（寄存器 0x12 的位[6]），确认器件已经后端同步。此位为高电平表明时钟相位相对于同步信号是恒定且已知的。

Poll the sync-lock bit (bit[6] of register 0x12) to confirm the device has achieved back-end synchronization; a high level indicates the clock phase is constant and known relative to the synchronization signal.

在输入两个完整输入字所需的时间内选通 FRAME 信号高电平，以使 FIFO 复位。复位 FIFO 的目的是确保能够同时从各器件的 FIFO 读取正确的数据。

Strobe FRAME high for the time needed to input two complete input words, resetting the FIFO so that correct data can be read from all devices' FIFOs simultaneously.

这样就完成了同步程序，此时所用器件应被同步。为确保各 DAC 在同一 CLK 边沿更新为正确的数据，各 DAC 必须满足两个时序关系。DCIP/DCIN 和 D[15:0]P/D[15:0]N 必须满足相对于 DACCLK 上升沿的建立和保持时间要求，而 REFCLK 也必须满足相对于 DACCLK 上升沿的建立和保持时间要求。复位 FIFO 时，FRAME 信号必须在至少三个数据周期（即 1.5 个 DCI 周期）内保持高电平。满足这些条件时，各 DAC 的输出就能在彼此相差不超过（tSKEW + tOUTDLY）ns 的时间范围内完成更新。输入信号的时序要求如图 56 所示。

This completes the synchronization procedure; the devices in use should now be synchronized. To ensure all DACs update to correct data on the same CLK edge, each DAC must satisfy two timing relationships: DCIP/DCIN and D[15:0]P/D[15:0]N must meet setup/hold requirements relative to the DACCLK rising edge, and REFCLK must also meet setup/hold requirements relative to the DACCLK rising edge. When resetting the FIFO, FRAME must stay high for at least three data cycles (i.e., 1.5 DCI cycles). When these conditions are met, all DAC outputs update within (tSKEW + tOUTDLY) ns of each other. Input signal timing requirements are shown in Figure 56.

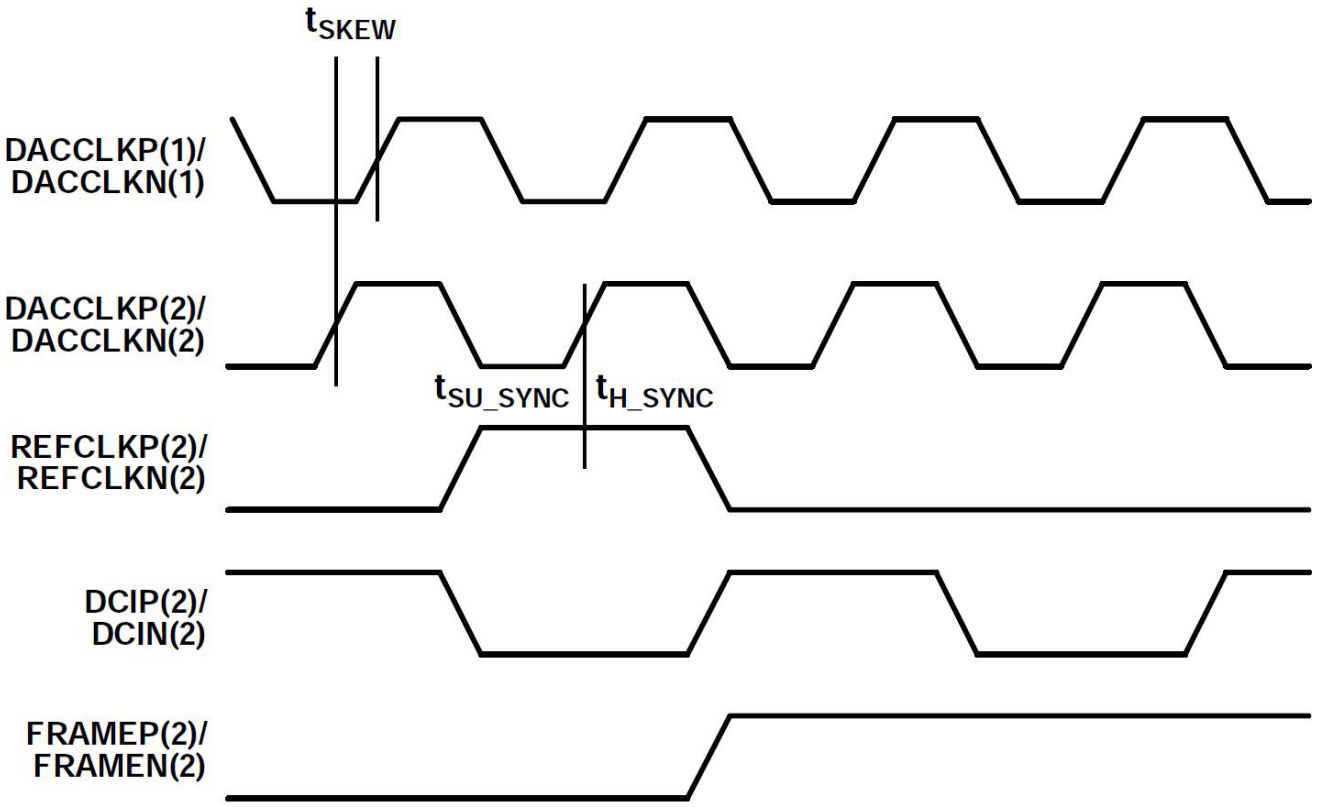


Figure 56: FIFO 速率同步信号时序要求（2 倍插值）/ FIFO-rate synchronization signal timing requirements (2x interpolation)

图 56 所示为 2 倍插值时的同步信号时序；因此，fDCI = 1/2 × fCLK。所示的 REFCLK 输入等于 FIFO 速率。一般而言，FIFO 速率模式下器件可以重新同步的最大频率表示为： Figure 56 shows synchronization signal timing for 2x interpolation; therefore fDCI = 1/2 × fCLK. The REFCLK input shown equals the FIFO rate. Generally, the maximum frequency at which the device can resynchronize in FIFO-rate mode is:

fSYNC_I = fDATA / (8 × 2^N)

其中，N 为任意非负整数。 where N is any non-negative integer.

9.8 其它同步功能 / 9.8 Other Synchronization Functions

同步逻辑整合了其它功能，可用来查询同步状态、提高同步的鲁棒性，以及提供单稳态同步模式。下面的"同步状态位"和"时序优化"部分将详细说明这些功能。

The synchronization logic integrates additional functions for querying synchronization status, improving synchronization robustness, and providing one-shot synchronization mode, detailed in the "Synchronization Status Bits" and "Timing Optimization" sections below.

9.9 同步状态位 / 9.9 Synchronization Status Bits

当同步锁定位（寄存器 0x12 的位 6）置 1 时，说明同步逻辑已经达到对齐。当时钟产生状态机相位恒定时，即可确定已经实现这种对齐，所需时间为（11+均值）×64 到（11+均值）×128 个 DACCLK 周期。如"中断请求操作"部分所述，该位可以选择性地触发 IRQ。

When the sync-lock bit (bit 6 of register 0x12) is set to 1, the synchronization logic has achieved alignment; this is determined when the clock-generation state machine phase is constant, taking (11+mean)×64 to

(11+mean)×128 DACCLK cycles. As described in the "Interrupt Request Operation" section, this bit can optionally trigger an IRQ.

当同步丢失位（寄存器 0x12 的位 7）置 1 时，说明先前同步的器件已经不再对齐。该位会被锁存并保持置位状态，直到通过覆写寄存器而清零。如"中断请求操作"部分所述，该位可以选择性地触发 IRQ。同步相位回读位（寄存器 0x13 的位[7:0]）以 6.2 格式报告当前时钟相位，而位[7:2]报告时钟当前处于 64 种状态中的何种状态（0 到 63）。当均值使能时，位[1:0]提供¼状态精度（0、¼、½、¾）。最低两位指示可能存在的时序余量问题。如果同步采样无误，小数时钟状态应为 00。

When the sync-lost bit (bit 7 of register 0x12) is set to 1, a previously synchronized device is no longer aligned; this bit is latched and stays set until cleared by overwriting the register. As described in the "Interrupt Request Operation" section, this bit can optionally trigger an IRQ. The sync-phase readback bits (bits[7:0] of register 0x13) report the current clock phase in 6.2 format, with bits[7:2] reporting which of 64 states (0 to 63) the clock is in. When averaging is enabled, bits[1:0] provide ¼-state precision (0, ¼, ½, ¾); the two LSBs indicate possible timing-margin issues. If synchronization sampling is error-free, the fractional clock state should be 00.

9.10 时序优化 / 9.10 Timing Optimization

REFCLK 信号由某个版本的 DACCLK 采样。如果检测到采样错误，可以选择相反的采样边沿来改善采样点。采样边沿可以通过设置寄存器 0x10 的位 3（1=上升沿，0=下降沿）进行选择。

The REFCLK signal is sampled by a version of DACCLK; if a sampling error is detected, the opposite sampling edge can be selected to improve the sampling point, via bit 3 of register 0x10 (1 = rising edge, 0 = falling edge).

当 REFCLK 信号与时钟产生状态机的状态之间相位变化超过某一阈值时，同步逻辑会重新同步。为减轻抖动效应并防止错误的重新同步，可以对相对相位求取平均值。均值数量由同步均值位（寄存器 0x10 的位[2:0]）设置，范围为 1 到 128。均值数越多，则器件辨识并重新同步到有效相位校正的时间越长。一般而言，在符合所分配的重新同步时间间隔条件下，均值数应尽可能多。

When the phase between the REFCLK signal and the clock-generation state machine changes beyond a threshold, the synchronization logic resynchronizes. To mitigate jitter effects and prevent erroneous resynchronization, the relative phase can be averaged; the number of averages is set by the sync-mean bits (bits[2:0] of register 0x10), from 1 to 128. More averages means longer time for the device to recognize and resynchronize to a valid phase correction; generally, use as many averages as possible within the allotted resynchronization interval.

同步相位请求位值（寄存器 0x11 的位[5:0]）是初始化时时钟产生状态机的复位状态。通过改变该值，可以调整内部时钟相对于 REFCLK 信号的时序。每次同步相位请求[5:0]（寄存器 0x11 的位[5:0]）值递增时，内部时钟便前进一个 DACCLK 周期。这种偏移有两个作用：一是以 DACCLK 周期为增量，使两个同步 DAC 的输出发生偏斜；二是改变 DCI 输入与 REFCLK 之间的相对时序。在数据速率同步模式下，这可以使 DCI 采样点放在更佳的位置。

The sync-phase request value (bits[5:0] of register 0x11) is the reset state of the clock-generation state machine at initialization; changing it adjusts internal clock timing relative to REFCLK. Each increment of sync-phase request[5:0] advances the internal clock by one DACCLK cycle. This offset serves two purposes: skewing two synchronized DACs' outputs in DACCLK-cycle increments, and changing the relative timing

between the DCI input and REFCLK — in data-rate sync mode, this can place the DCI sampling point more optimally.

10、中断请求操作 / 10. Interrupt Request Operation

SXD033 提供中断请求输出信号（引脚 7 上，IRQ），可用来在发生重要器件事件时通知外部主机处理器。中断置位时，应查询器件以确定到底发生了何种事件。IRQ 引脚是一个开漏、低电平有效输出。应在器件外部拉高 IRQ 引脚。此引脚可以连接到其它器件的开漏输出中断引脚，使这些引脚形成'线或'连接。

The SXD033 provides an interrupt request output (pin 7, IRQ) to notify the external host processor of significant device events. When an interrupt is asserted, the device should be queried to determine which event occurred. The IRQ pin is an open-drain, active-low output and should be pulled high externally; it can be connected to other devices' open-drain interrupt outputs to form a 'wired-OR' connection.

该器件向外部提供了 16 个不同的事件标志，这些标志位于两个事件标志寄存器（寄存器 0x06 和寄存器 0x07）中。各事件标志的行为可以通过中断使能寄存器（寄存器 0x04 和寄存器 0x05）来单独选择。当标志中断使能激活时，事件标志锁存并触发外部中断。当标志中断禁用时，事件标志仅监控源信号，而外部 IRQ 处于无效状态。

The device exposes 16 distinct event flags in two event-flag registers (registers 0x06 and 0x07), each individually selectable via the interrupt enable registers (registers 0x04 and 0x05). When a flag's interrupt enable is active, the event flag latches and triggers an external interrupt; when disabled, the event flag only monitors the source signal while the external IRQ stays inactive.

图 57 所示为 IRQ 相关电路。该图显示了事件标志信号如何传播到 IRQ 输出。interupt_enable 信号代表中断使能寄存器中的一位。event_flag_source 信号代表事件标志寄存器中的一位。event_flag_source 信号代表可以监控的一个器件信号，例如来自 PLL 鉴相器的 PLL_locked 信号或来自 FIFO 控制器的 FIFO 警告 1 信号等。

Figure 57 shows the IRQ-related circuitry, illustrating how event-flag signals propagate to the IRQ output. The interupt_enable signal represents a bit in the interrupt enable registers; the event_flag_source signal represents a bit in the event-flag registers and a monitorable device signal, e.g., the PLL_locked signal from the PLL phase detector or the FIFO warning 1 signal from the FIFO controller.

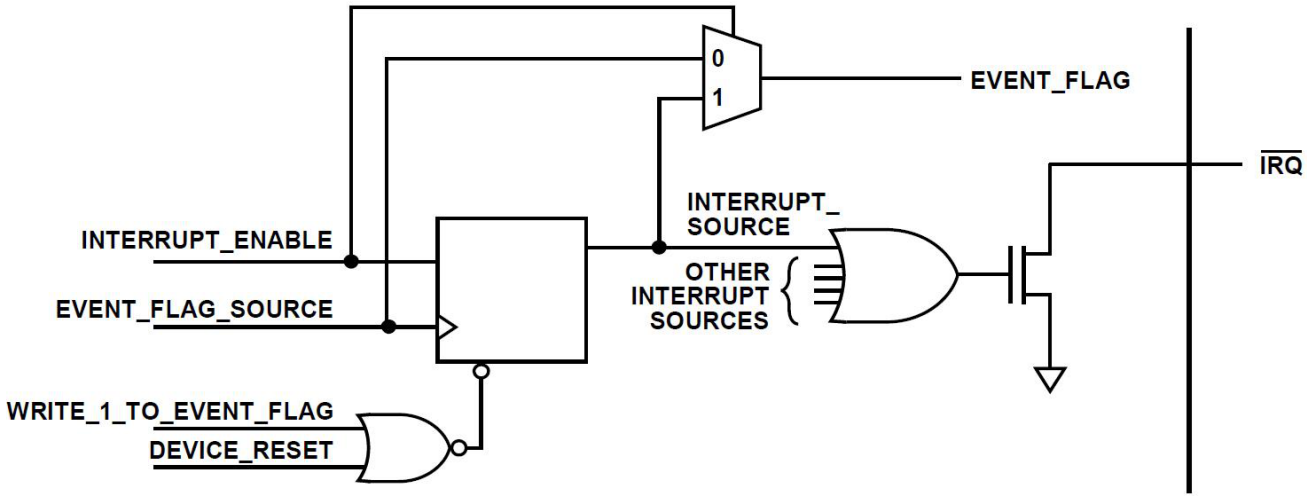


Figure 57: IRQ 电路原理示意图 / IRQ circuit schematic

当一个中断使能位变为高电平时，相应的事件标志位反映正触发状态，即在 event_flag_source 信号的 event_flag_source 版本上升沿锁存。该信号也会置位外部 IRQ。当一个中断使能位变为低电平时，事件标志位反映 event_flag_source 信号的当前状态，而事件标志对外部 IRQ 无影响。

When an interrupt enable bit goes high, the corresponding event flag reflects the asserting state — latched on the rising edge of the event_flag_source version of the event_flag_source signal — and also asserts the external IRQ. When an interrupt enable bit goes low, the event flag reflects the current state of event_flag_source with no effect on the external IRQ.

事件标志的锁存版本（interupt_source signal）可通过两种方式予以清除。推荐方法是将 1 写入到相应的事件标志位。硬件或软件复位也能清除 interupt_source。

The latched version of the event flag (interupt_source signal) can be cleared in two ways; the recommended method is writing 1 to the corresponding event-flag bit. A hardware or software reset also clears interupt_source.

中断请求管理从选择需要主机干预或监控的事件标志集开始。应当使能那些需要主机采取行动的事件，以便在发生这些事件时能够通知主机。对于要求主机干预的事件，在 IRQ 激活时，应执行下述程序以清除中断请求：

Interrupt request management starts by selecting the set of event flags requiring host intervention or monitoring; enable those requiring host action so the host is notified when they occur. For events requiring host intervention, follow this procedure to clear the interrupt request when IRQ activates:

步骤 1：读取受监控的事件标志位的状态。 Step 1: Read the state of the monitored event-flag bits. 步骤 2：将中断使能位设置为低电平，以便可以直接监控未锁存的 event_flag_source。 Step 2: Set the interrupt enable bits low to directly monitor the unlatched event_flag_source. 步骤 3：执行清除 event_flag_source 可能需要的所有操作。许多情况下，可能不需要执行任何特定操作。 Step 3: Perform any actions needed to clear event_flag_source; in many cases no specific action is needed. 步骤 4：读取事件标志位，以确认所采取的操作已经清除 event_flag_source。 Step 4: Read the event-flag bits to confirm the action cleared event_flag_source. 步骤 5：将 1 写入到事件标志位以清除中断。 Step 5: Write 1 to the event-flag bits to clear the interrupt. 步骤 6：设置需所监控事件的中断使能位。 Step 6: Set the interrupt enable bits for the events to be monitored.

注意，有些 event_flag_source 信号是锁存信号，清除这些信号的方法是写入相应的事件标志位。

Note: some event_flag_source signals are latched; they are cleared by writing the corresponding event-flag bits.

11、接口时序验证 / 11. Interface Timing Verification

SXD033 片内集成采样误差检测（SED）电路，可以简化输入数据接口的验证。SED 将数字输入引脚上采集的输入数据样本与一组比较值进行比较。比较值通过 SPI 端口载入寄存器。SED 会检测并存储采集值与比较值之间的差异。可以使用多种选项来定制 SED 测试序列和误差处理。

The SXD033 integrates a sample error detection (SED) circuit that simplifies input-data-interface verification. SED compares input data samples captured on the digital input pins against a set of comparison values loaded into registers via the SPI port, detecting and storing differences between captured and comparison values. Various options customize the SED test sequence and error handling.

11.1 SED 操作 / 11.1 SED Operation

SED 电路采用一个数据集工作，该数据集由四个分别表示为 I0、Q0、I1 和 Q1 的 16 位输入字组成。为使输入样本正确对齐，第一个 I 数据字（即 I0）通过在至少一个完整的输入采样期间置位 FRAME 来表示。

The SED circuit operates on a dataset of four 16-bit input words denoted I0, Q0, I1, and Q1. For correct input-sample alignment, the first I data word (I0) is indicated by asserting FRAME for at least one complete input sample period.

图 58 显示了字模式下接口的输入时序。FRAME 信号可以在数据传输一开始就发出，或者在与 I0 和 Q0 数据字重合的时间间隔内重复置位。

Figure 58 shows the interface input timing in word mode. The FRAME signal can be issued at the very start of data transfer or repeatedly asserted during intervals coinciding with the I0 and Q0 data words.

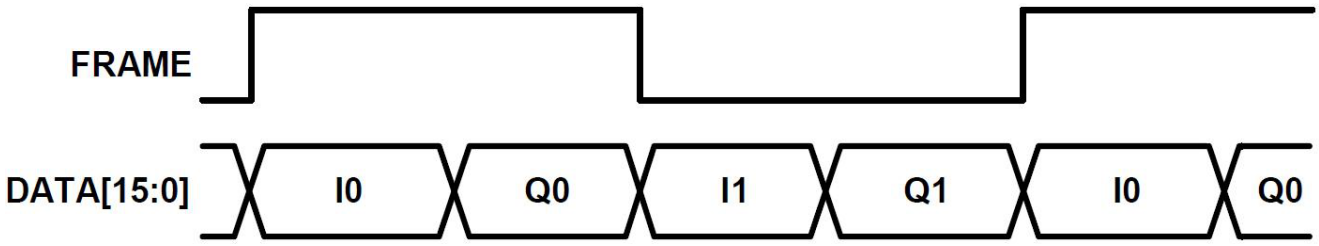


Figure 58: SED 对齐输入数据所需的扩展 FRAME 信号时序图 / Extended FRAME signal timing diagram for SED input-data alignment

SED 有三个标志位（寄存器 0x67 的位 0、位 1 和位 5），用以表示输入样本比较的结果。检测到错误时，检测到采样错误位（寄存器 0x67 的位 5）即会置位，并且在清零之前一直保持置位状态。SED 还提供了寄存器来指示出现错误的具体输入数据位（寄存器 0x70 至寄存器 0x73）。在清除之前，这些位会被锁存，并指示累计检测到的错误数。

SED has three flag bits (bits 0, 1, and 5 of register 0x67) indicating input-sample comparison results. On error detection, the sample-error-detected bit (bit 5 of register 0x67) is set and stays set until cleared. SED also provides registers indicating the specific input data bits in error (registers 0x70 to 0x73); these bits latch until cleared and indicate the cumulative error count.

自动清零模式有两个作用：一是激活比较失败位和比较通过位（寄存器 0x67 的位 1 和位 0），二是改变寄存器 0x70 至寄存器 0x73 的行为。如果最后一次比较显示采样无误，则比较通过位置 1。如果检测到错误，则比较失败位置 1。当连续接收到八个无误比较时，比较失败位自动清零。当自动清零模式使能时，寄存器 0x70 至寄存器 0x73 像前文所述一样累计错误，但连续八次采样比较无误后会复位至全 0 状态。

Auto-clear mode has two effects: activating the compare-fail and compare-pass bits (bits 1 and 0 of register 0x67), and changing the behavior of registers 0x70 to 0x73. If the last comparison shows error-free sampling, the compare-pass bit is set to 1; if an error is detected, the compare-fail bit is set to 1. The compare-fail bit auto-clears after eight consecutive error-free comparisons. With auto-clear enabled, registers 0x70 to 0x73 accumulate errors as described, but reset to all-0 after eight consecutive error-free sample comparisons.

如果需要，可以将采样错误、比较通过和比较失败标志位配置为激活时触发 IRQ。这可以通过使能事件标志寄存器（寄存器 0x07）中的相应位来实现。

If needed, the sample-error, compare-pass, and compare-fail flags can be configured to trigger IRQ when activated, by enabling the corresponding bits in the event-flag register (register 0x07).

表 15 显示了输入采样比较结果的变化及相应的错误标志状态。

Table 15 shows input-sample comparison result sequences and the corresponding error-flag states.

表 15 比较结果的变化和相应的 SED 寄存器值 / Table 15 Comparison Result Sequences and Corresponding SED Register Values

比较结果(通过/失败) / Compare Result (Pass/Fail)	P	F	F	F	P	P	P	P	P	P	P	P	P	F	P	F
寄存器 0x67 的位 5（检测到采样错误）/ Register 0x67 bit 5 (sample error detected)	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
寄存器 0x67 的位 1（比较失败）/ Register 0x67 bit 1 (compare fail)	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
寄存器 0x67 的位 0（比较通过）/ Register 0x67 bit 0 (compare pass)	1	0	0	0	1	1	1	1	1	1	1	1	1	0	1	0
寄存器 0x70 至寄存器 0x73（检测到错误 x_BITS[15:0]）/ Registers 0x70–0x73 (error detected x_BITS[15:0])	Z[1]	N[2]	N[2]	N[2]	N[2]	N[2]	N[2]	N[2]	N[2]	N[2]	N[2]	N[2]	N[2]	N[2]	N[2]	N[2]

Z=全 0。/ Z = all 0. N=非 0。/ N = non-zero.

11.2 SED 示例 / 11.2 SED Example

下例显示了用于连续监控输入数据并在检测到一个错误时就置位的 SED 配置。

The following example shows an SED configuration for continuously monitoring input data and asserting upon detecting an error.

步骤 1：写入下列寄存器以使能 SED 并加载比较值： Step 1: Write the following registers to enable SED and load comparison values:

- 寄存器 0x67 → 0x80 / Register 0x67 → 0x80
- 寄存器 0x68 → I0[7:0] / Register 0x68 → I0[7:0]
- 寄存器 0x69 → I0[15:8] / Register 0x69 → I0[15:8]
- 寄存器 0x6A → Q0[7:0] / Register 0x6A → Q0[7:0]
- 寄存器 0x6B → Q0[15:8] / Register 0x6B → Q0[15:8]
- 寄存器 0x6C → I1[7:0] / Register 0x6C → I1[7:0]
- 寄存器 0x6D → I1[15:8] / Register 0x6D → I1[15:8]
- 寄存器 0x6E → Q1[7:0] / Register 0x6E → Q1[7:0]
- 寄存器 0x6F → Q1[15:8] / Register 0x6F → Q1[15:8]

比较值可以任意选择；不过，如果所选值需要频繁进行位跳变，测试稳健性最佳。

Comparison values can be chosen arbitrarily; however, test robustness is best when the chosen values require frequent bit toggling.

步骤 2：使能 SED 错误检测标志以置位 IRQ 引脚。 Step 2: Enable the SED error-detection flag to assert the IRQ pin.

- 寄存器 0x05 → 0x04 / Register 0x05 → 0x04

© 2026 Shenzhen Shenxin Technology Co., Ltd. | shenxinic.com | Page 82 of 113

步骤 3：开始发送输入数据码。 Step 3: Start sending input data codes.

如果 IRQ 置位，应读取寄存器 0x67 和寄存器 0x70 至寄存器 0x73，以确认检测到 SED 错误，并确定哪些输入位出错。寄存器 0x70 至寄存器 0x73 中的位被锁存；因此，这些位指示的是整个测试期间发生在这些位上的所有错误，而不只是导致检测到错误标志位置 1 的错误。

If IRQ is asserted, read registers 0x67 and 0x70 to 0x73 to confirm the SED error and identify which input bits are in error. Bits in registers 0x70 to 0x73 are latched, thus indicating all errors on those bits during the entire test — not just the error that set the error-detected flag.

注意，当器件配置为字模式时，正常工作期间无需 FRAME 信号。若要像上文所述一样使能 I0 采样对齐，则必须使用 FRAME 信号。字节和半字节模式的时序图与正常工作时一样，分别如图 22 和图 23 所示。

Note: when the device is configured for word mode, no FRAME signal is needed during normal operation. To enable I0 sample alignment as described above, the FRAME signal must be used. Byte- and nibble-mode timing diagrams are the same as in normal operation, shown in Figures 22 and 23 respectively.

12、电路使用示例 / 12. Circuit Application Example

12.1 若电路使用在如下场景：/ 12.1 Example Scenario:

- fDATA=122.88MSPS;
- fDACCLK＜500MHz;
- fIN=1MHz；
- fOUT=141MHz；
- fREFCLK=122.88MHz；
- PLL 使能 / PLL enabled;
- NCO 使能 / NCO enabled;
- 反 sinc 使能 / Inverse-sinc enabled.

12.2 配置设置 / 12.2 Configuration Settings

a) 根据条件可采用 4 倍插值，可得： a) 4x interpolation can be used per the conditions:

fDACCLK = fDATA×4 = 491.52MHz

b) 根据 VCO 的工作频率范围可选择 4 倍频： b) 4x multiplication can be chosen per the VCO operating frequency range:

fVCO = fDACCLK×4 = 1966.08MHz (1.1GHz<fVCO<2GHz); N1 = fDACCLK / fREFCLK = 4 N2 = fVCO / fDACCLK = 4

c) 根据输出频率 fOUT，可选择滤波器的 4x 配置为： c) Per the output frequency fOUT, the filter 4x configuration is:

HB1=10，HB2=010010

d) 根据滤波器的数字配置和数据率，可得 NCO 的频率为： d) Per the filter digital configuration and data rate, the NCO frequency is:

fNCO = 2×fDATA = 245.76MHz

NCO 的频移频率： NCO shift frequency:

fCARRIER = fOUT − fIN − fMODHB1 = 141 − 1 − 122.88 = 17.12MHz FTW = 17.12 / (2×122.8) × 2^32 = 0x11D55555

12.3 程序配置顺序如下：/ 12.3 Programming Sequence:

①上电；/ ① Power up; ②复位：/ ② Reset:

- 0x00→0x20
- 0x00→0x00

③开启自动 PLL / ③ Enable automatic PLL:

- 0x0D→0xD9
- 0x0A→0xC0
- 0x0A→0x80

④验证 PLL 是否锁定 / ④ Verify PLL lock:

- 回读 0x0E /期望 bit 7=1/ / Read back 0x0E /expect bit 7=1/

⑤配置内插滤波器 / ⑤ Configure interpolation filters:

- 0x1B→0x84
- 0x1C→0x04
- 0x1D→0x24
- 0x1E→0x01

⑥配置 NCO / ⑥ Configure NCO:

- 0x30→0x55
- 0x31→0x55
- 0x32→0xD5
- 0x33→0x11
- 0x36→0x01
- 0x36→0x00

⑦FIFO 软复位 / ⑦ FIFO soft reset:

- 0x18→0x02

⑧验证 FIFO 复位 / ⑧ Verify FIFO reset:

- 回读 0x18 /期望回读为 07/ / Read back 0x18 /expect readback 07/
- 0x18→0x00
- 回读 0x19 /期望回读为 1F 或 0F 或 07/（1F 表示读写相位相差 5，0F 表示读写相位相差 4，07 表示读写相位相差 3，均处于正常状态）/ Read back 0x19 /expect readback 1F, 0F, or 07/ (1F = read/write phase difference of 5, 0F = difference of 4, 07 = difference of 3; all normal)

寄存器 / Registers

1、内存映射 / 1. Memory Map

读取内存映射寄存器表。内存映射寄存器表中的每个地址都有 8 位。

Refer to the memory-mapped register table. Each address in the memory-mapped register table is 8 bits.

2、默认值 / 2. Default Values

复位后，关键寄存器加载默认值。寄存器的默认值在存储器映射寄存器表中。

After reset, key registers load default values, listed in the memory-mapped register table.

3、逻辑电平 / 3. Logic Levels

逻辑电平术语的解释如下： Logic-level terminology is explained as follows:

- "位已设置"即"该位已设置为逻辑 1"或"该位已写入逻辑 1。"
- "Bit set" means "the bit is set to logic 1" or "logic 1 has been written to the bit."
- "清除位"即"该位已设置为逻辑 0"或"该位已写入逻辑 0。"
- "Bit cleared" means "the bit is set to logic 0" or "logic 0 has been written to the bit."
- X 表示无关位。
- X denotes a don't-care bit.

4、内存映射寄存器表 / 4. Memory-Mapped Register Table

表 16 器件配置寄存器映射 / Table 16 Device Configuration Register Map

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 7 / Bit 7	位 6 / Bit 6	位 5 / Bit 5	位 4 / Bit 4	位 3 / Bit 3	位 2 / Bit 2	位 1 / Bit 1	位 0 / Bit 0	默认值 / Default
通信 / Communications	0x00	SDIO	LSB_FIRST	复位 / Reset	-	-	-	-	-	0x00
功耗控制 / Power control	0x01	DAC I 掉电 / DAC I power-down	DAC Q 掉电 / DAC Q power-down	数据接收机掉电 / Data receiver power-down	辅助 ADC 掉电 / Aux ADC power-down	-	-	-	-	0x10
数据格式 / Data format	0x03	二进制数据格式 / Binary data format	Q 数据优先 / Q data first	MSB 交换 / MSB swap	-	-	-	数据总线宽度 [1:0] / Data bus width[1:0]	0x00	
中断使能 / Interrupt enable	0x04	使能 PLL 失锁 / Enable PLL unlock	使能 PLL 锁定 / Enable PLL lock	使能同步信号丢失 / Enable sync loss	使能同步信号锁定 / Enable sync lock	-	-	使能 FIFO 警告 1 / Enable FIFO warning 1	使能 FIFO 警告 2 / Enable FIFO warning 2	0x00
中断使能 / Interrupt enable	0x05	0	0	0	使能 AED 比较通过 / Enable AED compare pass	使能 AED 比较失败 / Enable AED compare fail	使能 SED 比较失败 / Enable SED compare fail	0	0	0x00
事件标志 / Event flags	0x06	PLL 失锁 / PLL unlock	PLL 锁定 / PLL lock	同步信号丢失 / Sync loss	同步信号锁定 / Sync lock	-	-	FIFO 警告 1 / FIFO warning 1	FIFO 警告 2 / FIFO warning 2	N/A
事件标志 / Event flags	0x07	-	-	-	AED 比较通过 / AED compare pass	AED 比较失败 / AED compare fail	SED 比较失败 / SED compare fail	-	-	N/A
时钟接收机控制 / Clock receiver control	0x08	DACCLK 占空比校正 / DACCLK duty-cycle correction	REFCLK 占空比校正 / REFCLK duty-cycle correction	DACCLK 交叉校正 / DACCLK crossover correction	REFCLK 交叉校正 / REFCLK crossover correction	1	1	1	1	0x3F
PLL 控制 / PLL control	0x0A	PLL 使能 / PLL enable	PLL 手动使能 / PLL manual enable	手动 VCO 频段 [5:0] / Manual VCO band[5:0]	0x40					
PLL 控制 / PLL control	0x0C	PLL 环路带宽[1:0] / PLL loop bandwidth[1:0]	-	PLL 电荷泵电流 [4:0] / PLL	0xD1					

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 7 / Bit 7	位 6 / Bit 6	位 5 / Bit 5	位 4 / Bit 4	位 3 / Bit 3	位 2 / Bit 2	位 1 / Bit 1	位 0 / Bit 0	默认值 / Default
				charge-pump current[4:0]						
PLL 控制 / PLL control	0x0D	N2[1:0]	-	PLL 交叉控制使能 / PLL crossover control enable	N0[1:0]	N1[1:0]	0xD9			
PLL 状态 / PLL status	0x0E	PLL 锁定 / PLL lock	-	-	-	VCO 控制电压[3:0] / VCO control voltage[3:0]	N/A			
PLL 状态 / PLL status	0x0F	-	-	VCO 频段回读[5:0] / VCO band readback[5:0]	N/A					
同步控制 / Sync control	0x10	同步使能 / Sync enable	数据/FIFO 速率切换 / Data/FIFO rate select	-	-	上升沿同步 / Rising-edge sync	同步均值[2:0] / Sync mean[2:0]	0x48		
同步控制 / Sync control	0x11	-	-	同步相位请求[5:0] / Sync phase request[5:0]	0x00					
同步状态 / Sync status	0x12	同步丢失 / Sync lost	同步锁定 / Sync locked	-	-	-	-	-	-	N/A
同步状态 / Sync status	0x13	同步相位回读[7:0]（6.2 格式）/ Sync phase readback[7:0] (6.2 format)	N/A							
数据接收机状态 / Data receiver status	0x15	-	-	LVDS FRAME 电平高 / LVDS FRAME high	LVDS FRAME 电平低 / LVDS FRAME low	LVDS DCI 电平高 / LVDS DCI high	LVDS DCI 电平低 / LVDS DCI low	LVDS 数据电平高 / LVDS data high	LVDS 数据电平低 / LVDS data low	N/A
DCI 延迟 / DCI delay	0x16	-	-	-	-	-	-	DCI 延迟[1:0] / DCI delay[1:0]	0x00	
FIFO 控制 / FIFO control	0x17	-	-	-	-	-	FIFO 相位偏移[2:0] / FIFO phase offset[2:0]	0x04		

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 7 / Bit 7	位 6 / Bit 6	位 5 / Bit 5	位 4 / Bit 4	位 3 / Bit 3	位 2 / Bit 2	位 1 / Bit 1	位 0 / Bit 0	默认值 / Default
FIFO 状态 / FIFO status	0x18	FIFO 警告 1 / FIFO warning 1	FIFO 警告 2 / FIFO warning 2	-	-	-	FIFO 软对齐应答 / FIFO soft-align acknowledge	FIFO 软对齐请求 / FIFO soft-align request	-	N/A
FIFO 状态 / FIFO status	0x19	FIFO 水平[7:0] / FIFO level[7:0]	N/A							
数据路径控制 / Datapath control	0x1B	旁路预调制 / Bypass pre-modulation	旁路 Sinc−1 / Bypass sinc−1	旁路 NCO / Bypass NCO	-	NCO 增益 / NCO gain	旁路相位比较和直流失调 / Bypass phase compare & DC offset	选择边带 / Sideband select	I 数据发送到 Q 数据 / I data to Q data	0xE4
HB1 控制 / HB1 control	0x1C	-	-	-	-	-	HB1[1:0]	旁路 HB1 / Bypass HB1	0x00	
HB2 控制 / HB2 control	0x1D	-	HB2[5:0]	旁路 HB2 / Bypass HB2	0x00					
HB3 控制 / HB3 control	0x1E	-	HB3[5:0]	旁路 HB3 / Bypass HB3	0x00					
芯片 ID / Chip ID	0x1F	芯片 ID[7:0] / Chip ID[7:0]	0x08							
FTW LSB	0x30	FTW[7:0]	0x00							
FTW	0x31	FTW[15:8]	0x00							
FTW	0x32	FTW[23:16]	0x00							
FTW MSB	0x33	FTW[31:24]	0x08							
NCO 相位偏移 LSB / NCO phase offset LSB	0x34	NCO 相位偏移[7:0] / NCO phase offset[7:0]	0x00							
NCO 相位偏移 MSB / NCO phase offset MSB	0x35	NCO 相位偏移[15:8] / NCO phase offset[15:8]	0x00							
NCO FTW 更新 / NCO FTW update	0x36	-	-	帧 FTW 应答 / Frame FTW acknowledge	帧 FTW 请求 / Frame FTW request	-	-	更新 FTW 应答 / Update FTW acknowledge	更新 FTW 请求 / Update FTW request	0x00

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 7 / Bit 7	位 6 / Bit 6	位 5 / Bit 5	位 4 / Bit 4	位 3 / Bit 3	位 2 / Bit 2	位 1 / Bit 1	位 0 / Bit 0	默认值 / Default
I 相位调整 LSB / I phase adjust LSB	0x38	I 相位调整[7:0] / I phase adjust[7:0]	0x00							
I 相位调整 MSB / I phase adjust MSB	0x39	-	-	-	-	-	-	I 相位调整[9:8] / I phase adjust[9:8]	0x00	
Q 相位调整 LSB / Q phase adjust LSB	0x3A	Q 相位调整[7:0] / Q phase adjust[7:0]	0x00							
Q 相位调整 MSB / Q phase adjust MSB	0x3B	-	-	-	-	-	-	Q 相位调整[9:8] / Q phase adjust[9:8]	0x00	
I DAC 失调 LSB / I DAC offset LSB	0x3C	I DAC 失调[7:0] / I DAC offset[7:0]	0x00							
I DAC 失调 MSB / I DAC offset MSB	0x3D	I DAC 失调[15:8] / I DAC offset[15:8]	0x00							
Q DAC 失调 LSB / Q DAC offset LSB	0x3E	Q DAC 失调[7:0] / Q DAC offset[7:0]	0x00							
Q DAC 失调 MSB / Q DAC offset MSB	0x3F	Q DAC 失调[15:8] / Q DAC offset[15:8]	0x00							
I DAC FS 调整 / I DAC FS adjust	0x40	I DAC FS 调整[7:0] / I DAC FS adjust[7:0]	0xF9							
I DAC 控制 / I DAC control	0x41	I DAC 休眠 / I DAC sleep	-	-	-	-	-	I DAC FS 调整[9:8] / I DAC FS adjust[9:8]	0x01	
辅助 DAC I 数据 / Aux DAC I data	0x42	I 辅助 DAC[7:0] / I aux DAC[7:0]	0x00							
I 辅助 DAC 控制 / I aux DAC control	0x43	I 辅助 DAC 符号 / I aux DAC sign	I 辅助 DAC 电流方向 / I aux DAC current direction	I 辅助 DAC 休眠 / I aux DAC sleep	-	-	-	I 辅助 DAC[9:8] / I aux DAC[9:8]	0x00	
Q DAC FS 调整 / Q DAC FS adjust	0x44	Q DAC FS 调整[7:0] / Q DAC FS adjust[7:0]	0xF9							
	0x45		-	-	-	-	-		0x01	

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 7 / Bit 7	位 6 / Bit 6	位 5 / Bit 5	位 4 / Bit 4	位 3 / Bit 3	位 2 / Bit 2	位 1 / Bit 1	位 0 / Bit 0	默认值 / Default
Q DAC 控制 / Q DAC control		Q DAC 休眠 / Q DAC sleep						Q DAC FS 调整 [9:8] / Q DAC FS adjust[9:8]		
辅助 DAC Q 数据 / Aux DAC Q data	0x46	Q 辅助 DAC[7:0] / Q aux DAC[7:0]	0x00							
Q 辅助 DAC 控制 / Q aux DAC control	0x47	Q 辅助 DAC 符号 / Q aux DAC sign	Q 辅助 DAC 电流方向 / Q aux DAC current direction	Q 辅助 DAC 休眠 / Q aux DAC sleep	-	-	-	Q 辅助 DAC[9:8] / Q aux DAC[9:8]	0x00	
芯片温度范围 / Die temperature range	0x48	-	FS 电流[2:0] / FS current[2:0]	基准电流[2:0] / Reference current[2:0]	电容值 / Capacitance	0x02				
芯片温度 LSB / Die temperature LSB	0x49	芯片温度[7:0] / Die temperature[7:0]	N/A							
芯片温度 MSB / Die temperature MSB	0x4A	芯片温度[15:8] / Die temperature[15:8]	N/A							
SED 控制 / SED control	0x67	SED 比较使能 / SED compare enable	-	检测到采样错误 / Sample error detected	-	使能自动清零 / Auto-clear enable	-	比较失败 / Compare fail	比较通过 / Compare pass	0x00
比较 I0 LSB / Compare I0 LSB	0x68	比较值 I0[7:0] / Compare value I0[7:0]	0xB6							
比较 I0 MSB / Compare I0 MSB	0x69	比较值 I0[15:8] / Compare value I0[15:8]	0x7A							
比较 Q0 LSB / Compare Q0 LSB	0x6A	比较值 Q0[7:0] / Compare value Q0[7:0]	0x45							
比较 Q0 MSB / Compare Q0 MSB	0x6B	比较值 Q0[15:8] / Compare value Q0[15:8]	0xEA							
比较 I1 LSB / Compare I1 LSB	0x6C	比较值 I1[7:0] / Compare value I1[7:0]	0x16							
比较 I1 MSB / Compare I1 MSB	0x6D	比较值 I1[15:8] / Compare value I1[15:8]	0x1A							

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 7 / Bit 7	位 6 / Bit 6	位 5 / Bit 5	位 4 / Bit 4	位 3 / Bit 3	位 2 / Bit 2	位 1 / Bit 1	位 0 / Bit 0	默认值 / Default
比较 Q1 LSB / Compare Q1 LSB	0x6E	比较值 Q1[7:0] / Compare value Q1[7:0]	0xC6							
比较 Q1 MSB / Compare Q1 MSB	0x6F	比较值 Q1[15:8] / Compare value Q1[15:8]	0xAA							
SED I LSB	0x70	检测到错误 I_BITS[7:0] / Error detected I_BITS[7:0]	0x00							
SED I MSB	0x71	检测到错误 I_BITS[15:8] / Error detected I_BITS[15:8]	0x00							
SED Q LSB	0x72	检测到错误 Q_BITS[7:0] / Error detected Q_BITS[7:0]	0x00							
SED Q MSB	0x73	检测到错误 Q_BITS[15:8] / Error detected Q_BITS[15:8]	0x00							
版本 / Version	0x7F	0	0	版本[3:0] / Version[3:0]	0	0	N/A			

表 17 器件配置寄存器描述 / Table 17 Device Configuration Register Descriptions

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
通信 / Communications	00	7	SDIO	SDIO 操作。0=SDIO 仅用作输入。1=SDIO 用作双向输入/输出。/ SDIO operation. 0 = SDIO used as input only. 1 = SDIO used as bidirectional input/output.	0
通信 / Communications	00	6	LSB_FIRST	串行端口通信是 LSB 优先还是 MSB 优先。0=MSB 优先。1=LSB 优先。/ Whether serial port communication is LSB-first or MSB-first. 0 = MSB-first. 1 = LSB-first.	0

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
通信 / Communications	00	5	复位 / Reset	当向此位写入高电平并保持时，器件处于复位状态，直到写入低电平。/ While this bit is written high and held, the device stays in reset until a low is written.	
功耗控制 / Power control	01	7	DAC I 掉电 / DAC I power-down	1=DAC I 掉电。/ 1 = DAC I powered down.	0
功耗控制 / Power control	01	6	DAC Q 掉电 / DAC Q power-down	1=DAC Q 掉电。/ 1 = DAC Q powered down.	0
功耗控制 / Power control	01	5	数据接收机掉电 / Data receiver power-down	1=输入数据接收机掉电。/ 1 = input data receiver powered down.	0
功耗控制 / Power control	01	4	辅助 ADC 掉电 / Aux ADC power-down	1=用于温度传感器的辅助 ADC 掉电。/ 1 = auxiliary ADC for temperature sensor powered down.	1
数据格式 / Data format	03	7	二进制数据格式 / Binary data format	0=输入数据为二进制补码格式。1=输入数据为二进制格式。/ 0 = input data in two's-complement format. 1 = input data in binary format.	0
数据格式 / Data format	03	6	Q 数据优先 / Q data first	表示数据输入端的 I/Q 数据配对方式。0=I 数据首先发送到数据接收机。1=Q 数据首先发送到数据接收机。/ Indicates I/Q data pairing at the data input. 0 = I data sent to the data receiver first. 1 = Q data sent first.	0
数据格式 / Data format	03	5	MSB 交换 / MSB swap	交换数据输入端口的位序。0=数据位序与引脚描述一致。1=交换位分配顺序，最高有效位变为最低有效位（LSB）。/ Swaps bit order of the data input port. 0 = bit order matches pin description. 1 = swaps bit assignment order; MSB becomes LSB.	0
数据格式 / Data format	03	1:0	数据总线宽度 / Data bus width	数据接收机接口模式。00=字模式；16 位接口总线宽度。01=字节模式；8 位接口总线宽度。10=半字节模式；4 位接口总线宽度。11=无效。/ Data receiver interface mode. 00 = word mode; 16-bit interface bus width. 01 = byte mode; 8-bit bus width. 10 = nibble mode; 4-bit bus width. 11 = invalid.	00
中断使能 / Interrupt enable	04	7	使能 PLL 失锁 / Enable PLL unlock	1=使能 PLL 失锁中断。/ 1 = enable PLL unlock interrupt.	0
中断使能 / Interrupt enable	04	6	使能 PLL 锁定 /	1=使能 PLL 锁定中断。/ 1 = enable PLL lock interrupt.	0

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
			Enable PLL lock		
中断使能 / Interrupt enable	04	5	使能同步信号丢失 / Enable sync loss	1=使能同步信号失锁中断。/ 1 = enable sync-loss interrupt.	0
中断使能 / Interrupt enable	04	4	使能同步信号锁定 / Enable sync lock	1=使能同步信号锁定中断。/ 1 = enable sync lock interrupt.	0
中断使能 / Interrupt enable	04	1	使能 FIFO 警告 1 / Enable FIFO warning 1	1=使能 FIFO 警告 1 中断。/ 1 = enable FIFO warning 1 interrupt.	0
中断使能 / Interrupt enable	04	0	使能 FIFO 警告 2 / Enable FIFO warning 2	1=使能 FIFO 警告 2 中断。/ 1 = enable FIFO warning 2 interrupt.	0
中断使能 / Interrupt enable	05	7:6	置 0 / Set to 0	此位置 0。/ Set this bit to 0.	0
中断使能 / Interrupt enable	05	4	使能 AED 比较通过 / Enable AED compare pass	1=使能 AED 比较通过中断。/ 1 = enable AED compare-pass interrupt.	0
中断使能 / Interrupt enable	05	3	使能 AED 比较失败 / Enable AED compare fail	1=使能 AED 比较失败中断。/ 1 = enable AED compare-fail interrupt.	0
中断使能 / Interrupt enable	05	2	使能 SED 比较失败 / Enable SED compare fail	1=使能 SED 比较失败中断。/ 1 = enable SED compare-fail interrupt.	0

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
中断使能 / Interrupt enable	05	1:0	置 0 / Set to 0	此位置 0。/ Set this bit to 0.	0
事件标志 / Event flags	06	7	PLL 失锁 / PLL unlock	1=表示先前锁定的 PLL 已从参考信号解锁。这是一个锁存信号。/ 1 = indicates a previously locked PLL has unlocked from the reference. Latched signal.	N/A
事件标志 / Event flags	06	6	PLL 锁定 / PLL lock	表示 PLL 已锁定至参考时钟输入。/ Indicates the PLL is locked to the reference clock input.	N/A
事件标志 / Event flags	06	5	同步信号丢失 / Sync loss	1=表示先前锁定的同步逻辑已不再对齐。这是一个锁存信号。/ 1 = indicates previously locked sync logic is no longer aligned. Latched signal.	N/A
事件标志 / Event flags	06	4	同步信号锁定 / Sync lock	1=表示内部数字时钟产生逻辑已就绪。当内部时钟存在并保持稳定时，就会提供该指示。/ 1 = indicates internal digital clock generation logic is ready; provided when the internal clock exists and stays stable.	N/A
事件标志 / Event flags	06	3	同步相位锁定 / Sync phase lock	1=表示源自串行端口请求的 FIFO 复位已成功完成。这是一个锁存信号。/ 1 = indicates a serial-port-requested FIFO reset completed successfully. Latched signal.	N/A
事件标志 / Event flags	06	2	软 FIFO 同步 / Soft FIFO sync	1=表示源自串行端口请求的 FIFO 复位已成功完成。这是一个锁存信号。/ 1 = indicates a serial-port-requested FIFO reset completed successfully. Latched signal.	N/A
事件标志 / Event flags	06	1	FIFO 警告 1 / FIFO warning 1	1=表示 FIFO 读写指针差为 1。/ 1 = FIFO read/write pointer difference is 1.	N/A
事件标志 / Event flags	06	0	FIFO 警告 2 / FIFO warning 2	1=表示 FIFO 读写指针差为 2。/ 1 = FIFO read/write pointer difference is 2.	N/A
事件标志 / Event flags	07	4	AED 比较通过 / AED compare pass	1=表示与预编程的预期值相比较，SED 逻辑检测到有效的输入数据码。这是一个锁存信号。/ 1 = indicates the SED logic detected a valid input data code vs. the preprogrammed expected value. Latched signal.	N/A
事件标志 / Event flags	07	3	AED 比较失败 / AED compare fail	1=表示与预编程的预期值相比较，SED 逻辑检测到无效的输入数据码。这是一个锁存信号，在收到八对有效 I/Q 数据时自动清零。/ 1 = indicates the SED logic detected an invalid input data code vs. the preprogrammed expected value. Latched signal; auto-clears on receipt of eight valid I/Q data pairs.	N/A
事件标志 / Event flags	07	2	SED 比较失败 / SED compare fail	1=表示与预编程的预期值相比较，SED 逻辑检测到无效的输入数据码。这是一个锁存信号。/ 1 = indicates the SED logic detected an invalid input data code vs. the preprogrammed expected value. Latched signal.	N/A

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
时钟接收机控制 / Clock receiver control	08	7	DACCLK 占空比校正 / DACCLK duty-cycle correction	1=对 DACCLK 输入使能占空比校正。/ 1 = enable duty-cycle correction on the DACCLK input.	0
时钟接收机控制 / Clock receiver control	08	6	REFCLK 占空比校正 / REFCLK duty-cycle correction	1=对 REFCLK 输入使能占空比校正。/ 1 = enable duty-cycle correction on the REFCLK input.	0
时钟接收机控制 / Clock receiver control	08	5	DACCLK 交叉校正 / DACCLK crossover correction	1=对 CLK 输入使能差分交叉校正。/ 1 = enable differential crossover correction on the CLK input.	0
时钟接收机控制 / Clock receiver control	08	4	REFCLK 交叉校正 / REFCLK crossover correction	1=对 REFCLK 输入使能差分交叉校正。/ 1 = enable differential crossover correction on the REFCLK input.	0
PLL 控制 / PLL control	0A	7	PLL 使能 / PLL enable	1=使能 PLL 时钟乘法器。REFCLK 输入用作 PLL 参考时钟信号。/ 1 = enable the PLL clock multiplier; REFCLK input serves as the PLL reference clock.	0
PLL 控制 / PLL control	0A	6	PLL 手动使能 / PLL manual enable	使能手动选择 VCO 频段。1=手动模式；用户必须确定正确的 VCO 频段。/ Enable manual VCO band selection. 1 = manual mode; user must determine the correct VCO band.	1
PLL 控制 / PLL control	0A	5:0	手动 VCO 频段 / Manual VCO band	选择要使用的 VCO 频段。/ Selects the VCO band to use.	000000
PLL 控制 / PLL control	0C	7:6	PLL 环路带宽 [1:0] / PLL loop bandwidth[1:0]	选择 PLL 环路滤波器带宽。00=最窄带宽。01=窄/中等带宽。10=中等/宽带宽。11=最宽带宽。/ Selects PLL loop filter bandwidth. 00 = narrowest. 01 = narrow/medium. 10 = medium/wide. 11 = widest.	11

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
PLL 控制 / PLL control	0C	4:0	PLL 电荷泵电流 [4:0] / PLL charge-pump current[4:0]	设置标称 PLL 电荷泵电流。00000=最低电流设置。11111=最高电流设置。/ Sets nominal PLL charge-pump current. 00000 = lowest. 11111 = highest.	10001
PLL 控制 / PLL control	0D	7:6	N2[1:0]	PLL 控制时钟分频器。它决定 DACCLK 速率与 PLL 控制器时钟速率之比。00=fDACCLK/fPC_CLK=2。01=fDACCLK/fPC_CLK=4。10=fDACCLK/fPC_CLK=8。11=fDACCLK/fPC_CLK=16。fPC_CLK 必须始终低于 75MHz。/ PLL control clock divider; sets the DACCLK-rate to PLL-controller-clock-rate ratio. 00 = fDACCLK/fPC_CLK=2. 01 = 4. 10 = 8. 11 = 16. fPC_CLK must always be below 75 MHz.	11
PLL 控制 / PLL control	0D	4	PLL 交叉控制使能 / PLL crossover control enable	使能 PLL 交叉点控制器。/ Enables the PLL crossover controller.	1
PLL 控制 / PLL control	0D	3:2	N0[1:0]	PLL VCO 分频器。它决定 VCO 输出与 DACCLK 频率之比。00=fVCO/fDACCLK=1。01=fVCO/fDACCLK=2。10=fVCO/fDACCLK=4。11=fVCO/fDACCLK=4。/ PLL VCO divider; sets the VCO-output to DACCLK frequency ratio. 00 = fVCO/fDACCLK=1. 01 = 2. 10 = 4. 11 = 4.	10
PLL 控制 / PLL control	0D	1:0	N1[1:0]	PLL 环路分频器。它决定 DACCLK 与 REFCLK 频率之比。00=fDACCLK/fREFCLK=2。01=fDACCLK/fREFCLK=4。10=fDACCLK/fREFCLK=8。11=fDACCLK/fREFCLK=16。/ PLL loop divider; sets the DACCLK to REFCLK frequency ratio. 00 = fDACCLK/fREFCLK=2. 01 = 4. 10 = 8. 11 = 16.	01
PLL 状态 / PLL status	0E	7	PLL 锁定 / PLL lock	PLL 产生的时钟与 REFCLK 输入信号保持一致。/ PLL-generated clock is aligned with the REFCLK input signal.	N/A
PLL 状态 / PLL status	0E	3:0	VCO 控制电压 [3:0] / VCO control voltage[3:0]	VCO 控制电压回读。/ VCO control voltage readback.	N/A
PLL 状态 / PLL status	0F	5:0	VCO 频段回读 [5:0] / VCO band readback [5:0]	表示当前选定的 VCO 频段。/ Indicates the currently selected VCO band.	N/A
同步控制 / Sync control	10	7	同步使能 / Sync enable	1=使能同步逻辑。/ 1 = enable synchronization logic.	0
	10	6			0

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
同步控制 / Sync control			数据/FIFO 速率切换 / Data/FIFO rate select	0=同步以 FIFO 复位速率工作。1=同步以数据速率工作。/ 0 = sync operates at FIFO reset rate. 1 = sync operates at data rate.	
同步控制 / Sync control	10	3	上升沿同步 / Rising-edge sync	0=在同步输入的下降沿启动同步。1=在同步输入的上升沿启动同步。/ 0 = start sync on falling edge of sync input. 1 = start sync on rising edge.	1
同步控制 / Sync control	10	2:0	同步均值 [2:0] / Sync mean[2:0]	设置确定同步相位时用于求平均的输入采样数。000=1。001=2。010=4。011=8。100=16。101=32。110=64。111=128。/ Sets the number of input samples averaged to determine sync phase. 000=1. 001=2. 010=4. 011=8. 100=16. 101=32. 110=64. 111=128.	000
同步控制 / Sync control	11	5:0	同步相位请求 [5:0] / Sync phase request[5:0]	设置同步后请求的时钟相位偏移。偏移单位为 DACCLK 周期。000000=0 个 DACCLK 周期。000001=1 个 DACCLK 周期。… 111111=63 个 DACCLK 周期。这可以使 DAC 输出相对于同步输入重新定位。偏移也可以用来在同步 DAC 之间偏斜 DAC 输出。/ Sets the requested clock phase offset after synchronization, in DACCLK cycles. 000000 = 0 DACCLK cycles. 000001 = 1. … 111111 = 63. This repositions DAC outputs relative to the sync input and can skew DAC outputs among synchronized DACs.	000000
同步状态 / Sync status	12	7	同步丢失 / Sync lost	1=表示先前已实现同步，但现已丢失。/ 1 = indicates previously achieved synchronization is now lost.	N/A
同步状态 / Sync status	12	6	同步锁定 / Sync locked	1=表示已实现同步。/ 1 = indicates synchronization achieved.	N/A
同步状态 / Sync status	13	7:0	同步相位回读 [7:0] / Sync phase readback [7:0]	表示同步相位偏移均值（6.2 格式）。00000000=0.0。00000001=0.25。… 11111110=63.50。11111111=63.75。如果此值与请求的同步相位值不同，则说明存在同步时序误差。/ Reports mean sync phase offset (6.2 format). 00000000=0.0. 00000001=0.25. … 11111110=63.50. 11111111=63.75. A mismatch with the requested sync phase value indicates sync timing error.	N/A
数据接收机状态 / Data receiver status	15	5	LVDS FRAME 电平高 / LVDS FRAME high	一个或两个 LVDS FRAME 输入信号超过 1.7 V。/ One or both LVDS FRAME input signals exceed 1.7 V.	N/A
数据接收机状态 / Data receiver status	15	4	LVDS FRAME 电平低 / LVDS FRAME low	一个或两个 LVDS FRAME 输入信号降至 0.7 V 以下。/ One or both LVDS FRAME input signals fall below 0.7 V.	N/A
	15	3			N/A

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
数据接收机状态 / Data receiver status			LVDS DCI 电平高 / LVDS DCI high	一个或两个 LVDS DCI 输入信号超过 1.7 V。/ One or both LVDS DCI input signals exceed 1.7 V.	
数据接收机状态 / Data receiver status	15	2	LVDS DCI 电平低 / LVDS DCI low	一个或两个 LVDS DCI 输入信号降至 0.7 V 以下。/ One or both LVDS DCI input signals fall below 0.7 V.	N/A
数据接收机状态 / Data receiver status	15	1	LVDS 数据电平高 / LVDS data high	一个或多个 LVDS Dx 输入信号超过 1.7 V。/ One or more LVDS Dx input signals exceed 1.7 V.	N/A
数据接收机状态 / Data receiver status	15	0	LVDS 数据电平低 / LVDS data low	一个或两个 LVDS Dx 输入信号降至 0.7 V 以下。/ One or both LVDS Dx input signals fall below 0.7 V.	N/A
DCI 延迟 / DCI delay	16	1:0	DCI 延迟 [1:0] / DCI delay[1:0]	此选项仅适用于 R2 器件。DCI 延迟位控制对 DCI 信号施加的延迟。它会影响 DCI 相对于 DATA 输入的采样间隔。00：DCI 信号延迟 350 ps。01：DCI 信号延迟 590 ps。10：DCI 信号延迟 800 ps。11：DCI 信号延迟 925 ps。/ Applies to R2 devices only. DCI delay bits control delay applied to the DCI signal, affecting the DCI sampling window relative to DATA inputs. 00: 350 ps. 01: 590 ps. 10: 800 ps. 11: 925 ps.	00
FIFO 控制 / FIFO control	17	2:0	FIFO 相位偏移 [2:0] / FIFO phase offset[2:0]	FIFO 复位后的 FIFO 写指针相位偏移。000=0。001=1。111=7。它是 FIFO 复位后读指针与写指针值之差。最佳值一般为 4。/ FIFO write-pointer phase offset after FIFO reset. 000=0. 001=1. 111=7. It is the read/write pointer difference after FIFO reset; optimal value is generally 4.	100
FIFO 状态 / FIFO status	18	7	FIFO 警告 1 / FIFO warning 1	FIFO 读写指针在±1 范围内。/ FIFO read/write pointers within ±1.	N/A
FIFO 状态 / FIFO status	18	6	FIFO 警告 2 / FIFO warning 2	FIFO 读写指针在±2 范围内。/ FIFO read/write pointers within ±2.	N/A
FIFO 状态 / FIFO status	18	2	FIFO 软对齐应答 / FIFO soft-align acknowledge	在串行端口启动的 FIFO 复位之后，FIFO 读写指针对齐。/ FIFO read/write pointers aligned after a serial-port-initiated FIFO reset.	N/A
FIFO 状态 / FIFO status	18	1	FIFO 软对齐请求 / FIFO soft-align request	通过串行端口请求 FIFO 读写指针对齐。/ Request FIFO read/write pointer alignment via the serial port.	0

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
FIFO 状态 / FIFO status	19	7:0	FIFO 水平 [7:0] / FIFO level[7:0]	FIFO 水平的温度计编码测量结果。/ Thermometer-coded measurement of FIFO level.	N/A
数据路径控制 / Datapath control	1B	7	旁路预调制 / Bypass pre-modulation	1=旁路 fS/2 预调制器。/ 1 = bypass the fS/2 pre-modulator.	1
数据路径控制 / Datapath control	1B	6	旁路 Sinc−1 / Bypass sinc−1	1=旁路反 Sinc 滤波器。/ 1 = bypass the inverse-sinc filter.	1
数据路径控制 / Datapath control	1B	5	旁路 NCO / Bypass NCO	1=旁路 NCO。/ 1 = bypass the NCO.	1
数据路径控制 / Datapath control	1B	3	NCO 增益 / NCO gain	0=默认值。对内部数字调制器的 NCO 输入不应用任何增益调整。1=对内部数字调制器的 NCO 输入应用 0.5 的增益调整。对于数据输入与 NCO 信号的某些组合，这可以避免调制器输出饱和。/ 0 = default; no gain adjustment applied to the NCO input of the internal digital modulator. 1 = apply 0.5 gain adjustment to the NCO input; avoids modulator output saturation for some data-input/NCO-signal combinations.	0
数据路径控制 / Datapath control	1B	2	旁路相位比较和直流失调 / Bypass phase compare & DC offset	1=旁路相位补偿。/ 1 = bypass phase compensation.	1
数据路径控制 / Datapath control	1B	1	选择边带 / Sideband select	0=调制器输出高端镜像。1=调制器输出低端镜像。与输入数据相比，镜像频谱反转。/ 0 = modulator outputs upper image. 1 = modulator outputs lower image; image spectrum inverted vs. input data.	0
数据路径控制 / Datapath control	1B	0	I 数据发送到 Q 数据 / I data to Q data	I 数据发送到 Q 数据。/ I data sent to Q data.	0
HB1 控制 / HB1 control	1C	2:1	HB1[1:0]	00=不调制输入信号，滤波器通带为 fIN1 的−0.4 至+0.4。01=不调制输入信号，滤波器通带为 fIN1 的 0.1 至 0.9。10=用 fIN1 调制输入信号，滤波器通带为 fIN1 的 0.6 至 1.4。11=用 fIN1 调制输入信号，滤波器通带为 fIN1 的 1.1 至 1.9。/ 00 = no input modulation, filter passband −0.4 to +0.4 of fIN1. 01 = no modulation, passband 0.1 to 0.9 of fIN1. 10 = modulate with fIN1, passband 0.6 to 1.4 of fIN1. 11 = modulate with fIN1, passband 1.1 to 1.9 of fIN1.	00
	1C	0		1=旁路第一级插值滤波器。/ 1 = bypass the first interpolation filter stage.	0

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
HB1 控制 / HB1 control			旁路 HB1 / Bypass HB1		
HB2 控制 / HB2 control	1D	6:1	HB2[5:0]	I 端半带滤波器 2 的调制模式。000000=不调制输入信号，滤波器通带为 fIN2 的−0.25 至+0.25。001001=不调制输入信号，滤波器通带为 fIN2 的 0.0 至 0.5。010010=不调制输入信号，滤波器通带为 fIN2 的 0.25 至 0.75。011011=不调制输入信号，滤波器通带为 fIN2 的 0.5 至 1.0。100100=用 fIN2 调制输入信号，滤波器通带为 fIN2 的 0.75 至 1.25。101101=用 fIN2 调制输入信号，滤波器通带为 fIN2 的 1.0 至 1.5。110110=用 fIN2 调制输入信号，滤波器通带为 fIN2 的 1.25 至 1.75。111111=用 fIN2 调制输入信号，滤波器通带为 fIN2 的 1.5 至 2.0。/ I-side half-band filter 2 modulation modes. 000000 = no modulation, passband −0.25 to +0.25 of fIN2. 001001 = no modulation, 0.0 to 0.5. 010010 = no modulation, 0.25 to 0.75. 011011 = no modulation, 0.5 to 1.0. 100100 = modulate with fIN2, 0.75 to 1.25. 101101 = modulate with fIN2, 1.0 to 1.5. 110110 = modulate with fIN2, 1.25 to 1.75. 111111 = modulate with fIN2, 1.5 to 2.0.	000000
HB2 控制 / HB2 control	1D	0	旁路 HB2 / Bypass HB2	1=旁路第二级插值滤波器。/ 1 = bypass the second interpolation filter stage.	0
HB3 控制 / HB3 control	1E	6:1	HB3[5:0]	I 端半带滤波器 3 的调制模式。000000=不调制输入信号，滤波器通带为 fIN3 的−0.2 至+0.2。001001=不调制输入信号，滤波器通带为 fIN3 的 0.05 至 0.45。010010=不调制输入信号，滤波器通带为 fIN3 的 0.3 至 0.7。011011=不调制输入信号，滤波器通带为 fIN3 的 0.55 至 0.95。100100=用 fIN3 调制输入信号，滤波器通带为 fIN3 的 0.8 至 1.2。101101=用 fIN3 调制输入信号，滤波器通带为 fIN3 的 1.05 至 1.45。110110=用 fIN3 调制输入信号，滤波器通带为 fIN3 的 1.3 至 1.7。111111=用 fIN3 调制输入信号，滤波器通带为 fIN3 的 1.55 至 1.95。/ I-side half-band filter 3 modulation modes. 000000 = no modulation, passband −0.2 to +0.2 of fIN3. 001001 = no modulation, 0.05 to 0.45. 010010 = no modulation, 0.3 to 0.7. 011011 = no modulation, 0.55 to 0.95. 100100 = modulate with fIN3, 0.8 to 1.2. 101101 = modulate with fIN3, 1.05 to 1.45. 110110 = modulate with fIN3, 1.3 to 1.7. 111111 = modulate with fIN3, 1.55 to 1.95.	000000
HB3 控制 / HB3 control	1E	0	旁路 HB3 / Bypass HB3	1=旁路第三级插值滤波器。/ 1 = bypass the third interpolation filter stage.	0
芯片 ID / Chip ID	1F	7:0	芯片 ID[7:0] / Chip ID[7:0]	此寄存器用于将器件标识为 SXD033。/ This register identifies the device as SXD033.	00001000
FTW LSB	30	7:0	FTW[7:0]	参见寄存器 0x33。/ See register 0x33.	00000000
FTW	31	7:0	FTW[15:8]	参见寄存器 0x33。/ See register 0x33.	00000000
FTW	32	7:0	FTW[23:16]	参见寄存器 0x33。/ See register 0x33.	00000000

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
FTW MSB	33	7:0	FTW[31:24]	FTW[31:0]是 32 位频率调谐字，用于确定片内 NCO 产生的复载波频率。该频率不在写入 FTW 寄存器时更新，而仅在寄存器 0x36 的位 0 从 0 变为 1 时更新。/ FTW[31:0] is the 32-bit frequency tuning word setting the complex carrier frequency generated by the on-chip NCO. It updates not when the FTW registers are written, but only when bit 0 of register 0x36 transitions from 0 to 1.	00000000
NCO 相位偏移 LSB / NCO phase offset LSB	34	7:0	NCO 相位偏移[7:0] / NCO phase offset[7:0]	参见寄存器 0x35。/ See register 0x35.	00000000
NCO 相位偏移 MSB / NCO phase offset MSB	35	7:0	NCO 相位偏移[15:8] / NCO phase offset[15:8]	当 NCO 复位时，NCO 设置复载波信号的相位。相位偏移范围为 0°至 360°。每一位代表 0.0055°的偏移。值为二进制补码格式。/ When the NCO resets, the NCO sets the phase of the complex carrier signal. Phase offset range is 0° to 360°; each bit represents 0.0055° offset, in two's-complement format.	00000000
NCO FTW 更新 / NCO FTW update	36	5	帧 FTW 应答 / Frame FTW acknowledge	1=表示 NCO 已由于扩展 FRAME 脉冲信号而复位。/ 1 = indicates the NCO was reset due to an extended FRAME pulse.	0
NCO FTW 更新 / NCO FTW update	36	4	帧 FTW 请求 / Frame FTW request	0→1=NCO 在此位从 0 变为 1 后的第一个扩展 FRAME 脉冲处复位。/ 0→1 = NCO resets at the first extended FRAME pulse after this bit transitions from 0 to 1.	0
NCO FTW 更新 / NCO FTW update	36	1	更新 FTW 应答 / Update FTW acknowledge	1=表示 FTW 已更新。/ 1 = indicates the FTW was updated.	0
NCO FTW 更新 / NCO FTW update	36	0	更新 FTW 请求 / Update FTW request	0→1=FTW 在此位从 0 变为 1 时更新。/ 0→1 = FTW updates when this bit transitions from 0 to 1.	0
I 相位调整 LSB / I phase adjust LSB	38	7:0	I 相位调整[7:0] / I phase adjust[7:0]	参见寄存器 0x39。/ See register 0x39.	00000000
I 相位调整 MSB / I	39	1:0	I 相位调整[9:8] / I	I 相位调整[9:0]用于在 I 与 Q 数据路径之间插入一个相位偏移。这可以用来校正正交调制器中的相位不平衡。/ I phase adjust[9:0] inserts a phase offset	00

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
phase adjust MSB			phase adjust[9:8]	between the I and Q datapaths, correcting phase imbalance in the quadrature modulator.	
Q 相位调整 LSB / Q phase adjust LSB	3A	7:0	Q 相位调整[7:0] / Q phase adjust[7:0]	参见寄存器 0x3B。/ See register 0x3B.	00000000
Q 相位调整 MSB / Q phase adjust MSB	3B	1:0	Q 相位调整[9:8] / Q phase adjust[9:8]	Q 相位调整[9:0]用于在 I 与 Q 数据路径之间插入一个相位偏移。这可以用来校正正交调制器中的相位不平衡。/ Q phase adjust[9:0] inserts a phase offset between the I and Q datapaths, correcting phase imbalance in the quadrature modulator.	00
I DAC 失调 LSB / I DAC offset LSB	3C	7:0	I DAC 失调[7:0] / I DAC offset[7:0]	I DAC 失调[15:0]是在样本写入 I DAC 时直接增加到样本的值。/ I DAC offset[15:0] is added directly to samples as they are written to the I DAC.	00000000
I DAC 失调 MSB / I DAC offset MSB	3D	7:0	I DAC 失调[15:8] / I DAC offset[15:8]	参见寄存器 0x3C。/ See register 0x3C.	00000000
Q DAC 失调 LSB / Q DAC offset LSB	3E	7:0	Q DAC 失调[7:0] / Q DAC offset[7:0]	Q DAC 失调[15:0]是在样本写入 Q DAC 时直接增加到样本的值。/ Q DAC offset[15:0] is added directly to samples as they are written to the Q DAC.	00000000
Q DAC 失调 MSB / Q DAC offset MSB	3F	7:0	Q DAC 失调[15:8] / Q DAC offset[15:8]	参见寄存器 0x3E。/ See register 0x3E.	00000000
I DAC FS 调整 / I DAC FS adjust	40	7:0	I DAC FS 调整[7:0] / I DAC FS adjust[7:0]	I DAC FS 调整[9:0]设置 I DAC 的满量程电流。满量程电流的调整范围为 8.64 mA 至 31.6 mA，步长约为 22.5 µA。0x000=8.64 mA。… 0x200=20.14 mA。… 0x3FF=31.66 mA。/ I DAC FS adjust[9:0] sets the I DAC full-scale current, adjustable from 8.64 mA to 31.6 mA in ~22.5 µA steps. 0x000=8.64 mA. … 0x200=20.14 mA. … 0x3FF=31.66 mA.	11111001
辅助 DAC I 数据 / Aux DAC I data	41	7	I DAC 休眠 / I DAC sleep	1=将 I 通道 DAC 置于休眠模式（快速唤醒模式）。/ 1 = place the I-channel DAC in sleep mode (fast wake-up mode).	0
辅助 DAC I 数据 / Aux DAC I data	41	1:0	I DAC FS 调整[9:8] / I DAC FS adjust[9:8]	参见寄存器 0x40。/ See register 0x40.	01

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
I 辅助 DAC 控制 / I aux DAC control	42	7:0	I 辅助 DAC[7:0] / I aux DAC[7:0]	I 辅助 DAC[9:0]设置辅助 DAC 电流的幅度。范围为 0 mA 至 2 mA，步长为 2μA。0x000=0.000 mA。0x001=0.002 mA。… 0x3FF=2.046 mA。/ I aux DAC[9:0] sets the auxiliary DAC current magnitude, from 0 mA to 2 mA in 2 µA steps. 0x000=0.000 mA. 0x001=0.002 mA. … 0x3FF=2.046 mA.	00000000
辅助 DAC I 数据 / Aux DAC I data	43	7	I 辅助 DAC 符号 / I aux DAC sign	0=辅助 DAC I 符号为正，且电流流向 IOUT1P 引脚（引脚 67）。1=辅助 DAC I 符号为负，且电流流向 IOUT1N 引脚（引脚 66）。/ 0 = aux DAC I sign positive, current flows to the IOUT1P pin (pin 67). 1 = sign negative, current flows to the IOUT1N pin (pin 66).	0
辅助 DAC I 数据 / Aux DAC I data	43	6	I 辅助 DAC 电流方向 / I aux DAC current direction	0=辅助 DAC I 流出电流。1=辅助 DAC I 吸入电流。/ 0 = aux DAC I sources current. 1 = aux DAC I sinks current.	0
辅助 DAC I 数据 / Aux DAC I data	43	5	I 辅助 DAC 休眠 / I aux DAC sleep	I 通道辅助 DAC 休眠。/ I-channel auxiliary DAC sleep.	0
辅助 DAC I 数据 / Aux DAC I data	43	1:0	I 辅助 DAC[9:8] / I aux DAC[9:8]	参见寄存器 0x42。/ See register 0x42.	00
Q DAC FS 调整 / Q DAC FS adjust	44	7:0	Q DAC FS 调整 [7:0] / Q DAC FS adjust[7:0]	Q DAC FS 调整[9:0]设置 I DAC 的满量程电流。满量程电流的调整范围为 8.64 mA 至 31.6 mA，步长约为 22.5 µA。0x000=8.64 mA。… 0x200=20.14 mA。… 0x3FF=31.66 mA。/ Q DAC FS adjust[9:0] sets the I DAC full-scale current , adjustable from 8.64 mA to 31.6 mA in ~22.5 µA steps. 0x000=8.64 mA. … 0x200=20.14 mA. … 0x3FF=31.66 mA.	11111001
Q DAC 控制 / Q DAC control	45	7	Q DAC 休眠 / Q DAC sleep	1=将 Q 通道 DAC 置于休眠模式（快速唤醒模式）。/ 1 = place the Q-channel DAC in sleep mode (fast wake-up mode).	0
Q DAC 控制 / Q DAC control	45	1:0	Q DAC FS 调整 [9:8] / Q DAC FS adjust[9:8]	参见寄存器 0x44。/ See register 0x44.	01
辅助 DAC Q 数据 / Aux DAC Q data	46	7:0	Q 辅助 DAC[7:0] / Q aux DAC[7:0]	Q 辅助 DAC[9:0]设置辅助 DAC 电流的幅度。范围为 0 mA 至 2 mA，步长为 2μA。0x000=0.000 mA。0x001=0.002 mA。… 0x3FF=2.046 mA。/ Q aux DAC[9:0] sets the auxiliary DAC current magnitude, from 0 mA to 2 mA in 2 µA steps. 0x000=0.000 mA. 0x001=0.002 mA. … 0x3FF=2.046 mA.	00000000
Q 辅助 DAC 控制 / Q aux DAC control	47	7	Q 辅助 DAC 符号 / Q aux DAC sign	0=辅助 DAC Q 符号为正，且电流流向 IOUT2P 引脚（引脚 58）。1=辅助 DAC Q 符号为负，且电流流向 IOUT2N 引脚（引脚 59）。/ 0 = aux DAC Q sign positive, current flows to the IOUT2P pin (pin 58). 1 = sign negative, current flows to the IOUT2N pin (pin 59).	0

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
Q 辅助 DAC 控制 / Q aux DAC control	47	6	Q 辅助 DAC 电流方向 / Q aux DAC current direction	0=辅助 DAC Q 流出电流。1=辅助 DAC Q 吸入电流。/ 0 = aux DAC Q sources current. 1 = aux DAC Q sinks current.	0
Q 辅助 DAC 控制 / Q aux DAC control	47	5	Q 辅助 DAC 休眠 / Q aux DAC sleep	Q 通道辅助 DAC 休眠。/ Q-channel auxiliary DAC sleep.	0
Q 辅助 DAC 控制 / Q aux DAC control	47	1:0	Q 辅助 DAC[9:8] / Q aux DAC[9:8]	参见寄存器 0x46。/ See register 0x46.	00
芯片温度范围 / Die temperature range	48	6:4	FS 电流 [2:0] / FS current[2:0]	辅助 ADC 满量程电流。000=最低电流。111=最高电流。/ Auxiliary ADC full-scale current. 000 = lowest. 111 = highest.	000
芯片温度范围 / Die temperature range	48	3:1	基准电流 [2:0] / Reference current[2:0]	辅助 ADC 基准电流。000=最低电流。111=最高电流。/ Auxiliary ADC reference current. 000 = lowest. 111 = highest.	001
芯片温度范围 / Die temperature range	48	0	电容值 / Capacitance	辅助 ADC 内部电容值。0=5 pF。1=10 pF。/ Auxiliary ADC internal capacitance. 0 = 5 pF. 1 = 10 pF.	0
芯片温度 LSB / Die temperature LSB	49	7:0	芯片温度 [7:0] / Die temperature[7:0]	参见寄存器 0x4A。/ See register 0x4A.	N/A
芯片温度 MSB / Die temperature MSB	4A	7:0	芯片温度 [15:8] / Die temperature[15:8]	芯片温度[15:0]表示芯片近似温度。（详情参见"温度传感器"部分）/ Die temperature[15:0] indicates the approximate die temperature. (See the "Temperature Sensor" section for details.)	N/A
SED 控制 / SED control	67	7	SED 比较使能 / SED compare enable	1=使能 SED 电路。如果未使能 SED，则此寄存器中的任何标志位和寄存器 0x70 至 0x73 的值都不重要。/ 1 = enable the SED circuit. If SED is not enabled, no flag bits in this register nor register 0x70–0x73 values are meaningful.	0
SED 控制 / SED control	67	5	检测到采样错误 / Sample error detected	1=表示检测到错误。此位保持置位状态，直到清零。对此寄存器的任何写操作都会将此位清 0。/ 1 = error detected; stays set until cleared. Any write to this register clears it to 0.	0

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
SED 控制 / SED control	67	3	使能自动清零 / Auto-clear enable	1=使能自动清零模式。只要连续接收到 8 个采样数据集并且没有错误，它就会激活此寄存器的位 1 和位 0，并导致寄存器 0x70 至 0x73 自动清零。/ 1 = enable auto-clear mode; with 8 consecutive error-free sample datasets received, it activates bits 1 and 0 of this register and auto-clears registers 0x70–0x73.	0
SED 控制 / SED control	67	1	比较失败 / Compare fail	1=表示检测到错误。此位保持高电平，直到因为连续无误地接收到 8 个比较结果而自动清零，或者因为写入此寄存器而清零。/ 1 = error detected; stays high until auto-cleared by 8 consecutive error-free comparisons or by writing this register.	0
SED 控制 / SED control	67	0	比较通过 / Compare pass	1=表示最后一个采样比较没有错误。/ 1 = the last sample comparison was error-free.	0
比较 I0 LSB / Compare I0 LSB	68	7:0	比较值 I0[7:0] / Compare value I0[7:0]	比较值 I0[15:0]是与输入接口上采集的 I0 输入样本进行比较的字。/ Compare value I0[15:0] is the word compared against the I0 input sample captured at the input interface.	10110110
比较 I0 MSB / Compare I0 MSB	69	7:0	比较值 I0[15:8] / Compare value I0[15:8]	参见寄存器 0x68。/ See register 0x68.	01111010
比较 Q0 LSB / Compare Q0 LSB	6A	7:0	比较值 Q0[7:0] / Compare value Q0[7:0]	比较值 Q0[15:0]是与输入接口上采集的 Q0 输入样本进行比较的字。/ Compare value Q0[15:0] is the word compared against the Q0 input sample captured at the input interface.	01000101
比较 Q0 MSB / Compare Q0 MSB	6B	7:0	比较值 Q0[15:8] / Compare value Q0[15:8]	参见寄存器 0x6A。/ See register 0x6A.	11101010
比较 I1 LSB / Compare I1 LSB	6C	7:0	比较值 I1[7:0] / Compare value I1[7:0]	比较值 I1[15:0]是与输入接口上采集的 I1 输入样本进行比较的字。/ Compare value I1[15:0] is the word compared against the I1 input sample captured at the input interface.	00010110
比较 I1 MSB / Compare I1 MSB	6D	7:0	比较值 I1[15:8] / Compare value I1[15:8]	参见寄存器 0x6C。/ See register 0x6C.	00010110
比较 Q1 LSB / Compare Q1 LSB	6E	7:0	比较值 Q1[7:0] / Compare value Q1[7:0]	比较值 Q1[15:0]是与输入接口上采集的 Q1 输入样本进行比较的字。/ Compare value Q1[15:0] is the word compared against the Q1 input sample captured at the input interface.	11000110

寄存器名称 / Register Name	地址（十六进制）/ Address (Hex)	位 / Bits	名称 / Name	描述 / Description	默认值 / Default
比较 Q1 MSB / Compare Q1 MSB	6F	7:0	比较值 Q1[15:8] / Compare value Q1[15:8]	参见寄存器 0x6E。/ See register 0x6E.	10101010
SED I LSB	70	7:0	检测到错误 I_BITS[7:0] / Error detected I_BITS[7:0]	检测到错误 I_BITS[15:0]表示接收的哪些位出错。/ Error-detected I_BITS[15:0] indicates which received bits are in error.	00000000
SED I MSB	71	7:0	检测到错误 I_BITS[15:8] / Error detected I_BITS[15:8]	参见寄存器 0x70。/ See register 0x70.	00000000
SED Q LSB	72	7:0	检测到错误 Q_BITS[7:0] / Error detected Q_BITS[7:0]	检测到错误 Q_BITS[15:0]表示接收的哪些位出错。/ Error-detected Q_BITS[15:0] indicates which received bits are in error.	00000000
SED Q MSB	73	7:0	检测到错误 Q_BITS[15:8] / Error detected Q_BITS[15:8]	参见寄存器 0x72。/ See register 0x72.	00000000
版本 / Version	7F	5:2	版本 [3:0] / Version[3:0]	此值与芯片版本号一致。0001：R1 版芯片。0010：R2 版芯片。/ Matches the chip version number. 0001: R1 silicon. 0010: R2 silicon.	N/A

电源地间保护 / ESD Protection Between Power Supplies

为了提高器件的抗静电能力，器件内部的各电源引脚之间存在如下的静电保护回路，每个 ESD 保护管的正向导通压降约 0.35V，上电及正常使用中应避免这些 ESD 保护管长时间正向导通。

To improve device ESD robustness, ESD protection loops exist between the device's internal supply pins as shown below. Each ESD protection device has a forward turn-on drop of about 0.35 V; prolonged forward conduction of these ESD protection devices should be avoided during power-up and normal use.

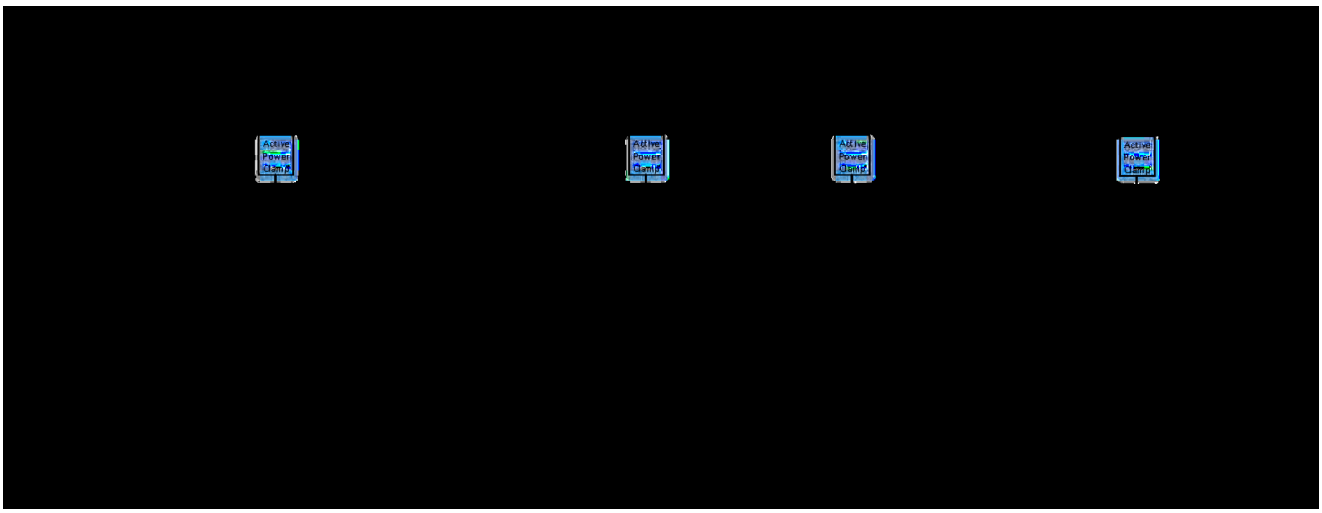


Figure 59: 内部电源间的 ESD 保护电路 / ESD protection circuit between internal power supplies

注意事项 / Cautions

1、产品安装注意事项 / 1. Mounting Cautions

1) 焊接时请注意器件方向，以免焊错。 1) Observe device orientation during soldering to avoid mis-soldering. 2) 调试电路所用的仪器、仪表一定要有良好的统一接地。PCB 板设计请务必保持接地良好、电源去耦。 2) Instruments used for circuit debugging must share a good common ground. PCB design must maintain good grounding and power-supply decoupling. 3) 应注意不要将电源接反及输入输出端与电源短路，易造成电路损坏。 3) Do not reverse power supplies or short inputs/outputs to power supplies; doing so can easily damage the circuit.

2、产品使用注意事项 / 2. Usage Cautions

1) 要求应用对象电路板的数字地和模拟地尽量分离，不要将数字线布于模拟线旁边或于 DAC 底下。 1) Keep the application's digital and analog grounds as separated as possible; do not route digital lines next to analog lines or under the DAC. 2) 输入连线应尽量短以最小化寄生电容和噪声引入。 2) Keep input wiring as short as possible to minimize parasitic capacitance and noise pickup. 3) 芯片的地应该通过尽量多的渠道和足够多的面积与 PCB 板的地层相连。 3) The chip ground should connect to the PCB ground plane through as many paths and as much area as possible. 4) 寄存器配置时需将 FIFO 复位，以提高时序容错率。 4) Reset the FIFO during register configuration to improve timing fault tolerance. 5) 在电路调试阶段时，可尝试对时钟控制（寄存器 0x08 的高 4 位）进行不同配置来提高动态性能。 5) During circuit debugging, try different clock-control (upper 4 bits of register 0x08) configurations to improve dynamic performance. 6) 数字电源和模拟电源需要分开。 6) Digital and analog supplies must be separated. 7) 每个电源引脚需要就近接 1 个 1μF 或 0.1μF 的电容。 7) Each supply pin needs a nearby 1 μF or 0.1 μF capacitor. 8) 推荐上电后首先对电路进行复位（寄存器 0x00 打 0x20，再将 0x00 打 00），再进行使用。 8) After power-up, reset the circuit first (write 0x20 to register 0x00, then write 0x00 to 0x00) before use. 9) 在使用 PLL 时，REFCLK 输入频率范围为 16MHz~600MHz。 9) When using the PLL, the REFCLK input frequency range is 16 MHz to 600 MHz. 10) 在使用 PLL，且需要 N0[1:0]=00 & N1[1:0]=00 时，需要将 0X0C[4:0]配置为 00000。 10) When using the PLL with N0[1:0]=00 & N1[1:0]=00 required, configure 0X0C[4:0] as 00000. 11) 在使用 PLL 的自动模式时，寄存器 0x0A 需要先配置为 0xC0，至少等待 20ms 后，0x0A 再配置为 0x80。 11) When using the PLL in automatic mode, configure register 0x0A as 0xC0 first, wait at least 20 ms, then configure 0x0A as 0x80.

3、产品防护注意事项 / 3. Protection Cautions

1) 产品所有引出端均设计有静电保护结构，不过大能量电脉冲仍然可能损坏电路，因此在测试、搬运、储藏过程中，应注意静电防护。静电放电敏感度等级：2 级（达到 2000V）。 1) All device pins incorporate ESD protection structures, but high-energy electrical pulses can still damage the circuit; observe ESD precautions during testing, handling, and storage. ESD sensitivity rating: Class 2 (up to 2000 V). 2) 塑封电路易吸潮导致分层，使用时应注意保持周围环境干燥，存储时应真空包装储存于常温、干燥环境下。 2) Plastic-packaged circuits readily absorb moisture, causing delamination; keep the surrounding environment dry during use, and store vacuum-packed at room temperature in a dry environment.

4、电装说明 / 4. Assembly Instructions

1) 本产品潮湿敏感等级为 MSL3，将产品从防潮袋中取出、进行干燥储存或烘干后到回流焊前所暴露在外部环境的允许时间为：≤30°C/60RH%，168h。 1) This product has moisture sensitivity level MSL3. Allowable exposure to ambient environment from removal from the moisture-barrier bag (after dry storage or bake-out) until reflow soldering: ≤30°C/60RH%, 168 h. 2) 若器件储存条件无法控制或追溯，请在电装前严格执行 125°C，8h 烘烤。 2) If device storage conditions cannot be controlled or traced, bake strictly at 125°C for 8 h before assembly. 3) 若电装环境温湿度无法保证≤30°C/60RH%，请在烘烤后 12h 内完成焊接。 3) If the assembly environment cannot be held at ≤30°C/60RH%, complete soldering within 12 h after baking. 4) 产品烘烤后，极易产生静电，所有操作过程需要注意 ESD 防护。 4) The product readily generates static electricity after baking; observe ESD precautions throughout all operations. 5) 板级组装采用有铅回流焊（Sn63Pb37）时，推荐峰值温度范围 210°C~235°C，最大峰值温度不建议超过 235°C，峰值温度±5°C以内停留时间≤20s，液相线以上停留时间 60~90s，升温速率 2~4°C/s，降温速率 2~6°C/s。 5) For board-level assembly with leaded reflow soldering (Sn63Pb37): recommended peak temperature 210°C–235°C, maximum peak temperature not to exceed 235°C, dwell within ±5°C of peak ≤20 s, time above liquidus 60–90 s, ramp-up rate 2–4°C/s, ramp-down rate 2–6°C/s. 6) 板级组装采用无铅回流焊（SAC305）时，推荐峰值温度范围 230°C~245°C，最大峰值温度不建议超过 260°C，峰值温度±5°C以内停留时间≤20s，液相线以上停留时间 60~90s，升温速率 2~4°C/s，降温速率 2~6°C。 6) For board-level assembly with lead-free reflow soldering (SAC305): recommended peak temperature 230°C–245°C, maximum peak temperature not to exceed 260°C, dwell within ±5°C of peak ≤20 s, time above liquidus 60–90 s, ramp-up rate 2–4°C/s, ramp-down rate 2–6°C. 7) 若混合电装工艺需要温度升高，应保证器件本体温度最高不超过 260°C（器件本体温度测量点位于回流焊时器件上表面）。 7) If a mixed assembly process requires higher temperatures, ensure the device body temperature does not exceed 260°C (measured at the top surface of the device during reflow). 8) 本产品焊接端镀层材料为镍钯金，但金含量小于 3%，不会出现金脆现象，不需要搪锡。 8) This product's solder-terminal plating is NiPdAu with gold content below 3%; no gold embrittlement occurs and tinning is not required. 9) 若有强制搪锡需求，按《国家航天行业标准 QJ3267 电子元器件搪锡工艺技术要求》标准进行搪锡。应注意搪锡前器件需烘干，搪锡设置温度不超过 300°C，四边引脚每边受热时间小于 5s，热沉表面受热时间小于 30s，搪锡次数不超过 1 次。 9) If forced tinning is required, follow the national aerospace industry standard QJ3267 "Technical Requirements for Tinning of Electronic Components". Note: bake the device before tinning; tinning set temperature must not exceed 300°C; heating time per side of the four pin sides less than 5 s, thermal pad surface heating time less than 30 s; tinning no more than once.

5、热阻 / 5. Thermal Resistance

表 18 封装热阻 / Table 18 Package Thermal Resistance

项目 / Item	实测值 / Measured Value	依据标准及方法 / Standard and Method
Rthja（结到环境的热阻）/ Rthja (junction-to-ambient thermal resistance)	21.54 K/W	JESD51-2 集成电路自然对流热测试环境要求及测试方法 / JESD51-2 natural-convection thermal test environment requirements and test method for integrated circuits
Rthjt（结到器件顶面的热阻）/ Rthjt (junction-to-case-top thermal resistance)	2.806 K/W	JESD51-14 一维传热路径双界面分离法 / JESD51-14 single-dimensional heat-flow-path two-interface separation method
Rthj-bottom（结到器件底面的热阻）/ Rthj-bottom (junction-to-case-bottom thermal resistance)	1.068 K/W	JESD51-14 拐点理论器件内部结构分层得到 / Derived from JESD51-14 inflection-point theory device internal structure layering

常见故障及处理办法 / Troubleshooting

1. 无输出信号：检查时钟引出端是否有时钟输入，检查电源、地信号连接是否正常，保证输入电压、基准电压准确；
2. No output signal: check for clock input at the clock pins, verify power and ground connections, and ensure input and reference voltages are accurate;
3. 输出数据抖动：检查外部电路和连接，保证基准电压稳定。
4. Output data jitter: check external circuitry and connections, and ensure the reference voltage is stable.
5. 器件工作不稳定：检查电源，保证电源电压稳定。
6. Unstable device operation: check the power supply and ensure supply voltages are stable.

联系方式 / Contact Information

- 联系人 / Contact: Felix (Flip) Lai, CEO at Shenxin Tech
- 邮箱 / Email: felix@shenxinic.com
- 电话 / Phone: +852 51367095
- 官网 / Website: shenxinic.com

附加说明 / Additional Notes

1、本说明书首次发布日期：2026 年 07 月 09 日； 1. This manual was first issued on July 9, 2026;

2、本产品状态：☑生产（该产品型号目前已在生产，可以提供正式产品） 2. Product status: ☑ In production (this product model is currently in production; formal products are available)

3、替代国外产品情况说明： 3. Notes on replacing the foreign product:

SXD033 电源绝对最大额定值和标称值与国外产品部分存在差异，电源推荐范围与国外产品器件手册一致，封装高度与国外产品一致，无杂散动态范围（SFDR）比国外产品低，工作温度范围与国外产品一致。SXD033 与国外

产品管脚兼容，可实现对国外产品的功能替换。SXD033 主要功能的详细描述可以参考国外产品数据手册，当与国外产品数据手册不一致时，以本产品说明书为准，如有疑问请联系技术支持人员，以获得技术支持。

The SXD033's absolute maximum ratings and nominal supply values differ partially from those of the foreign product; the recommended supply ranges match the foreign product's datasheet, the package height matches the foreign product, the spurious-free dynamic range (SFDR) is lower than the foreign product's, and the operating temperature range matches the foreign product's. The SXD033 is pin-compatible with the foreign product and provides a functional replacement for it. Detailed descriptions of the SXD033's main functions may refer to the foreign product's datasheet; where inconsistent with the foreign product's datasheet, this manual shall prevail. Contact technical support with any questions.

1）绝对最大额定值对比 1) Absolute maximum ratings comparison

附表 1 绝对最大额定值对比 / Additional Table 1 Absolute Maximum Ratings Comparison

参数 / Parameter	SXD033 规范要求 / SXD033 Specification	国外产品器件手册 / Foreign Product Datasheet	比对结果 / Comparison
VDDIO	-0.3V~+3.6V	-0.3V~+3.6V	一致 / Match
VDDA33	-0.3V~+3.6V	-0.3V~+3.6V	一致 / Match
VDDC18	-0.3V~+1.98V	-0.3V~+2.1V	有差异 / Differs
VDDD18	-0.3V~+1.98V	-0.3V~+2.1V	有差异 / Differs
结温（TJ）/ Junction temperature (TJ)	175°C	125°C	有差异 / Differs
贮存温度 Ts / Storage temperature Ts	-65°C～150°C	-65°C～150°C	一致 / Match
引线耐焊接温度 Th（10s）/ Lead soldering temperature Th (10 s)	260°C	—	—
ESD	2000V	—	—

通过最大额定值对比可知，VDDC18 和 VDDD18 的最大额定值、结温（TJ）与国外产品手册存在差异，SXD033 的 ESD 指标为 2000V，而国外产品手册无 ESD 指标。

The comparison shows that the maximum ratings of VDDC18 and VDDD18 and the junction temperature (TJ) differ from the foreign product's datasheet; the SXD033's ESD rating is 2000 V, while the foreign product's datasheet specifies no ESD rating.

2）推荐工作条件对比 2) Recommended operating conditions comparison

附表 2 推荐工作条件对比 / Additional Table 2 Recommended Operating Conditions Comparison

参数 / Parameter	SXD033 规范要求 / SXD033 Specification	国外产品器件手册 / Foreign Product Datasheet	比对结果 / Comparison
VDDIO	3.13V~3.47V	3.13V~3.47V	一致 / Match
VDDA33	3.13V~3.47V	3.13V~3.47V	一致 / Match
VDDC18	1.71V~1.89V	1.71V~1.89V	一致 / Match
VDDD18	1.71V~1.89V	1.71V~1.89V	一致 / Match
工作环境温度 TA / Operating ambient temperature TA	-40°C～+85°C	-40°C～+85°C	一致 / Match

通过推荐工作条件对比可知，器件采购规范要求与 ADI 器件手册一致。

The comparison shows the device procurement specification requirements match the ADI device datasheet.

3）性能指标对比 3) Performance specifications comparison

附表 3 替代国外产品情况对照表 / Additional Table 3 Foreign-Product Replacement Comparison

| 参数 / Parameter | SXD033 手册值 / SXD033 Datasheet | SXD033 实测值 / SXD033 Measured | 国外产品手册值 / Foreign Product Datasheet | 国外产品实测值 / Foreign Product Measured | 单位 / Unit | 比对结果 / Comparison | |---|---|---|---|---|---|---| | 分辨率 / Resolution | 16 | 16 | 16 | 16 | bits | 一致 / Match | | 差分非线性 / Differential nonlinearity | -6 / +6 | ⊠2.33~2.28 | -2.1 / +2.1 | -2.31~1.7 | LSB | 接近 / Close | | 积分非线性 / Integral nonlinearity | -10 / +10 | ⊠5.01~5.63 | -3.7 / +3.7 | -3.91~1.95 | LSB | 接近 / Close | | 失调误差 / Offset error | -1 / +1 | 0.0002 | -0.001 / +0.001 | 0.0002 | %FSR | 一致 / Match | | 增益误差 / Gain error | -10 / +10 | -2.97 | -3.6 / +3.6 | -2.45 | %FSR | 接近 / Close | | 满度电流极小值 / Min full-scale current | 7.5 / 9.0 | 8.18 | — / 8.66 | 8.28 | mA | 接近 / Close | | 满度电流极大值 / Max full-scale current | 29.5 / 32.0 | 30.15 | 31.66 / — | 30.27 | mA | 接近 / Close | | 顺从电压范围 / Compliance voltage range | ⊠0.5 / ⊠0.5 | -1~1 | -1 / 1 | -1~1 | V | 一致 / Match | | 内部基准电压 / Internal reference voltage | 1.10 / 1.30 | 1.18 | 1.2（典型值 / typ） | 1.18 | V | 一致 / Match | | 基准输出电阻 / Reference output resistance | 5 / 10 | 6.73 | 5（典型值 / typ） | 6.21 | kΩ | 接近 / Close | | 功耗 / Power (fDAC=1000MSPS, PLL 禁用 / disabled) | — / 1700 | 1449.77 | — / — | 1476.01 | mW | 接近 / Close | | 功耗 / Power (fDAC=491.22MSPS, PLL 使能 / enabled) | — / 950 | 903.55 | 913（典型值 / typ） | 925.07 | mW | 接近 / Close | | 功耗 / Power (fDAC=800MSPS, PLL 禁用 / disabled) | — / 1300 | 1164.94 | 1135（典型值 / typ） | 1179.04 | mW | 接近 / Close | | 功耗 / Power (掉电模式（配置 0x01=0xF0）/ power-down (config 0x01=0xF0)) | — / 60 | 9.07 | 6.5（典型值 / typ） | 6.34 | mW | 接近 / Close | | AVDD33 电流 / AVDD33 current | — / 60 | 53.16 | 55（典型值 / typ） | 54.03 | mA | 接近 / Close | | CVDD18 电流 / CVDD18 current | — / 110 | 97.22 | 85（典型值 / typ） | 96.27 | mA | 接近 / Close | | DVDD18 电流 / DVDD18 current | — / 490 | 452.04 | 444（典型值 / typ） | 457.90 | mA | 接近 / Close | | CMOS 输入高电平 / CMOS input high | 2.0 / — | 2.0 | 2.0 / — | 2.0 | V | 一致 / Match | | CMOS 输入低电平 / CMOS input low | — / 0.8 | 0.8 | — / 0.8 | 0.8 | V | 一致 / Match | | CMOS 输出高电平 / CMOS output high | 2.4 / — | 2.4 | 2.4 / — | 2.4 | V | 一致 / Match | | CMOS 输出低电平 / CMOS output low | — / 0.4 | 0.4 | — / 0.4 | 0.4 | V | 一致 / Match | | LVDS 输入电压 / LVDS input voltage | 825 / 1675 | 825~1675 | 825 / 1675 | 825~1675 | V | 一致 / Match | | LVDS 输入差分阈值 / LVDS input differential threshold | -100 / 100 | ⊠100~100 | -100 / 100 | ⊠100~100 | 100 | 一致 / Match | | LVDS 差分输入阻抗 / LVDS differential input impedance | 100 / 150 | 129.12 | 80 / 120 | 100 | Ω | 偏大 / Higher | | DACCLK 差分输入电压 / DACCLK differential input voltage | 100 / 2000 | 100~2000 | 100 / 2000 | 100~2000 | mV | 一致 / Match | | REFCLK 差分输入电压 / REFCLK differential input voltage | 100 / 2000 | 100~2000 | 100~2000 | 100~2000 | mV | 一致 / Match | | 最大串口时钟速率(SCLK) / Max serial clock rate (SCLK) | 40 / — | 40 | 40 / — | 40 | MHz | 一致 / Match | | 最小高电平宽度 / Min high width | — / 12.5 | 12.5 | — / 12.5 | 12.5 | ns | 一致 / Match | | 最小低电平宽度 / Min low width | — / 12.5 | 12.5 | — / 12.5 | 12.5 | ns | 一致 / Match | | 建立时间 (SDIO 到 SCLK) / Setup time (SDIO to SCLK) | 1.9 / — | 1.9 | 1.9 / — | 1.9 | ns | 一致 / Match | | 保持时间 (SDIO 到 SCLK) / Hold time (SDIO to SCLK) | 0.2 / — | 0.2 | 0.2 / — | 0.2 | ns | 一致 / Match | | 数据有效时间 (SDO 到 SCLK) / Data valid time (SDO to SCLK) | 2.3 / — | 2.3 | 2.3 / — | 2.3 | ns | 一致 / Match | | 最大转换速率(1X) / Max conversion rate (1x) | 600 / — | 600 | — / 600 | 600 | MSPS | 一致 / Match | | 最大转换速率(2X) / Max conversion rate (2x) | 900 / — | 900 | — / 900 | 900 | MSPS | 一致 / Match | | 最大转换速率(2X，HB2) / Max conversion rate (2x, HB2) | 1200 / — | 1200 | — / 1200 | 1200 | MSPS | 一致 / Match | | 最大转换速率(4X) / Max conversion rate (4x) | 1200 / — | 1200 | — / 1200 | 1200 | MSPS | 一致 / Match | | 最大转换速率(8X) / Max conversion rate (8x) | 1200 / — | 1200 | — / 1200 | 1200 | MSPS | 一致 / Match | | 无杂散动态范围 (fDAC=1000MSPS, IF=20.1MHz) / SFDR (fDAC=1000 MSPS, IF=20.1 MHz) | 70 /

— | 77.57 | — / — | 82.37 | dBc | 接近 / Close | | 双音交调失真 (fDAC=1000MSPS, fOUT1=49MHz, fOUT2=50MHz) / IMD (fDAC=1000 MSPS, fOUT1=49 MHz, fOUT2=50 MHz) | 60 / — | 88.90 | — / — | 82.79 | dBc | 接近 / Close | | 隔离度 / Isolation | 70 / — | 112.52 | — / — | 113.52 | dBc | 接近 / Close |

注：对比的是"实测值"。 Note: the comparison is based on "measured values".

其它差异对比说明： Other difference notes:

1) DACCLKP\DACCLKPN\REFCLKP\REFCLKN 差分输入电压峰峰值电压≤150mV 时，本产品需将寄存器 0x08 配置为 0x0F； 1) When the DACCLKP\DACCLKPN\REFCLKP\REFCLKN differential input voltage peak-to-peak is ≤150 mV, this product requires register 0x08 to be configured as 0x0F; 2) 在配置为 HB1 的 2 倍内插模式，且使能 NCO 和反 sinc 时，最大采样速率低于国外数据手册，国外数据手册为 1GSPS，国内电路实测约为 940MSPS；但国外电路与国内电路实测最大速率接近，均为 940MSPS； 2) In HB1 2x interpolation mode with NCO and inverse-sinc enabled, the maximum sample rate is lower than the foreign datasheet: the foreign datasheet specifies 1 GSPS while the domestic circuit measures about 940 MSPS; however, the measured maximum rates of the foreign and domestic circuits are close, both about 940 MSPS; 3) PLL 能够锁定的输入参考时钟频率无法完全覆盖国外电路数据手册，国外电路能够锁定的输入参考时钟频率范围为 15.625MHz~600MHz，而 SXD033 在-40°C能够锁定的输入参考时钟频率为 16MHz~600MHz，在常温和高温 85°C下能够锁定的输入参考时钟频率范围为 15.625MHz~600MHz； 3) The PLL-lockable input reference clock frequency range does not fully cover the foreign circuit's datasheet: the foreign circuit locks over 15.625 MHz–600 MHz, while the SXD033 locks over 16 MHz–600 MHz at −40°C and 15.625 MHz–600 MHz at room and high (85°C) temperatures; 4) 国内电路与国外电路相比，国内电路在高频输出时二次谐波偏高，最大相差约 10dBc。与国外电路对比测试图如下图所示。 4) Compared with the foreign circuit, the domestic circuit shows higher second harmonics at high-frequency output, differing by up to about 10 dBc. Comparison test plots vs. the foreign circuit are shown below.

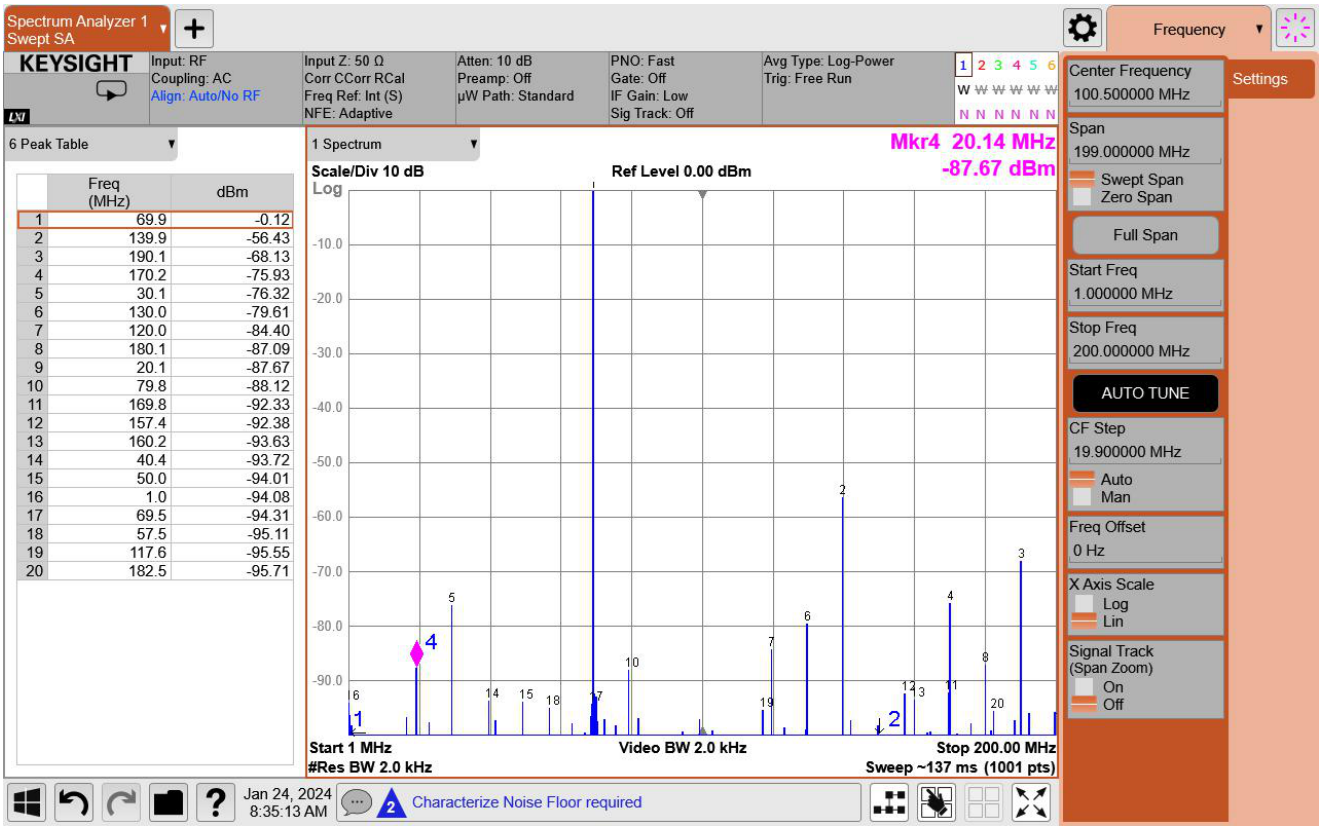


Figure 60: SXD033，1x，fDAC=400MSPS，fOUT=70MHz / SXD033, 1x, fDAC=400 MSPS, fOUT=70 MHz

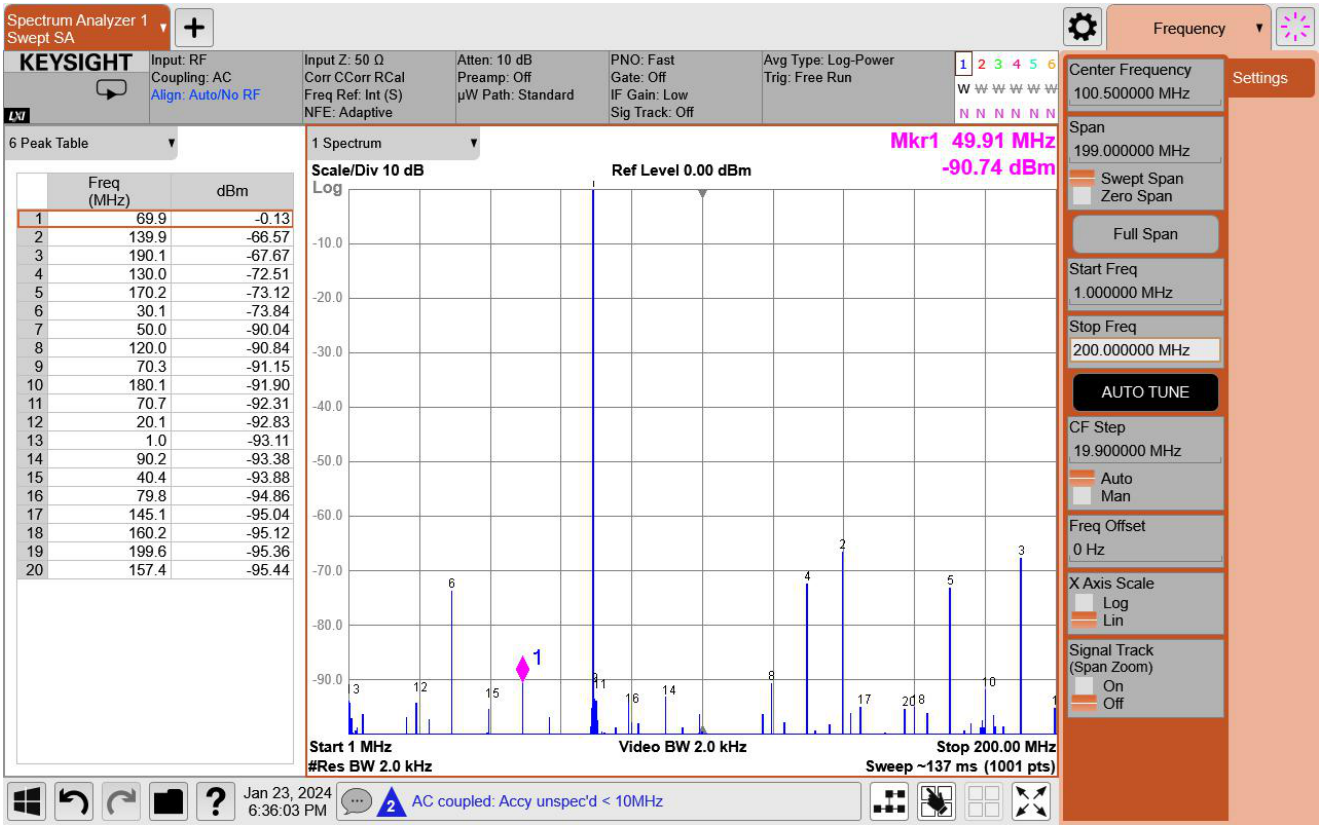


Figure 61: 国外产品，1x，fDAC=400MSPS，fOUT=70MHz / Foreign product, 1x, fDAC=400 MSPS, fOUT=70 MHz

4）其它指标对比 4) Other specifications comparison

附表 4 其它指标对比 / Additional Table 4 Other Specifications Comparison

参数 / Parameter	SXD033	国外产品 / Foreign Product	比对结果 / Comparison
封装形式 / Package	QFN72	QFN72	一致 / Match
质量等级 / Quality grade	企标 / Enterprise standard	工业级 / Industrial grade	有差异 / Differs
尺寸 / Dimensions	（10mm×10mm×0.85mm）	（10.0mm×10.0mm×0.85mm）	一致 / Match
替代建议 / Replacement recommendation	☐直接替代 / ☐Drop-in replacement ☐有效替代 / ☐Effective alternative ☑功能替代 / ☑Functional replacement		

© 2026 Shenzhen Shenxin Technology Co., Ltd. / 深圳市深信科技有限公司 felix@shenxinic.com | +852 51367095 | shenxinic.com